

[TP-07]

## p-Si<sub>0.83</sub>Ge<sub>0.17</sub>/Si(001)기판위에 Si capping layer를 이용하여 형성시킨 nickel silicide의 전기적 및 구조적 특성

장치환, 신동욱, 이내웅, 심규환\*, 김영운\*\*

성균관대학교 재료공학과, \*전자통신연구소(ETRI) 반도체부, \*\*서울대학교 재료공학부

실리콘 소자 기술이 100 nm 급 이하로 발전됨에 따라, 소자의 저항 감소가 점점 더 중요해지고 있으며, self-aligned silicide(salicide) 기술은 접촉저항의 감소를 위해 매우 중요한 역할을 한다. 지금까지 많은 silicide가 연구되어 오고 있지만 NiSi는 silicide 형성 시 적은 실리콘 소모 및 두께에 따라 변하지 않는 비저항 특성을 가지고 있어 많은 연구가 이루어지고 있다. SiGe 위의 NiSi 성장은 SiGe HBT(heterojunction bipolar transistor) 소자나 SiGe 채널을 이용한 나노 크기의 CMOS 기술의 경우 SiGe 위에 저저항 접촉 형성을 가능하게 할 수 있다.

본 연구는 Si capping layer를 이용하여 p-Si<sub>0.83</sub>Ge<sub>0.17</sub>/Si(001) 기판위에 각각 다른 온도에서 형성시킨 nickel silicide의 전기적 및 구조적 특성을 분석하였다. Si 위에 RP-CVD (reduced-pressure chemical vapor deposition)에 의해 에피성장된 p-Si<sub>0.83</sub>Ge<sub>0.17</sub> 층의 두께는 약 60 nm이었고, 희생 Si capping layer의 두께는 약 33 nm 이었다. e-beam evaporator를 이용하여 cap-Si/Si<sub>0.83</sub>Ge<sub>0.17</sub>/Si(001) 위에 nickel을 증착 시켰으며, 그 후에 RTA를 이용하여 질소 분위기에서 400-800 °C로 각각 열처리 하여 약 40 nm의 nickel silicide를 형성하였다. RTA 온도의 변화에 따른 nickel silicide의 구조를 측정하기 위해 XRD를 이용하였고, TEM을 이용하여 SiGe과 nickel silicide 경계면을 분석하였다. 그리고 전기적 특성을 알아보기 위해 4-point probe를 이용하여 p-Si<sub>0.83</sub>Ge<sub>0.17</sub>/Si(001)기판위에 형성된 nickel silicide의 면저항을 측정하였다. 그리고 AFM과 FE-SEM을 이용하여 nickel silicide 표면의 거칠기와 형상을 각각 측정하였고, 표면에서부터의 depth profile과 화학적 조성을 알아보기 위해 AES를 사용하여 측정하였다. 그 결과, 400 °C에서 550 °C 범위에서 nickel monosilicide(NiSi)가 형성되었음을 알 수 있었으며, 600 °C 이상의 온도에서는 nickel disilicide(NiSi<sub>2</sub>)가 서서히 형성됨을 알 수 있었다. 또한, AFM 측정결과 온도가 증가할수록 표면의 거칠기 또한 증가함을 보였으며, FE-SEM 표면 관찰 결과 600 °C부터 다른 형상이 형성됨을 알 수 있었다. 면저항을 측정한 결과 nickel silicide층의 면저항은 RTA 온도가 400 °C에서 800 °C로 증가하면서 6.9 Ω/□에서 89.37 Ω/□로 증가되었다.