

## 다중 표본화율의 PCM 입력을 위한 개선된 DSD 인코더용 디지털 필터 설계

### An Improved Digital Filter Design for the DSD Encoder with Multi-rate PCM Input

문동욱\*, 김낙교\*\*

(Dong-Wook Moon, Lark-Kyo Kim)

**Abstract** - The DSD(Direct Stream Digital) encoder, which is a standard for SACD(Super Audio Compact Disc) proposed by Sony and Philips, uses 1 bit representation with a sampling frequency of 2.8224MHz (64×44.1kHz). For multi-rate PCM (Pulse Code Modulation) input such as 8~192kHz, an external sample-rate converter is necessary to the DSD encoder. This paper has proposed a digital filter structure composed of sample-rate converter and interpolation filter for the DSD encoder with multi-rate (8~192kHz) PCM input, without an external sample-rate converter.

**Key Words** : Audio processing, High-resolution Audio, High-Fidelity Audio, SACD, DSD

#### 1. 연구 배경

CDDA(Compact Disc Digital Audio)를 대체하기 위한 고음질 미디어로 소개된 Sony 와 Philips 의 SACD 는 기존 CDDA 와의 호환성을 기반으로 소프트웨어 시장에서의 빠른 점유를 보여 왔다. SACD 의 부호화 방식인 DSD 는 기존 CDDA 의 표본화 주파수 44.1kHz 의 64 배인 2.8224MHz 의 표본화 주파수로 동작하는 시그마-델타 변조(Sigma-Delta Modulator: SDM)를 기본으로 하고 있다. 따라서 표본화 주파수 44.1/ 88.2/176.4kHz 의 PCM 입력에 대해서는 시그마-델타 변조기 전단에 각각 64/32/16 배 과표본화기를 필요로 한다. 반면, 그 외의 표본화 주파수를 갖는 PCM 신호에 대해서는 통상 외부에 표본화율 변환기를 통해 44.1kHz 혹은 88.2kHz 로 변환하는 과정을 필요로 한다. 그러나 표본화율 변환기가 과표본화기와 저표본화기가 결합된 구조임을 생각해본다면, 비동기의 낮은 표본화 주파수로 변환 이후 다시 과표본화를 통해 높은 표본화 주파수로 변환하는 것은 효율적인 방법이라고 보기 힘들다.

본 논문에서는 외부의 표본화율 변환기 없이 표본화 주파수 8~192kHz 의 PCM 입력에 대응하는 DSD 인코더(encoder)를 위한 디지털 보간 필터의 효율적인 설계에 관해 살펴보고 표본화 주파수 8~192kHz 의 PCM 신호를 2.8224 MHz 의 표본화 주파수로 변환하는 표본화율 변환기와 디지털 필터의 설계를 검토하고자 한다.

#### 2. 디지털 필터 설계

##### 2.1 DSD (Direct Stream Digital) 의 개요

SDM 은 저 비트 양자화(low-bit quantization)에서 생기는 양자화 잡음을 피드백 루프 상의 잡음 성형 필터(noise shaping filter)를 통해 신호 대역 밖으로 집중시키는 대신 신호 대역에서는 원하는 해상도를 얻는 구조로 이루어져 있다. DSD 는 SDM 을 기초로 하여 표본화 주파수는 2.8224MHz 의 1 비트 양자화를 표준으로 하고 있으며 인코딩된 음원은 DC 에서 100kHz 의 주파수특성과 120dB 이상의 다이내믹 레인지(dynamic range) 등 고음질 미디어로서의 조건을 충족시키고 있다. DSD 의 장점은 인코딩된 음원을 간단한 저역 통과 필터만으로 아날로그 음원으로 변환할 수 있으며, 또한 저표본화기를 거치면 PCM 신호로의 변환이 간단하다는 것과 1 비트 양자화를 기본으로 구성되었기 때문에 디지털 증폭기로 응용되는 차세대 음향기기의 대응에 보다 적합한 구조라는 것에 있다[1]. 그림 1은 아날로그 입력에 대응하는 DSD 인코더의 기본 구성을 보여준다.

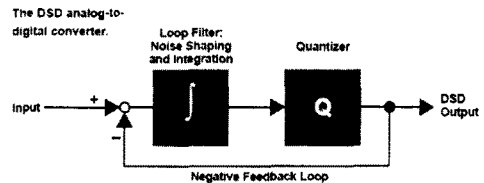


그림 1. DSD 인코더의 기본 구조

저자 소개

\* 建國大學 電氣工學科 博士課程

\*\* 建國大學 電氣工學科 教授 · 工博

#### 2.2 PCM 입력의 DSD 인코더와 표본화 주파수 문제

DSD 인코더에서는 2.8224MHz 의 표본화 주파수를 사용한다. 따라서 DSD 인코더가 PCM 입력에 대응하기 위해서는 일반적으로 과표본화기를 필요로 한다. 44.1kHz 의 체배의 표본화 주파수를 사용하는 PCM 신호의 입력에 대해서는 간단한 정수배의 과표본화기를 구현할 수 있지만, DVD(Digital Versatile Disc) 나 DAT(Digital Audio Tape) 등에서 사용하는 48kHz 및 96kHz 와 같은 표본화 주파수에 대응하기 위해서는 표본화를 변환기가 부족적으로 필요로 하게 된다. 다양한 표본화 주파수의 PCM 입력에 대응할 수 있는 DSD 인코더를 설계하기 위해서는 DSD 인코더의 외부에 표본화율 변환기를 장착하는 것이 가장 간단한 방법이 되지만 실용화에 있어서는 제품 가격을 상승시키는 원인이 되므로 DSD 인코더의 내부에 표본화율 변환기를 내장하는 것이 가장 이상적일 것이다.

비록 최근의 디지털 AV 기기들에서 사용되는 상용 DSP 들에 있어서 100 에서 150MHz 의 동작 속도를 갖는 고속 프로세서가 보편화되기는 했지만, MPEG 디코딩 등의 비디오 처리와 같이 다양한 기능을 동시에 수행해야하기 때문에 통상 오디오 신호의 포스트 프로세싱(post processing)은 낮은 동작 속도에서 수행되기를 요구한다.

디지털 오디오에서의 표본화 주파수는 8~192 kHz 사이에서 선택되는 것이 표준으로 상용화된 디지털 오디오 기기에서는 일반적으로 8/11.025/12kHz 의 체배 주파수들이 쓰인다. 8 및 12kHz 의 체배의 표본화 주파수의 PCM 신호를 44.1 kHz 의 체배의 표본화 주파수로 변환하기 위한 표본화율 변환기는 두 표본화 주파수의 비로 동작하는 다중 표본화율 변환기가 기본 구조가 될 것이다. 이는 간단히 147 배의 과표본화기와  $\pi/147$  의 차단 주파수를 갖는 저역통과 필터, 그리고 저표본화기로 구성될 수 있지만 이러한 구조는 낮은 속도로 동작하는 표본화율 변환기를 설계하기에는 효율적이지 못하며 보다 효과적인 구조를 필요로 한다.

## 2.3 표본화율 변환기와 디지털 필터

### 2.3.1 디지털 오디오용 표본화율 변환기

일반적으로 표본화율 변환기의 설계에서는 다단계(multi-stage)구조 기법과 sinc 함수를 이용한 기법, B-spline 을 이용하는 기법, 가변 지연 값의 함수로 보간을 수행하는 farrow 구조를 이용한 기법 등이 쓰이고 있다[2]. 이 중 다단계 구조는 구조적으로 간단하며 메모리 요구량 등이 비교적 적기 때문에 간단히 구현할 수 있는 장점으로 여러 분야에서 폭넓게 쓰인다[3]. 본 논문에서는 8~192kHz 사이의 표본화 주파수 중 8 및 12kHz 의 체배의 표본화 주파수를 2.8224 MHz 의 표본화 주파수로 변환하는 표본화율 변환기를 제한된 처리속도에 적합하도록 B-spline 구조의 비동기 표본화율 변환기를 포함하는 다단계 구조로 설계하고자 한다.

### 2.3.2 DSD 인코더를 위한 디지털 필터의 구조

96 kHz 의 표본화 주파수를 2.8224MHz 의 표본화 주파수로 변환하려면 147:5 의 표본화율 변환기가 필요로 한다. 이 과정에 필요한 저역통과 필터를 구성함에 있어서, 계산량과

메모리 요구량을 줄이기 위해서는 다단계 구성이 유리한 것이 많은 연구를 통해 잘 알려져 있다[3]. 따라서, 147 배의 과표본화 과정을 X3 X7 X7 배의 단계로 나누어 수행하고 X1/5 의 저표본화 과정을 거치는 것이 이론상 가장 효율적이다. 그러나 프로세서의 처리 속도의 한계가 있다면 과표본화 및 저표본화 과정의 순서를 재배치해야한다. 표 1은 8~192kHz 사이의 8 및 12kHz 의 체배 주파수가 입력 표본화 주파수일 때 필요한 과표본화와 저표본화 과정이다.

표 3. 다양한 표본화 주파수에 대해 필요한 과표본화 과정과 저표본화 과정

fs	과표본화	저표본화
8kHz	X2 X2 X3 X3 X7 X7	X1/5
12kHz	X2 X2 X2 X3 X7 X7	X1/5
16kHz	X2 X3 X3 X7 X7	X1/5
24kHz	X2 X2 X3 X7 X7	X1/5
32kHz	X3 X3 X7 X7	X1/5
48kHz	X2 X3 X7 X7	X1/5
64kHz	X3 X3 X7 X7	X1/5 X1/2
96kHz	X3 X7 X7	X1/5
128kHz	X3 X3 X7 X7	X1/5 X1/2 X1/2
192kHz	X3 X7 X7	X1/5 X1/2

표 3에서 알 수 있듯이 공통적으로 필요한 과표본화 및 저표본화 과정은 X3 X7 X7 X1/5 이다. 만약 192kHz 의 표본화 주파수를 갖는 입력 신호에 대해 다단계 구조로 표본화율 변환기로 설계하면 최대 147 배로 과표본화를 거치게 되므로 중간 과정에서는 28.224MHz 의 상당히 높은 표본화 주파수의 신호로 된다. 따라서 다단계 구조만으로는 제한된 처리 속도로 다양한 표본화 주파수에 대응하기에는 한계가 있게 된다. 그러나 공통적으로 필요한 X7 과표본화와 X1/5 저표본화 과정을 과도한 처리 속도를 요구하지 않는 7:5 의 비동기 표본화율 변환기로 대체하면 낮은 처리 속도로 동작하는 것이 가능하게 된다. 따라서 그림 2와 같이 X3 X7 의 과표본화기와 7:5 의 비동기 표본화율 변환기 및 1/2~12 배의 선형 보간기로 표본화율 변환기를 구성하면 8~192kHz 의 다양한 표본화 주파수에 대응 가능할 것이다.

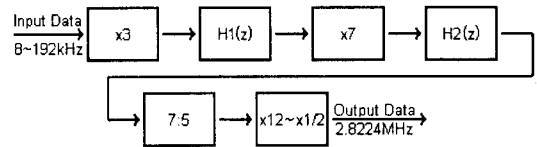


그림 2. B-spline 구조의 표본화율 변환기

### 2.3.3 비동기 표본화율 변환

비동기 표본화율 변환기에 사용되는 여러 가지 방법 중에서 B-spline 을 이용한 기법은 구조적으로 간단하고 필요한 연산기 수도 줄일 수 있는 장점이 있으나 통과대역 내에서 발생하는 감쇄를 보상해주는 보상 필터가 필요하다는 단점이 있다. 본 논문에서는 7:5 비동기 표본화율 변환기로 4 차의 B-spline 기법을 이용하고 이 때 발생하는 감쇄특성은 전단의  $H_2(z)$  필터에서 보상하도록 설계하고자 한다. B-spline

을 이용한 보간은  $N+1$  개의 입력 값  $x(t_i)$ ,  $0 \leq i \leq N$  에 대해 임의의  $t_i < t < t_{i+1}$  에서의 출력 값  $y(t)$  를 다음과 같이 얻는다[2].

$$y(t) = \sum_{k=0}^N x(t_k) B_k(t) \quad (1)$$

$B_k(t)$  는 B-spline 함수 값을 따르며 4 차의  $B_k(t)$  는 다음과 같이 구해진다.

$$\begin{aligned} B_0 &= \frac{1}{4!} (q)^4 \\ B_1 &= \frac{1}{4!} \{ (1+q)^4 - 5(q)^4 \} \\ B_2 &= \frac{1}{4!} \{ (2+q)^4 - 5(1+q)^4 + 10(q)^4 \} \\ B_3 &= \frac{1}{4!} \{ (2-q)^4 - 5(1-q)^4 \} \\ B_4 &= \frac{1}{4!} (1-q)^4 \end{aligned} \quad (2)$$

이 때  $q$  는 입력 샘플 주기와 출력 샘플 간의 차이로  $0 < q < 1$  의 값을 갖게 된다. 따라서 7.5 의 표본화율 변환에 서는 서로 다른 7 개의  $q$  값과 35 개의  $B_k(t)$  가 필요하게 된다.

### 2.3.4 선형 보간기와 보상 필터 $H_2(z)$

비동기 표본화율 변환기의 다음 단계는 두 개의 인접한 샘플 값 사이에서 선형 보간을 행하는 최대 12 배의 선형 보간기를 설계한다. 이 때 비동기 표본화율 변환기와 마찬가지로 통과대역 내에 감쇄가 발생하게 되며 이에 대해서도 비동기 표본화율 변환기 전단의  $H_2(z)$  필터에서 보상하도록 설계한다. 다만 감쇄특성은 일정한 비동기 표본화율 변환기와는 달리 선형 보간기의 감쇄특성은 과표본화 비율에 따라 다르므로 각 입력 표본화 주파수에 따라 총 7 종류의  $H_2(z)$  가 필요하게 된다.

### 3. 시뮬레이션

일반적으로 표본화 주파수  $F_s$  의 PCM 신호의 신호 대역은  $0.4583 \times F_s$  까지 보장되어야 한다. 따라서 표본화율 변환기의 설계 사양으로 필요한 통과대역은 입력 표본화 주파수  $F_{sin}$  의  $0.4583$  까지 필요하며 저지대역은  $0.5417 \times F_{sin}$  부터 출력 표본화 주파수  $F_{out}$  의  $1/2$  까지 가 되어야 한다. 그러나 DSD 인코더에 내장된 피드백 루프 상의 잡음 성형 필터로 인해 인코딩된 신호의 신호 대역 밖에는 양자화 잡음이 존재하게 되고 이러한 고유의 양자화 잡음은 DSD 의 재생 가능 대역인 100kHz 이상에 집중하므로 사실상 인코더의 입력에서도 100kHz 이상의 대역에 대해서는 무리하게 S/N 등을 확보할 필요는 없다. 그러므로 필요한 저지대역은  $0.5417 \times F_{sin}$  에서 100kHz 이상이면 충분하다고 볼 수 있다. 저지대역에서의 응답 특성은 표본화 주파수가 48kHz 이상인 고해상도 입력에 대해서 -130dB 이하, 32kHz 이하의 저해상도

입력에 대해서 -86dB 이하를 목표로 한다.

$H_1(z)$  의 설계는 체비세프 원도우를 이용하여 설계한 후 Nth 밴드 설계 조건에서 필터 길이 323 의 1/3 밴드 FIR 필터를 얻어 낼 수 있었다[4].  $H_2(z)$  는 주파수 샘플링 방법을 통해 길이 181 의 필터를 설계할 수 있었다. 이 때  $H_1(z)$  의 구성에 필요한 연산기와 메모리 수는 각각 322 개와 108 개이며  $H_2(z)$  의 구성에 필요한 연산기와 메모리 수는 각각 271 개 및 91 개이다. 또한 B-spline 구조의 비동기 표본화율 변환기에 필요한 연산기와 메모리 수는 하나의 입력 표본화 주파수 당 각각 9 개 및 35 개이다. 따라서 96kHz 의 입력 표본화 주파수에서는 출력 샘플 당 총 204 번의 곱셈과 398 번의 덧셈이 필요하며, 96kHz 의 입력 표본화 주파수를 제외한 다른 표본화 주파수에 대해서는 선형 보간기의 구성에 사용되는 연산기와 메모리가 추가적으로 필요하다.

이에 대한 전체 응답 특성을 구하면 96kHz 의 입력 표본화 주파수에 대해 통과대역에서는  $\pm 0.001$ dB, 저지대역에서는 약 -131.5dB 의 특성을 보여주고 있다. 32kHz 의 표본화 주파수에 대한 저지대역에서도 -86.95dB 이하의 특성을 보여주었으며 목표 사양을 만족함을 확인할 수 있었다. 이 때 통과대역 특성은 B-spline 및 선형 보간기의 감쇄특성과 보상을 위한  $H_2(z)$  의 특성 간의 매칭(matching)의 정확도에 주로 영향을 받는 것을 확인할 수 있었다. 따라서 통과대역 특성을 개선하기 위해서는  $H_2(z)$  의 세밀한 설계가 필요하다고 평가된다.

### 4. 결론

본 논문에서는 표본화 주파수 8~192kHz 의 PCM 입력에 대응하는 DSD 인코더의 설계를 위한 표본화율 변환기와 디지털 필터의 구성에 필요한 조건을 알아보았으며 B-spline 구조의 비동기 표본화율 변환기를 응용하여 설계 사양을 만족하는 디지털 필터를 구성해보았다. 시뮬레이션 상의 결과를 실제 DSD 인코더의 내장형 표본화율 변환기로 적용하기 위해서는 추가적인 성능 개선이 필요할 것이라고 생각된다.

### 참 고 문 헌

- [1] Sony Electronics Inc. and Philips Electronics N.V, "Super Audio Compact Disc - A Technical Proposal", 1997.
- [2] 이용희, 김인철, "오디오 신호를 위한 표본화율 변환 알고리즘의 성능 비교", 대한 전자공학회 하계종합학술대회 논문집, 1호, 제25권, pp. 187-190, 2002.
- [3] M. O. J. Hawksford and W. Wingerter, "Oversampling Filter Design in Noise-Shaping Digital to Analog Conversion", JAES, vol. 38, no. 11, pp 845-856, Nov. 1990.
- [4] F. Mintzer, "On half-band, third-band, and nth-band FIR filters and their design", IEEE Trans, Acoustics, Speech, and Signal Processing, vol. ASSP-30, no. 5, pp 734-738, Oct.1982.