

# WDM/SCM-PON의 성능 향상을 위한 FEC Code

## A FEC Code for Improving the WDM/SCM-PON Performance

\*설동민, \*\*이철수, 장승현, 정의석, \*\*\*김병휘

Dong-Min Seol, Seung-Hyun Jang, Chul-Soo Lee, Eui-Suk Jung, Byoung-Whi Kim

**Abstract** - A passive Optical Network (PON) is famous for the most cost-efficient solution among the optical networks. This is because there is no active device between a central office and subscribers. A wavelength division multiplexing (WDM) offers each subscriber to feel unlimited bandwidth. A WDM-PON, however, has a cost problem that WDM-PON is used commercially. To solve this trouble, it is surveyed that a Sub-Carrier Multiplexing (SCM) used in a WDM-PON increases the number of subscribers. The performance of WDM/SCM-PON varies with various noises. The several FEC Codes can reduce the effects of noise and improve the performance of the system. Thus, Choosing a suitable FEC code is important work. This paper describes that a Reed-Solomon (RS) code is the most suitable code for WDM/SCM-PON at the object of 100 Mbps and  $10^{-9}$  BER

**Key Words** : RS code, FEC, WDM/SCM-PON,

### 1. 서 론

Passive Optical Network (PON)은 많은 광 네트워크 중에서 가격대비 성능이 가장 좋은 것으로 알려져 있다. 이는 Central Office와 가입자 사이에 능동 소자가 없기 때문이다. Wavelength Division Multiplexing (WDM)은 각 가입자가 느끼기에 bandlimit이 없는 것 같은 환경을 제공한다. 그러나 WDM-PON을 사용하더라도 상업적으로 사용하기에는 가격에 많은 문제가 따른다. 이 문제를 해결하기 위하여 WDM-PON의 가입자 수를 증가시킬 수 있는 Sub-Carrier Multiplexing (SCM)을 사용한다. WDM-PON의 성능은 여러 가지 잡음의 영향을 받게 된다. 이 잡음의 영향을 줄이고 성능을 개선하는 다양한 FEC 방법들(Reed-Solomon, Convolution, Turbo, LDPC Codes)을 고려해볼 수 있다. 그리고 이 중 가장 적합한 방법을 선택하는 것이 중요한 과제가 된다. 본 논문에서는 가입자당 100Mbps, BER  $10^{-9}$ 을 성능 목표로 가진다.

### 2. FEC Code 선택을 위한 Parameter

앞에서의 목표를 가지고 하나의 SCM 채널당 120Mbps 전송을 목표로 하였다. 아래 표는 광 송수신기의 parameter이다.

Parameter	Value
Modulation	16 QAM
Bit Rate / SCM Channel	120 Mbps
Roll off Factor of Transceiver Filter	0.3
Laser Output	3 dBm
RIN	-143 dBc/Hz
Total Loss of Optical Link	13 dB
Responsivity of PD	0.85 A/W
Transimpedance of TIA	2 KOhm

표 1 광 송수신기 Parameter

위의 값들 보다 더욱 중요한 parameter들은 바로 redundancy가 얼마만큼 허용되는지를 알 수 있는 code rate이다. 우선 100Mbps 전송을 목표로 하였으며 120Mbps를 전송하므로 20Mbps에 해당하는 만큼의 redundancy를 허용할 수 있다. 또한 WDM/SCM-PON은 인터넷 사용을 위한 Ethernet Protocol에서 사용되므로 Frame과 Frame사이의 간격인 Inter Frame Gap (IFG)만큼의 redundancy 또한 허용된다. IFG의 비율이 가장 적을 때는 100Mbps 전송 시 FTP와 같은 고속전송 프로토콜을 사용할 때 이다. 이때 1518Bytes의 데이터 전송 후 960ns 동안의 IFG가 주어지는데 이때가 redundancy를 가장 적게 허용할 수 있다. [7] 예를 들어 (255, x) RS code를 사용한다면, RS code가 symbol 단위의 연산을 하므로 1 clock당 8bit씩 연산을 한다. 최대 120Mbps 이므로 15Mbps의 속도로 연산을 수행하여야 한다. 두 가지를 종합해보면 최대 17%의 redundancy를 허용할 수 있다. 이는 FEC code를 선택하는데 있어서 가장 중요한 parameter

저자 소개

\*科技聯合大學 광인터넷學科 碩士課程, 韓國電子通信研究所

\*\*韓國電子通信研究所

\*\*\*科技聯合大學 광인터넷學科 教授·工博, 韓國電子通信研究所

로 적용된다.

다른 parameter로는 hardware resource를 들 수 있다. FEC code가 차지하는 비중이 커질 경우 실질적인 구현에 문제가 있기 때문에 hardware 크기가 적절한 것을 고르는 것도 중요한 문제가 된다.

### 3. Good Codes

Good code는 redundancy가 증가함에 따라서 BER 곡선이 Shannon Limit에 가까워지는 FEC code를 말한다. [1] LDPC code와 Turbo code가 Good Code에 해당하며 RS, BCH, Cyclic, convolution code 등은 redundancy를 늘려주어도 일정 한계 이상에서는 더 이상 성능이 향상되지 않는다.

#### 3.1 LDPC code

LDPC code는 현재까지 알려진 바로는 가장 좋은 성능을 나타내고 있다. 지금까지 발표된 가장 좋은 성능은 Shannon Limit [3]에서 0.0045dB 차이의 성능이다. [2] 이러한 LDPC의 경우 parity check matrix의 분포를 규칙적으로 하는 regular방식과 그 분포가 불규칙적인 irregular방식 그리고 2진 형태의 binary방식과 2진 형태가 아닌 non-binary 방식으로 크게 구분이 된다. 성능 면에서는 regular방식보다 irregular방식이 더 좋은 성능을 나타내며 binary방식 보다는 non-binary방식이 더 좋은 성능을 보이고 있다. 하지만 실질적인 구현에서는 random한 성향을 가지는 irregular방식은 구현이 어려우며, non-binary방식은 binary방식에 비해 하드웨어 크기가 많이 커지고 복잡도가 늘어나는 관계로 실제로 구현되어 지지는 않고 있다.

또한 위에서 언급한 redundancy와 하드웨어 크기에 직접적인 관계가 있는 block length도 LDPC를 사용하기 어려운 문제점이 된다. 우선 LDPC의 경우 1/2 code rate를 지향한다. [5] 1/2의 의미는 전체 block중에서 data의 비율을 나타내는 것으로 데이터의 100%에 해당하는 redundancy를 가지게 된다. 1/2보다 높은 code rate로 구현할 경우 성능이 크게 감소하게 된다. [6] 또한 LDPC는 전체 코드 길이도 상당히 길다. LDPC의 좋은 성능이 코드를 대부분 수정하거나 아니면 에러가 아주 많은 경우 decoder failure를 발생시키는 형태인데 이는 block length가 아주 크기에 가능한 방식이 된다. [4] Block length가 크다는 것은 하드웨어 크기가 그만큼 커지는 것을 의미하므로 WDM/SCM-PON에는 적합하지 않다.

또 다른 문제점으로는 iteration을 들 수 있다. [8] LDPC의 경우 반복적으로 부호화를 하여 에러를 더 줄이게 된다. 하지만 연속적인 데이터 열이 수신측에 입력될 경우 다음 데이터가 바로 복호되어야 하기에 반복횟수에 비례하여 decoder의 크기는 증가하게 된다.

위에 열거한 바와 같이 LDPC는 하드웨어 크기와 redundancy 측면에서 WDM/SCM-PON에서의 사용은 적합하지 않다는 것을 알 수 있다.

#### 3.2 Turbo code

Turbo code의 경우도 block code와 convolution code를 결

합한 concatenated code와 convolution code 두 개를 결합한 Convolution Turbo code (CTC), block code를 결합한 Block Turbo Code (BTC = Product code)로 나눌 수 있다. [9]

우선 convolution code의 경우 code rate이 1/2를 지향하므로 concatenated code와 CTC의 경우 많은 redundancy로 부적합하다. BTC의 경우 block code 두 가지를 결합함으로써 어느 정도 redundancy의 제약에서 벗어날 수 있다. 또한 RS code가 아닌 BCH code를 사용할 경우, 비슷한 길이의 RS code를 사용할 때에 비해서 decoding unit 자체의 크기는 작게 만들 수 있다. 그러나 두 코드의 연결 역할을 하는 interleaver가 있어야 하며 이는 메모리의 크기를 증가시키게 되어 이 역시 적합하다고 보기에는 무리가 있다.

또한 Turbo code 역시 LDPC code와 같은 iteration을 수행하게 된다. 바꿔서 말하면 iteration 회수에 비례하여 하드웨어 크기가 커지므로 우리가 목표로 하는 시스템에는 부적합하다.

위에서 살펴본 바와 같이 LDPC와 Turbo code의 경우 그 성능은 매우 우수하나 많은 redundancy와 하드웨어 크기의 문제로 사용상에 무리가 있음을 알 수 있다.

### 4. RS code, Viterbi Code

#### 4.1 RS code와 Viterbi code의 성능 비교

Linear block code 중에서 같은 성능에 가장 적은 redundancy를 가지는 RS code와 convolution code 중에서도 decoder의 대명사인 Viterbi decoder를 비교하였다.

	(255, 239) RS Code	K=7, Rate=1/2 Convolution Code
성능	$10^{-4} \rightarrow 10^{-9}$	$10^{-5} \rightarrow 10^{-9}$
Hardware Size	약 700 Slices (Xilinx FPGA IP base)	약 2000 ~ 3000 Slices (Xilinx FPGA IP base)
Redundancy	16 Symbols (=Bytes) 7 %	100 %
Property	Burst Error Correction	Random Error Correction

표 2 RS Code와 Viterbi Code 특징 비교

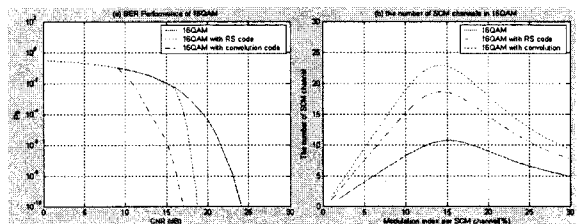


그림 1 16QAM, 64QAM에서의 RS code와 Viterbi Code 성능 비교

위의 결과로 알 수 있듯이 Viterbi의 경우도 성능은 RS code보다 나으나 redundancy 문제로 인하여 목표한 시스템에는 적합하지 않음을 알 수 있다. [10][11]

그림 1에서 (255, 239) RS code를 이용하여 CNR 6dB와 7개의 SCM Channel 개선시킬 수 있었다.

#### 4.2 RS code FPGA 구현

(255, 239) RS code의 encoder와 decoder를 VHDL을 이용하여 구현하였다. Target device는 'Xilinx FPGA xc2vp70'를 사용하였으며, encoder의 경우 systematic cyclic code로 구현하였고, decoder의 key equation block은 Extended Euclid Algorithm (EEA)를 사용하였다. 구현 결과는 아래 표와 같다.

	Encoder	Decoder
Maximum Speed	240.587 MHz	57.173 MHz
Required Slices	189 slices	6253 slices
Required Memory	0	542 Bytes

표 3 RS Codec 성능

#### 5. 결론

SCM 120Mbps, 가입자 100Mbps를 전송하는 WDM/SCM-PON에서 성능을 향상시키기 위하여 FEC Code를 사용하였다. 이 시스템에서 FEC code의 parameter중에 하나인 code rate와 각각의 code의 하드웨어 크기를 비교하였다. 그 결과 RS code가 적은 overhead와 적절한 하드웨어 크기를 가지는 가장 적합한 FEC code로 판단되며 이를 실제 구현하여 시스템에 적용하였고, CNR 측면에서 약 6dB의 성능 개선과 가입자 수 측면에서 약 7개를 증가시킬 수 있었다.

#### 참 고 문 헌

- [1] D. J. C. MacKay, "Good error-correcting codes based on very sparse matrices," IEEE Trans. Inform. Theory, vol. 45, pp. 399 - 431, March 1999
- [2] S. Y. Chung, G. D. Forney, Jr. T. J. Richardson, and R. L. Urbanke, "On the design of Low-Density Parity-Check Codes within 0.0045dB of the Shannon Limit", IEEE Comm. Lett., Vol. 5 Feb. 2001, pp.58-60
- [3] Simon Haykin, Digital Communications (Wiley) Chap. 2
- [4] R. Echard, and Shih-Chun Chang, "The  $\pi$ -rotation low-density parity check codes," IEEE Global Telecom. Conf., vol. 2, pp. 980-984, San Antonio, USA, Nov. 2001.
- [5] D. J. C. MacKay and R. M. Neal, "Near Shannon limit performance of low density parity check codes," Electron. Lett., vol. 32, pp. 1645-1646, Aug. 1996.
- [6] D. J. C. MacKay, Simon T. Wilson and M. C. Davey, "Comparison of Constructions of Irregular Gallager Codes" IEEE Trans. On Comm. Lett., Vol. 47, No. 10, pp. 1449 - 1454, Oct. 1999
- [7] William Stallings, Data and Computer Communications (Prentice Hall) Chap. 15
- [8] C. Argon and S. W. McLaughlin, "A Parallel Decoder for Low Latency Decoding of Turbo Product Codes", IEEE Comm. Lett., Vol. 6, No. 2, pp 70-72, Feb 2002

- [9] A. Giulietti, B. Bougard, and L. V. Perre, Turbo Codes Desirable and Designable (Kluwer Academic Publishers) Chap. 1, 2, 3, 4
- [10] S. Lin and D. J. Costello, Error Control Coding Fundamentals and Applications (Prentice Hall PEARSON) Chap. 11, 12, 13
- [11] S. B. Wicker, Error Control Systems for Digital Communication and Storage (Prentice Hall) Chap. 11, 12