

표면 실리콘막 두께에 따른 nano SOI 웨이퍼의 전기적 특성

배영호, 김병길
 위덕대학교 전자공학부

Surface silicon film thickness dependence of electrical properties of nano SOI wafer

Young-Ho Bae, Byoung-Gil Kim
 Division of Electronics Engineering, Uiduk University

Abstract

The pseudo MOSFET measurement technique has been a simple and rapid method for characterization of SOI wafers without any device fabrication process. We adopted the pseudo MOSFET technique to examine the surface silicon film thickness dependence of electrical properties of SOI wafer. The measurements showed that turn-on voltage increased and electron mobility decreased as the SOI film thickness was reduced in the SOI film thickness of less than 20 nm region.

Key Words : Pseudo MOSFET, SOI, mobility, film thickness

1. 서론

VLSI 제조 공정 기술의 발달로 최근 소자의 크기는 채널 길이가 100 nm 이하로 축소되고 있다. 이에 따라 여러 가지 기생효과가 발생하고 있으며 이를 해결하기 위한 한 가지 방법으로 SOI 웨이퍼의 사용이 기대되고 있다. SOI 소자 기술에서 소자 크기의 축소와 비례하여 SOI 웨이퍼 표면 실리콘막의 두께도 얇아져야 한다. 50 nm 급의 소자 기술에서 완전 공핍형 SOI 소자를 제조하기 위해서는 16-30 nm 범위의 표면 실리콘막 두께를 가지는 SOI 웨이퍼가 사용될 것으로 전망된다.[1] 이와 같이 극히 얇은 표면 실리콘막에서는 표면 산란율의 증가 등으로 인하여 실리콘막의 전기전도 특성이 실리콘막 두께에 의존할 수 있다. 따라서 본 연구에서는 수 나노미터에서 수십 나노미터 영역의 표면 실리콘막 두께를 가지는 SOI 웨이퍼 시편을 제조하고 pseudo MOSFET 측정법을 이용하여 실리콘막 두께의 변화에 따른 이동도 등의 전기적 특성 변화를 조사하였다.

2. 이론

그림 1은 Pseudo MOSFET의 구조를 나타낸 것이다. 그림에 나타난 바와 같이 Pseudo MOSFET은 소스 드레인 전극이 탐침에 의한 점 접촉으로써 전류의 흐름이 일반적인 MOSFET에서와 같이 채널 영역으로 한정되지 못한다. 또한 표면 실리콘층의 두께가 얇아서 전체가 공핍되므로 기판에 양전압이 인가된 경우와 음전압이 인가된 경우 각각 턴온 전압이 나타난다. 따라서 일반적인 MOSFET 소자의 수학적 모형으로부터 약간의 수정이 필요하며 드레인 전류는 다음 식과 같이 표현된다.[2]

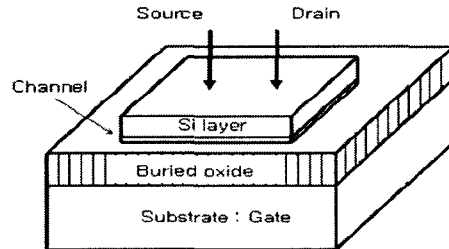


그림 1. Pseudo MOSFET의 구조

$$I_D = f_g C_{ox} \mu_{eff} \left(V_G - V_T - \frac{1}{2} V_D \right) V_D \quad (1)$$

여기서 계수 f_g 는 MOSFET에서 채널 폭과 길이의 비 W/L 에 해당하며 Pseudo MOSFET에서는 0.75로 주어진다. 위 식(1)로부터 턴온 전압 및 이동도의 추출이 가능하다. Pseudo MOSFET의 경우 소스 드레인이 점 접촉으로 이루어지므로 직렬 저항이 일반적인 MOSFET 보다는 크게 나타난다. 따라서 직렬 저항의 효과를 제거할 수 있는 다음 식을 이용한다.

$$\frac{I_D}{\sqrt{g_m}} = \sqrt{f_g C_{ox} \mu_0} V_D (V_G - V_T) \quad (2)$$

3. 실험

실험을 위한 시편은 Unibond SOI 웨이퍼를 이용하였으며 최초 표면 실리콘막의 두께는 70 nm였고 매몰산화막의 두께는 145 nm 이었다. pseudo MOSFET 측정을 위한

실리콘 island 형성은 식각공정에서 초래될 수 있는 손상을 방지하기 위하여 습식 식각법으로 하였다.[3] Island의 크기는 가로 세로의 길이가 7 nm였으며 island 간의 분리 간격은 2 nm로 하였다. 표면 실리콘막의 두께 변화는 표면으로부터 실리콘을 식각시켜 여러 가지 두께를 가지도록 하였으며 식각이 끝난 후 ellipsometry를 이용하여 두께를 확인하였다. 제조된 시편의 pseudo MOSFET 분석은 Keithley 236 SMU와 PC 및 Metrics ICS 를 이용한 전류-전압 특성 분석 시스템을 이용하여 행하였다.

4. 결과 및 고찰

그림 2는 표면 실리콘막 두께 변화에 따른 드레인 전류와 게이트 전압 관계를 나타낸 것이다. 그림에 나타난 바와 같이 실리콘 막의 두께가 20 nm 이하의 영역에서 막 두께의 감소에 따라 턴온 전압의 증가가 현저히 나타난다. 또한 전류 곡선의 기울기 감소도 관찰되어 실리콘막 두께 감소에 따라 이동도가 감소하고 있다는 것을 보여주고 있다.

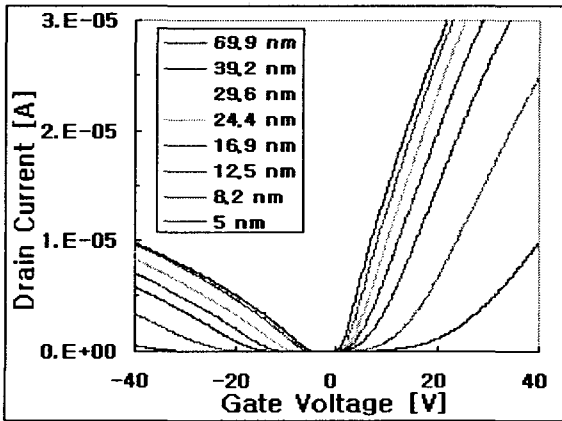


그림 2. 실리콘막 두께 변화에 따른 I_D - V_G 곡선

그림 3은 표면실리콘막의 두께 변화에 따른 턴온 전압 크기의 변화를 나타낸 것이다. 그림에서 막 두께가 30 nm 근처까지는 턴온 전압의 증가가 크지 않지만 20 nm 이하의 표면 실리콘막 두께 영역에서 턴온 전압의 증가가 급격히 나타나는 것을 관찰할 수 있고 양의 게이트 전압이 나 음의 게이트 전압에서 공히 나타난다.

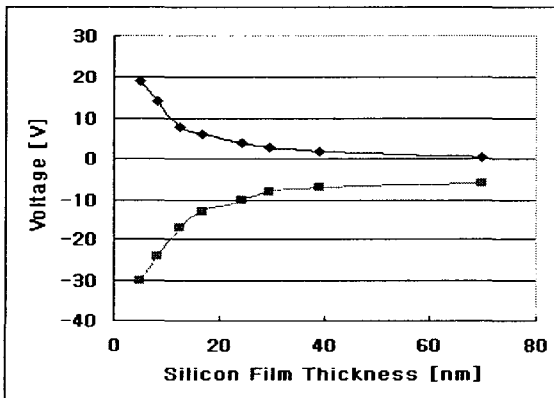


그림 3. 실리콘막 두께 변화에 따른 턴온 전압의 변화

그림 4는 전자 이동도의 표면 실리콘막 두께 의존성을

나타낸 것이다. 그림에 나타난 바와 같이 20 nm 미터 이하의 영역에서 막 두께가 감소함에 따라 전자 이동도가 급격히 감소하는 것을 알 수 있다. 이것은 막 두께가 감소함에 따라 표면산란의 영향이 크게 작용하여 나타나는 현상으로 보인다.

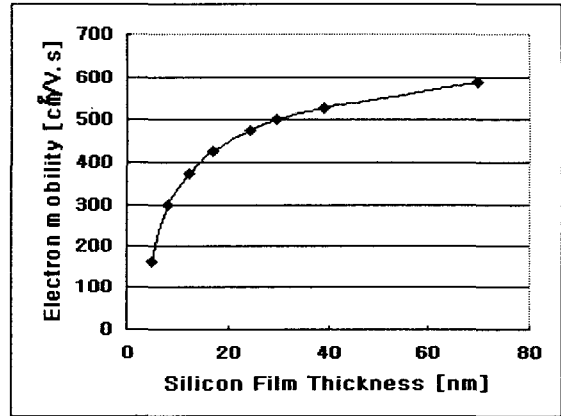


그림 4. 전자 이동도의 표면 실리콘막 두께 의존성

5. 결론

본 연구에서는 100 nm 이하의 실리콘막 두께를 가지는 SOI에서 pseudo MOSFET 측정법을 적용하여 실리콘막 두께 변화에 따른 전기적 특성을 분석하였다. 실리콘막의 두께가 20 nm 이하의 영역에서 두께 감소에 따라 소자의 턴온 전압의 증가와 이동도의 감소가 관찰되었다.

감사의 글

본 연구는 과학기술부의 21세기 프론티어 연구개발사업으로 시행한 양성자기반 공학기술개발사업의 지원을 받았음.

참고 문헌

- [1] International Technology Roadmap of Semiconductors : 2004 update, Front End Process, Semiconductor Industry Association, 2004.
- [2] S. Cristoloveanu, D. Munteanu, and M.S.T. Liu, "A review of the pseudo-MOS transistor in SOI wafers: operation, parameter extraction, and applications", IEEE Transactions on Electron Devices, Volume 47, Issue 5, p.1018, 2000.
- [3] Y.H. Bae, K.W. Kwon, J.H. Lee, J.H. Lee, H.J. Woo, and S. Cristoloveanu, "Effects of etching processes on the properties of pseudo-MOSFETs for the UTSOI characterization", The 12th Proc. Int. Symp. Silicon-on-Insulator Technology and Devices, The Electrochemical Soc., p.295, 2005.