

IEDM Tech. Dig., Washington, D. C., p. 70, 1967.

- [5] Yong Kyu Lee, Suk Kang Sung, Jae Sung Sim, Ki Whan Song, Jong Duk Lee, Byung-Gook Park, Sung Taeg Kang, Chilhee Chung, Donggun Park, Kinam Kim, "Scalable 2-bit silicon-oxide-nitride-oxide-silicon(SONOS) memory with physically separated local nitrides under a merged gate", Solide-State Electronics 48 (2004) 1771-1775
- [6] C. Chen, Z. Liu, and T.P. Ma, "Enhanced hot carrier effects in scaled flash memory devices", Int., Symp., VLSI Technol., Syst., and Appicat., pp.162-166, 1997.

SONOS two-bit 메모리의 측면 확산에 영향을 주는 programming 조건 연구

이명식*, 안호명*, 서광열*, 고종혁*, 김병철**, 김주연***
광운대학교*, 진주산업대학교**, 울산과학기술대학***

A study on the programming conditions suppressing the lateral diffusion of charges for the SONOS two-bit memory.

Myung-Shik Lee, Ho-Myung An, Kwang-Yell Seo and Jung-Hyuk Koh*, Byung-Cheul Kim**
and Joo-Yeon Kim***
KwangWoon Univ*, JinJu national Univ**, Ulsan College***

Abstract

The SONOS devices have been fabricated by the conventional 0.35 μm complementary metal-oxide-semiconductor (CMOS) process with NOR array. Two-bit operation using conventional process achieve the high density memory compare with other two-bit memory. Lateral diffusion phenomenon in the two-bit operation cause soft error in the memory. In this study, the programming conditions are investigated in order to reduce lateral diffusion for two-bit operation of CSL-NOR type SONOS flash cell.

Key Words : SONOS, two-bit, charge pumping method, lateral diffusion

1. 서 론

현재 플래시 메모리 시장의 대부분은 부유 게이트형 (floating gate type) 소자가 주류를 이루고 있지만 고집적을 위한 스케일 다운의 한계에 이르고 있는 상황이다[1]. 최근 이를 대체할 수 있는 방법으로 SONOS (polySilicon-Oxide-Nitride- Oxide-Silicon) 구조를 기본으로 한 멀티 비트(multi-bit) 소자가 많은 관심을 모으고 있다[2-3]. SONOS형 멀티 비트 소자의 프로그램은 CHE(Channel Hot Electron) 주입을 사용하고, 소거는 고온 정공 주입 방법을 사용한다. 또한 읽기는 리버스(reverse) 방향으로 수행한다. 이러한 SONOS형 멀티 비트 소자는 셀(cell) 면적이 작고, 드레인 턴온(drain turn-on)이 발생하지 않으며, 내방사성, 내구성 특성이 우수한 장점을 가지고 있다[4]. 하지만, 주입된 전하가 시간이 지나면서 측면으로 확산하여 재분포를 하는 문제점이 발생하게 된다. 최근에는 이러한 재분포를 막기 위하여 전하를 트랩하는 유전막을 구조적으로 분리하여 2-비트를 실현하는 방법들이 제시되고 있다[5].

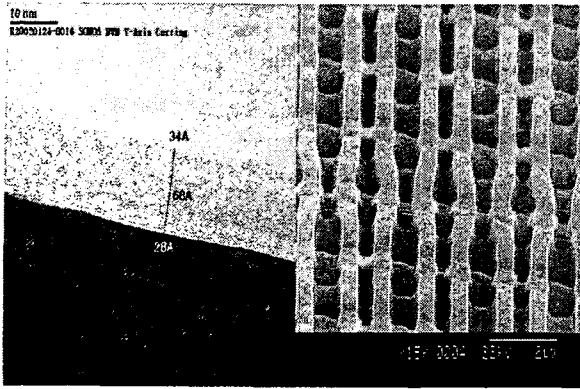
하지만 이러한 방법들은 그 공정과 구조가 복잡하여 실제로 구현하기 어렵다는 단점이 있다. 2-비트 동작에서 프로그램 및 소거 전압이 트랩된 전하의 측면 디트랩핑에 미치는 영향을 조사하여 측면 확산을 개선할 수 있다면 구조나 공정의 변화 없이 실질적 집적도가 높은 2-비트 소자를 얻을 수 있다.

따라서 본 논문에서는 기존의 공정을 사용하여 초박막 게이트 유전막을 가진 SONOS 소자를 이용한 NOR형 플래시 어레이를 제작하였고, 측면 확산의 영향을 최소화 하여 two-bit 동작을 구현하기 위하여 측면 확산에 영향을 주는 프로그램조건을 조사하였다.

2. 실험

셀의 집적도를 더욱 향상하기 위하여 공통 소오스(common-source-line)를 갖는 NOR형 flash 64비트 어레이를 0.35 μm CMOS 공정을 그대로 이용하여 제작하였다. 드레인은 LDD(lightly-doped -drain) 구조이고 소오스는 SAS(Self Align Source)로 형성한

DDD(double-diffused-drain) 구조이다. 제작된 어레이의 TEM 측정결과를 그림 1에 나타냈다. 제작된 SONOS 기억소자의 유전막 두께는 터널링 산화막, 질화막, 블로킹 산화막이 각각 34 Å, 73 Å, 34 Å이었다.



(a) (b)

그림 1. 공통 소스 라인을 갖는 32x32 SONOS 플래시 어레이. (a) ONO 구조 (b) SONOS 어레이의 TEM 측정 결과.

3. 결과 및 고찰

측면확산에 영향을 주는 프로그램 조건을 찾기 위하여 표 1 과 같은 조건으로 드레인 영역에 국소적으로 전자를 주입하였다. 실험 1과 실험 2는 게이트전압과 드레인 전압의 영향을 보기 위한 실험

표1. 전하를 주입하기 위한 프로그램 조건

	V_G	V_D	V_S	V_{SUB}	time
실험 1	8 V	4 V	0 V	0 V	500 μs
실험 2	4 V	6.5 V	0 V	0 V	500 μs
실험 3	4 V	4 V	0 V	0 V	40 ms
실험 4	6 V	4 V	0 V	-2 V	500 μs

형이고 실험 3과 실험4는 주입시간과 벌크 바이어스의 영향을 보기 위한 실험이다. 실험에 쓰인 소자의 채널 길이는 0.45 μm 이고 채널의 폭은 0.5 μm 이다. 실험에 사용된 모든 소자들은 초기 문턱전압이 3.5 V에서 주입 후 5 V로 문턱전압이 이동하였고 이 경우 동일한 양의 전하를 주입하여서 모든 소자의 메모리 윈도우를 1.5 V 로 고정을 시킨 후 실험을 진행하였다.

그림 2는 주입된 소자들의 전하펌핑 전류 특성을 나

타낸 것이다. 그림에서 보는 바와 같이 전하를 드레인 영역에 국소적으로 주입한 후, 10^4 초, 10^5 초 시간에 전하펌핑 전류를 측정하였다. 그림에서 보는 바와 같이 시간이 지남에 따라서 전하 펌핑 전류의 값이 줄어드는 것은 드레인 영역에 국소적으로 주입된 전하의 양이 줄어드는 것을 의미한다. 그림 (a)와 (d)에서는 시간이 지나도 주입된 전하의 측면이동은 나타나지 않고 있다. 하지만, 그림 (b)에서는 10^4 초가 지나고 주입된 전하가 소스 영역으로 이동을 한 것을 확인할 수 있다. 또한 이러한 경향은 그림 (c)에서는 10^5 초초가 지난 후 나타나게 된다.

그림 3은 그림 2에서 얻어진 전하펌핑 전류를 이용하여 주입직후, 10^4 초, 10^5 초 시간에서의 국소적인 문턱전압 값을 구한 것이다. 그림 2와 마찬가지로 시간이 지남에 따라 주입된 전하의 양이 변화하여 국소적인 문턱전압이 변화하는 것을 확인할 수 있다. 그림 (a)와 같이 게이트 전압을 크게 하여 주입한 경우 10^4 초 이후에 드레인 영역의 전하들이 소스영역으로 이동하는 측면확산이 미세하게 발생을 하는 것을 확인할 수 있었다. 그림 (b)와 같이 드레인 전압의 크기를 크게 하여 주입한 경우 국소적으로 주입되는 효율은 커지지만 10^4 초 이후 주입된 전하가 소스영역으로 이동하는 측면확산이 뚜렷이 발생하게 된다. 그림 (c)와 같이 시간을 길게 하여서 주입한 경우는 그림 (a)와 같은

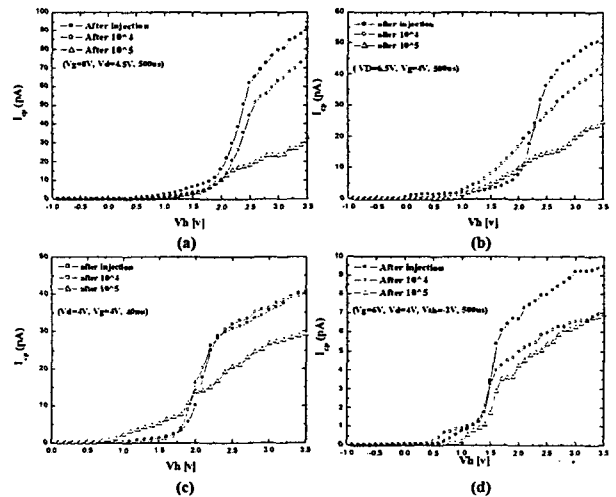


그림 2. 주입된 소자의 주입직후, 10^4 초, 10^5 초에서의 전하펌핑 전류특성 (a) $V_G=8$ V, $V_D=4$ V, $V_S=V_{SUB}=0$ V, 500 μs (b) $V_G=4$ V, $V_D=6.5$ V, $V_S=V_{SUB}=0$ V, 500 μs (c) $V_G=4$ V, $V_D=4$ V, $V_S=V_{SUB}=0$ V, 40 ms (d) $V_G=6$ V, $V_D=4$ V, $V_S=0$ V, $V_{SUB}=-2$ V, 500 μs

결과를 확인 할 수 있다. 또한 그림 (d) 의 경우와 같이 벌크 바이어스를 이용하여 드레인 영역에 국소적으로 주입하는 경우 마찬가지로 측면확산은 크게 발생하지 않았다. 실험결과(a)와 (c)를 비교하여 보면 CHE 로 주입된 전하의 측면확산에 드레인 전압이 가장 영향을 미치고 있다. 이는 CHE의 생성은 lateral 전압인 드레인 전압이 주도적인 역할을 하고 생성된 hot electron 들의 유전막으로 주입에는 vertical 전압인 게이트 전압이 주도적인 역할을 하는 것으로 보고되고 있다[6]. 같은 양의 전하를 주입한 본 실험에서 상대적으로 높은 드레인 전압에 의해 생성된 hot electron들은 보다 높은 에너지를 가지고 있기 때문에 트랩된 후 트랩사이를 쉽게 호핑하는 것으로 보인다. 즉 높은 에너지를 가진 hot electron의 이동확률이 높아 보다 쉽게 측면으로 확산이 이루어진 것으로 사료된다. 또한 (a)에 비해 적은 게이트 전압을 인가하여 주입된 (c)의 경우는 주입된 hot electron이 깊은 트랩에 포획되지 못하여 시간이 지난 후 채널 영역으로 쉽게 이동하는 것을 확인 할 수 있다.

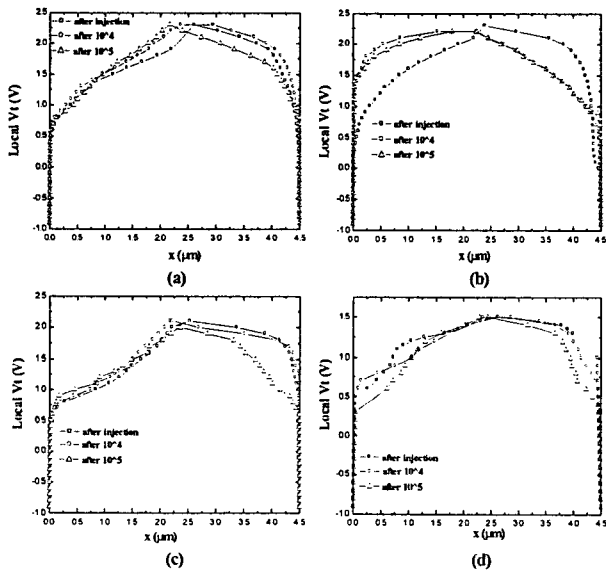


그림 3. 주입된 소자의 주입직후, 10^4 초, 10^5 초에서의 국소문턱전압특성 (a) $V_G=8$ V, $V_D=4$ V, $V_S=V_{SUB}=0$ V, $500 \mu s$ (b) $V_G=4$ V, $V_D=6.5$ V, $V_S=V_{SUB}=0$ V, $500 \mu s$ (c) $V_G=4$ V, $V_D=4$ V, $V_S=V_{SUB}=0$ V, 40 ms (d) $V_G=6$ V, $V_D=4$ V, $V_S=0$ V, $V_{SUB}=-2$ V, $500 \mu s$

3. 결론

SONOS형의 멀티 비트 소자를 기존의 $0.35 \mu m$ CMOS 공정 기술을 사용하여 CSL-NOR 어레이 소자로 제작하였다. ONO 막의 두께는 각각 터널 산화막(X_{OT})은 34 \AA , 절화막은(X_N) 73 \AA , 블로킹 산화막(X_{OB})은 34 \AA 이다. 프로그램 조건을 달리하여 드레인 영역에 국소적으로 주입을 하였다. 주입된 전하의 양은 동일한 양을 주입하여 메모리 창을 $1.5V$ 로 하였다. 주입된 전하의 측면확산을 확인하기 위하여 전하평평 전류특성, 국소 문턱전압 특성, 읽기 전압 특성을 조사하였다. 프로그램 조건 중 드레인 전압을 크게 하여 드레인 영역에 국소적으로 주입한 결과 시간이 10^4 초가 지나면서 측면확산이 발생하는 것을 확인하였다. 다른 프로그램 조건에서도 시간이 지나면서 측면확산을 발생하였지만 그 정도가 미세한 것을 확인하였다. 이상의 실험으로부터 드레인 영역에 국소적으로 주입을 하는 경우 고온전자 생성에 드레인 전압이 가장 큰 영향을 주는 것은 물론 주입된 고온전자의 측면확산에 큰 영향을 주는 변수임을 확인 할 수 있었다.

감사의 글

이 논문은 과학기술부의 “테라급 나노소자 프로젝트”와 삼성전자의 지원에 의하여 연구되었음.

참고 문헌

- [1] The International Technology Roadmap for Semiconductor (ITRS), table 38a (2001).
- [2] B. Eitan, P. Pavan, I. Bloom, E. Aloni, A. Frommer, D. Finzi, "NROM: a novel localized trapping, 2-bit nonvolatile memory cell", IEEE Electron Device Letters, Vol. 21, No. 11, pp. 543-545, 2000.
- [3] S. Tiwari et al., "A Silicon nanocrystals based memory", Appl. Phys. Lett. Vol. 68, p. 1377, 1996.
- [4] H. A. R. Wegener, A. J. Lincoln, H. C. Pao, M. R. O'Connell, R. E. Oleksiak, "The variable threshold transistor, a new electrically alterable, non-destructive read-only storage device", IEEE