

광대역 CMOS 연산 증폭기를 위한 새로운 전류 전이 검사방식

류지열*, 노석호**

삼성 SDI Mobile Display 전략과제개발팀*, 안동대학교 전자공학과**

A New Current Transient Testing for Wideband CMOS Op Amps

Jee-Youl Ryu*, Seok-Ho Noh**

Samsung SDI Co., Ltd. Busan, Korea*, Andong National University**

E-mail : jeeyoul.ryu@samsung.com

요 약

본 논문은 광대역 CMOS 연산증폭기를 위한 새로운 전류 전이 검사 기술을 제안한다. 본 검사방법에서는 결함이 있는 연산증폭기와 결함이 없는 연산 증폭기를 자동적으로 구별해 내기 위해 증폭기의 공급 전원으로부터 순간적으로 변하는 전류와 출력응답을 측정한다. 광대역 CMOS 연산증폭기는 0.25 μ m CMOS 공정을 이용하여 설계되었다. 이 검사기술은 CMOS 연산증폭기내에서 발생한 거폭결함 (catastrophic faults)을 검출하고 분석할 수 있으며, 검사비용이 저렴하고 측정방법이 간단하다.

ABSTRACT

This paper presents a new current transient test technique for wideband CMOS Op Amps. This technique monitors the transient power supply current and output responses of the CMOS Op Amp to automatically differentiate faulty and fault-free op amps. The wideband op amp is designed using 0.25 μ m CMOS technology. We present detailed simulation results for a wideband op amp. We show that catastrophic faults in op amps can be detected and analyzed by monitoring power supply currents and output responses. This technique is inexpensive and simple.

키워드

광대역 CMOS 연산증폭기, 전류 전이 검사 기술, 거폭결함

I. 서 론

최근 초소형 전자제품과 관련된 많은 분야에서 혼합신호 집적회로 (mixed-signal IC) 소자의 사용이 점점 증가하고 있으며, 이와 관련하여 발표된 많은 문헌이 이러한 혼합신호 회로의 검사에 관심을 두고 있다 [1-7]. 여기서는 아날로그 형태로 정형화된 파형 (analog stimuli)이 검사대상회로 (CUT, circuit under test)의 입력에 적용되어, 출력 응답을 관찰하거나, 출력신호의 시간영역과 주파수 응답을 관찰하고 있다. 이러한 방식은 소규모 회로나 특정한 계층의 회로에만 적용이 가능하다는 단점이 있다. 또 다른 몇몇 아날로그 검사 방식으로서 공급전원 전류검사, 공급전원 전압제어 검사 및 공진회로를 이용한 검사 방법을 들 수 있다 [8-10]. 하지만 이러한 방식 또한 입력 신호의 특성과 결함 유무에 따른 회로의 상태 및 회로변수 값이 공급 전원에 많은 영향을 받기 때문에 검사가 복잡하다.

본 논문에서는 대표적인 혼합 신호 집적회로 중의 하나인 CMOS 연산 증폭기를 이용하여 새로운 형태의 검사방식을 제안한다. 본 방식은 소자 제작 후 회로 내에 발생한 결함 유무를 신속·정확히 검출하고, 결함이 발생한 부분까지 진단할 수 있다. 이를 위해 직류공급전원을 사용하지 않고 가변 계단형 공급전원으로 부터 생성된 과도 전류 (transient current)와 결함 발생시 역으로 되돌아오는 전류의 최적변화량 차이를 검출할 수 있도록 측정시스템이 구성되어 있다

II. 접근 방법

2.1. 설계 및 레이아웃

본 연구에서는 0.25 μ m CMOS 공정을 이용하여 광대역 CMOS 연산증폭기를 제작하였다. 제작된 증폭기의 특징은 모든 성분이 COMS 공정만으로 제작된 점과 300 MHz의 단위 이득-대역폭을 가진다는 점이

다. 그림 1은 광대역 CMOS 연산증폭기의 회로도를 나타낸 것으로, 정합된 차동 입력 쌍 (differential pair) 을 만들기 위해 트랜지스터 m_1 과 m_2 가 공유된 활성영역에 설계되어 있다.

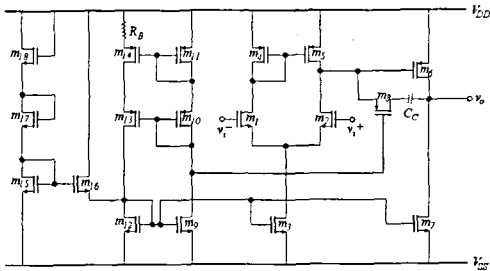


그림 1. 광대역 CMOS 연산증폭기 회로도
Figure 1. Schematic of wideband CMOS Op Amp.

트랜지스터에 대한 레이아웃은 Cadence Virtuoso 레이아웃 편집기를 이용하였으며, 레이아웃 면적은 $0.25\mu\text{m}$ CMOS 공정을 이용하여 대략 0.01mm^2 이었다. 그림 2는 자체 내부 결함이 없는 증폭기에 대한 레이아웃을 나타낸 것이다.

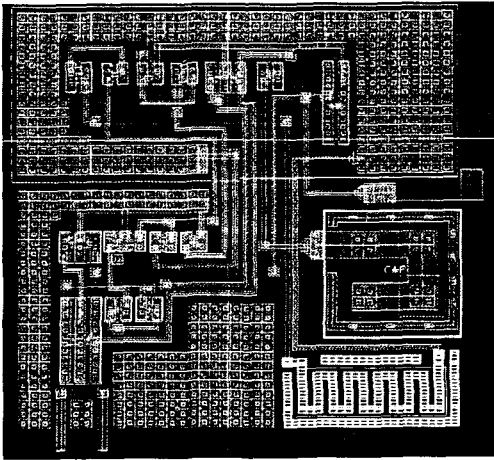


그림 2. 광대역 CMOS 연산증폭기 레이아웃
Figure 2. Layout of wideband CMOS Op Amp.

2.2. 테스트 회로 구성

그림 3은 광대역 증폭기의 결함유무를 측정하기 위한 새로운 개념의 테스트 회로 구성을 나타낸 것이다. 측정시스템은 반전 증폭기 구성을 가진 검사대상이 되는 증폭기부 (CUT), 음 전원 공급원 (V_{SS}), 입력 전압원 (V_{in}), 전류를 측정하기 위한 전류계 (I_M), 또는 좀 더 정확한 결과를 측정하기 위해서는 광대역 디지털 오실로스코프, 본 논문에서는 클럭 주파수가 1 GHz, sampling 시간이 4 GSa/s인 광대역 디지털 오실

로스코프도 사용함), 전류분배용 저항 (R_{step}) 및 가변 계단형 공급전원부 (V_{step})로 이루어져 있다. 본 측정시스템의 특징은 전류분배용 저항과 양의 직류 공급전원부대신 가변 계단형 공급전원부를 사용한 것이다. 가변 계단형 공급전원부를 사용하여 증폭기 내에 발생한 결함의 정도를 최대한 잘 검출할 수 있는 전압 레벨을 가변성있게 선택하고 공급하였다. 또한 결함의 정도를 쉽게 판단하기 위해 V_{step} 에서 증폭기 내부를 들여다본 저항과 같은 값의 전류분배용 저항, R_{step} 을 사용하였다.

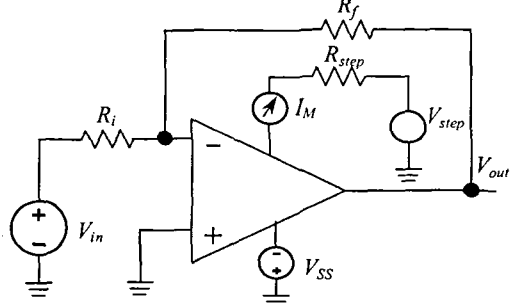


그림 3. 광대역 CMOS 연산증폭기 테스트 회로구성
Figure 3. Wideband CMOS Op Amp Test Setup.

본 측정시스템을 이용한 전류측정의 기본 원리는 자동 제어된 시간 프레임 하에 R_{step} 을 통해 증폭기 내부로 유입되는 전류의 양을 전류계나 광대역 디지털 오실로스코프를 이용하여 측정하는 것이다. 이러한 시스템은 증폭기 내부에 발생한 개방 결함이나 단락 결함과 같은 거북 결함을 측정하는 데 사용된다. 결함이 없는 증폭기는 일정량의 전류를 출력하지만, 증폭기 내부에 결함이 발생했을 경우 서로 다른 전류량을 출력한다.

그림 4는 전류측정을 위한 등가회로를 간략히 나타낸 것이다.

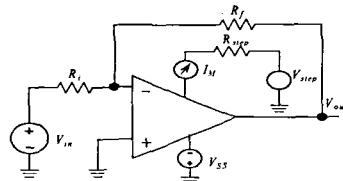


그림 4. 전류측정을 위한 등가회로
Figure 4. Equivalent circuit for current measurement.

식 (1)과 (2)는 그림 4의 등가회로로부터 증폭기 내부에 결함이 없는 경우와 있는 경우에 대해 유도한 간단한 수식을 나타낸 것이다. 증폭기 내부에 결함이 없는 경우를 기준으로 하여 R_{step} 저항을 R_{in} 과 같도록 선택하였기 때문에 증폭기 내부에 결함이 없는 경우 식(1)과 같이 표현할 수 있다.

$$I_M = \frac{1}{R_{in} + R_{step}} V_{step} = \frac{1}{2R_{step}} V_{step} \quad (1)$$

$$I_M' = \frac{1}{R_{in}' + R_{step}} V_{step} \quad (2)$$

여기서 R_{in} 은 V_{step} 에서 증폭기 내부를 들여다본 저항, I_M' 과 R_{in}' 은 결함이 있는 경우에 측정된 전류와 등가 저항을 나타낸 것이다.

2.3. 결함 모델

본 논문에서는 그림 5에 표시된 것과 같이 MOSFET에 대해 다양한 거폭 결함 모델을 고려하였다. 이러한 결함 모델로는 게이트 개방 결함 (open fault: O_i) (드레인 개방 결함이나 소스 개방 결함은 게이트와 같은 결함으로 간주함), 드레인 과 소스간 단락 결함 (short fault: B_i) 및 게이트와 산화물간 단락 결함(Gate-oxide short fault: GOSF)을 고려하였다[1,3,11]. 또한 소자 변수의 미세변동으로 인한 결함 (parametric variations)을 고려하였다. 이를 위하여 바이어스 저항 R_B 에 대해 $\pm 5\% \sim \pm 20\%$ 의 변동을 고려하였고, MOSFET에 대해서는 $\pm 10\% \sim \pm 20\%$ 의 채널폭 변동을 고려하였다 [11-12]. 시뮬레이션에서는 결함을 갖지 않은 모델 (1개)과 54개의 서로 다른 거폭결함 모델, 80개의 서로 다른 소폭결함 모델을 포함하여 총 135개의 서로 다른 모델을 고려하였으며, 각각의 경우에 단지 한 개의 결함이 발생한 것으로 가정하였다.

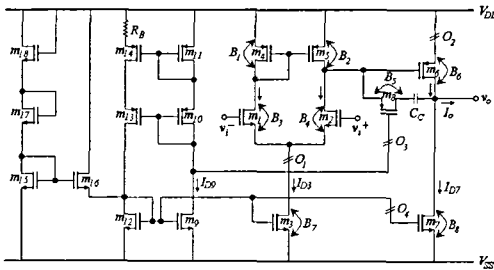


그림 5. 광대역 CMOS 연산증폭기 결함모델 (B_i : 단락결함, O_i : 개방결함)
Figure 5. Fault models of wideband CMOS Op Amp. (B_i : Bridge faults, O_i : Open faults)

III. 측정 결과

3.1. 과도 전류 분석

본 논문에서는 그림 3에서 제안한 측정시스템을 이용하여 광대역 CMOS 연산증폭기 내부의 결함 유무에 따른 과도전류 (I_M)의 변화를 관찰하였다. 그림 6은 이러한 상황에 대해 대표적인 몇몇 결함에 대한 측정결과를 나타낸 것이다. 그림에서 알 수 있듯이 결함이 없는 경우와 결함이 있는 경우에 대하여 과도 전류의 변화 차이를 관찰할 수 있었다. 개방결함의 경우 결함이 없는 경우에 비해 과도전류의 양이 더 적고, 단락결함의 경우 결함이 없는 경우에 비해 과도전류의 양이 더 많

은 경향을 보였다.

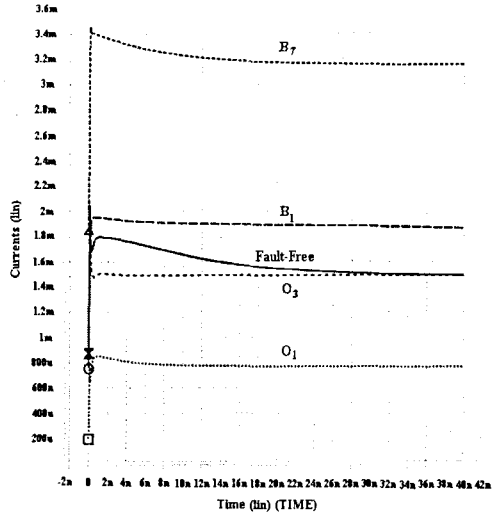


그림 6. 결함 유무에 대한 CMOS 연산증폭기의 바이어스 전류 응답
Figure 6. Bias current responses for faulty and fault-free CMOS Op Amps.

3.2. 과도 출력 분석

본 논문에서는 결함유무에 대한 검증능력을 향상시키기 위해 증폭기 입력신호의 첨가에 따른 출력응답특성을 관찰하였다. 본 논문에서 제안하는 측정시스템의 원리는 먼저 공급전원으로부터의 과도 전류를 측정하여 전류변화가 약간이라도 있는 경우 다음 단계인 출력응답특성을 관찰하는 것이다.

그림 7은 증폭기 내부에 발생한 결함에 대해 출력응답특성을 나타낸 것이다. 측정을 위해 입력신호로 사인파를 공급하였다. 그림에서도 알 수 있듯이 각 결함에 따른 전압 값의 절대적인 차이는 있지만 전체적인 측정결과는 그림 6의 경우와 비슷한 경향을 보였다. 결함이 없는 경우와 결함이 있는 경우에 대한 출력전압의 변화 차이를 살펴본 결과 개방결함의 경우 결함이 없는 경우에 비해 출력전압의 양이 더 적어지고, 단락결함의 경우는 더 많아지는 경향을 보였다. 이러한 변화는 결함유무에 따른 전류량의 변화로 인해 증폭기의 slew rate가 변화하기 때문에 출력전압의 특성이 바뀌는 것으로 생각된다. 결함이 있는 경우 바이어스 전류량이 변화하는데, 이때 그 양이 적으면 slew rate가 감소하며, 그 역도 마찬가지 현상을 보인다[13-14].

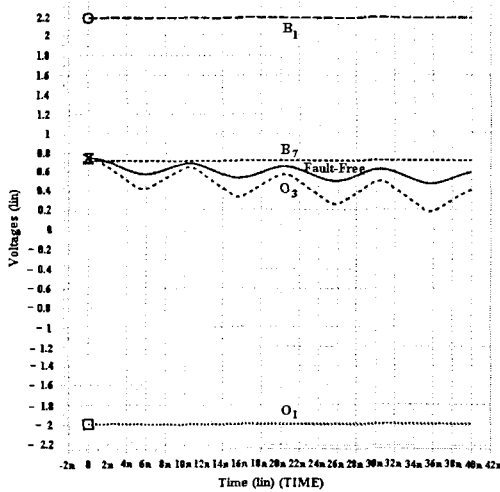


그림 7. 결함 유무에 대한 CMOS 연산증폭기의 출력 전압 응답

Figure 7. Transient voltage output responses for faulty and fault-free CMOS Op Amps.

IV. 결론

본 논문에서는 CMOS 연산 증폭기 내부에 발생한 결함 검출 및 진단 기능을 가진 새로운 형태의 검사방식을 제안하였다. 본 방식은 과도 전류를 측정하기 위해 가변 계단형 공급전원과 증폭기의 최적 등가저항을 이용하였다. 측정시스템은 결함 발생시 역으로 되돌아오는 과도전류(transient current)의 최적변화량의 차이를 검출할 수 있도록 구성되었다. 본 연구에서 제안한 측정 방식은 간편하고 검사비용이 저렴하여 관련 산업체에서 결함 검사에 적용될 수 있을 것으로 기대된다.

참고 문헌

[1] A. Germatsky and B. C. Kim, "CMOS Op Amp Bias Current Monitoring for Catastrophic Fault Detection and Analysis," 4thIEEE International Mixed-Signal Testing Workshop, pp. 187-192, June 1998.

[2] L. S. Milor, "A Tutorial Introduction to Research on Analog and Mixed-Signal Circuit Testing," IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 45, No. 10, pp. 1389-1407, October 1998.

[3] G. W. Roberts, "Metrics, Techniques and Recent Developments in Mixed-Signal Testing," Proceedings of ICCAD, pp. 514-521, November 1996.

[4] L. Milor and A. Sangiovanni-Vincentelli, "Optimal test set design for analog circuits," Proceedings of ICCAD, pp. 294-297, 1990.

[5] J. Velasco-Medina and M. Nicolaidis, "Analog Testing Using Current-Based Test Stimulus," 4thIEEE International Mixed-Signal Testing Workshop, pp. 199-204, June 1998.

[6] S. J. Tsai, "Test Vector Generation for Linear Analog Devices," IEEE International Test Conference, pp. 592-597, 1991.

[7] G. Devarayanadurg and M. Soma, "Analytical Fault Modeling and Static Test Generation for Analog ICs," IEEE International Test Conference, pp. 592-597, 1991.

[8] K. J. Lee, W. C. Wang, and K. S. Haung, "A Current-Mode Testable Design of Operational Transconductance Amplifier-Capacitor Filters," IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 46, No. 4, pp. 401-413, April 1999.

[9] G. Gielen, Z. Wang and W. Sansen, "Fault Detection and Input Stimulus Determination for the Testing of Analog Integrated Circuits Based on Power-Supply Current Monitoring," IEEE International Conference on Computer-Aided Design, pp. 495-498, 1994.

[10] J. S. Beasley, H. Ramamurthy, J. Ramirez-Angulo and M. DeYong, "IDD Pulse Response Testing of Analog and Digital CMOS Circuits," IEEE International Test Conference, pp. 626-634, 1993.

[11] J.-Y. Ryu, B.C. Kim, S.-T. Kim, and V. Varadarajan "Novel Defect Testing of RF Front End Using Input Matching Measurement," 9th IEEE Int. Mixed-Signal Testing Workshop, pp. 31-34, 2003.

[12] W.A. Pleskacz, D. Kasproicz, T. Oleszczak and W. Kuzmicz, "CMOS Standard Cells Characterization for Defect Based Testing," IEEE Int. Symposium on DFT in VLSI Systems, pp. 384-392, 2001.

[13] Gray, Hurst, Lewis and Meyer, *Analog and Design of Analog Integrated Circuits* 4thEdition, New York: John Wiley & Sons, Inc., 2001.

[14] B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, Inc., New York, chapter 12, 2001.