

DGMOSFET의 전류-전압 특성에 관한 연구

정חק기* · 곁석웅* · 나영일* · 정동수*

*군산대학교 전자정보공학부

A study on Current-Voltage Relation for Double Gate MOSFET

Hak-kee Jung* · Suk-woong Ko* · Young-il Na* · Dong-su Jung*

*School of Electronic and Information Eng., Kunsan National University

E-mail : zenith@kunsan.ac.kr

요 약

게이트의 길이가 100nm 이하인 경우에는 절연막의 두께도 1.5nm 이하로 스케일링되며, 도핑농도도 증가하게 되기 때문에 소자의 문턱전압 변화, 게이트 절연막의 터널링에 의한 허용치 이상의 누설전류의 발생 등 여러 가지 문제점이 발생할 수 있다. SiO₂ 유전체는 1.5nm 두께 이하에서 터널링 전류가 1A/cm² 이상이 될 것으로 예상되므로, 게이트 절연막으로 사용될 수 없다. 본 연구에서는 이러한 터널링에 의한 누설전류의 영향을 줄이기 위하여 더블게이트 MOSFET(DGMOSFET)를 고안하였다. SiO₂ 유전체의 두께가 1nm이하에서도 이러한 누설전류의 영향을 줄일 수 있게 되었다. 그러나 나노 크기의 소자를 개발하기 위해서는 유전율이 매우 큰 게이트 절연체가 개발되어야 한다.

ABSTRACT

In case is below length 100nm of gate, various kinds problem can be happened with by threshold voltage change of device, occurrence of leakage current by tunneling because thickness of oxide by 1.5nm low scaling is done and doping concentration is increased. SiO₂ dielectric substance can not be used for gate insulator because is expected that tunneling current become 1A/cm² in 1.5nm thickness low. In this paper, devised double gate MOSFET(DGMOSFET) to decrease effect of leakage current by this tunneling. Therefore, could decrease effect of these leakage current in thickness 1nm low of SiO₂ dielectric substance. But, very big gate insulator of permittivity should be developed for develop device of nano scale.

키워드

threshold voltage, leakage current, tunneling, DGMOSFET, SiO₂ dielectric substance

1. 서 론

지난 30년 동안 반도체 업계는 1년에서 2년마다 반도체의 집적도는 2배가 된다는 무어의 법칙에 충실히 따르며 경이적인 성장률을 유지할 수 있었다. 그러나 현재의 반도체는 0.13 μ m 공정 이후 상당한 어려움을 겪고 있으며 실제로 0.13 μ m 공정에 실패한 업체가 속출했다. 즉 무어의 법칙이 한계에 달하게 된 것이다. 인텔의 현재 공정기술 로드맵상으로는 2005년에 65nm, 2007년에 45nm, 2009년에 32nm가 예정되어 있다. 그러나 실제로

반도체 업계의 기술 지표인 ITRS(International Technology Roadmap for Semiconductor)에서는 2004년에는 90nm, 2007년에는 65nm로 예상했던 것처럼 인텔의 2년 주기와는 달리 3년 주기로 예상했다. 공정기술이 직면하고 있는 최대 문제는 크기를 줄이면 줄일수록 누설전류가 크게 늘어난다는 것이다. 누설전류가 증가하게 되면 소비전력 또한 높아지게 된다. 실제 인텔의 발표에 의하면 약 200mm² 사이즈 칩의 누설전류는 90nm 공정에서 40W정도가 되고, 65nm 공정에서는 100W 이상이 될 것으로 보아 누설전류만으로 3~4년후의 CPU는

100W 이상을 소비하게 될 것이다.

이를 극복하기 위해 반도체 업계는 지난 수년간 새로운 게이트 절연막 재료로서 고 유전율 재료의 개발을 진행해왔다. 그러나 고 유전율 재료 개발은 그렇게 순조롭지 못한 상황이다.

원래 고 유전율 재료는 90nm 공정에서 도입도될 것으로 알려졌지만 현재는 이후 공정에서 도입되는 것으로 늦어졌다. 이것은 90nm 공정에서 필요하지 않기 때문이 아니라 시간에 맞출 수가 없기 때문인 것으로 알려졌다. 때문에 90nm 공정은 소비 전력이 높은 제품이 될 가능성이 높게 된다. 그러므로 이것을 해결하기 위해서는 트랜지스터의 구조와 재료를 근본적으로 바꾸거나, 새로운 회로 설계가 필요하게 되었다.[1-2] 본 논문에서는 소자의 크기가 작아짐에 따라 발생하는 누설전류의 영향을 줄이기 위하여 기존에 사용되었던 트랜지스터의 구조가 아닌 두 개의 게이트를 갖는 트랜지스터를 이용하여 전류량을 조사하였다.

II. DGMOSFET의 해석학적 모델

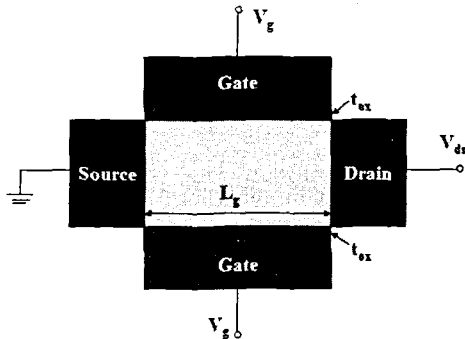


그림 1. DGMOSFET의 구조

본 논문에서는 그림 1과 같은 DGMOSFET의 터널링에 의한 차단전류의 변화를 조사하기 위하여 모든 영역, 즉 선형, 포화 그리고 서브문턱에서의 다음과 같은 해석학적 모델을 사용하였다.

선형영역에서의 전류식은

$$I_{ds} = \mu C_{ox} \frac{W}{L_g} \left[(V_g - V_t)^2 - (V_g - V_t - V_{ds})^2 \right] \quad (1)$$

$$= 2\mu C_{ox} \frac{W}{L_g} \left(V_g - V_t - \frac{V_{ds}}{2} \right) V_{ds}$$

이다. 여기에서 문턱전압 $V_t = V_0 + \delta$ 이고 $\delta = (2kT/q) \ln [q(V_g - V_0)/4rkT]$ 로 사용되었다.[3] 여기에서 V_0 는

$$V_0 \equiv \Delta\phi + \frac{2kT}{q} \ln \left[\frac{2}{t_{si}} \sqrt{\frac{2\epsilon_{si}kT}{q^2 n_i}} \right] \quad (2)$$

로 근사되었다.

여기에서 q 는 단위전하량, n_i 는 실리콘의 고유농도, ϵ_{si} 는 실리콘의 유전율이다. 또한 본 논문에서는 실온 ($T=300K$)에서 해석하였다.

포화영역에서의 전류식은

$$I_{ds} = \mu C_{ox} \frac{W}{L_g} \left[(V_g - V_t)^2 - \frac{8rk^2 T^2}{q^2} e^{\frac{q(V_g - V_t - V_{ds})}{kT}} \right] \quad (3)$$

이다. 여기에서 r 은 $r = \epsilon_{si} t_{ox} / \epsilon_{ox} t_{si}$ 로 구조 파라미터값이다.

서브문턱에서의 전류식은

$$I_{ds} = \mu \frac{W}{L_g} kT n_i t_{si} e^{\frac{q(V_g - \Delta\phi)}{kT}} (1 - e^{-\frac{qV_{ds}}{kT}}) \quad (4)$$

이다. 여기에서 t_{si} 는 실리콘의 두께, $\Delta\phi$ 는 그림 1에서의 위와 아래 게이트의 일함수이다. 또한 각 영역에서의 전류값을 구하기 위한 게이트 전압 (V_g)은 0.5V~2.0V까지 인가하였다.

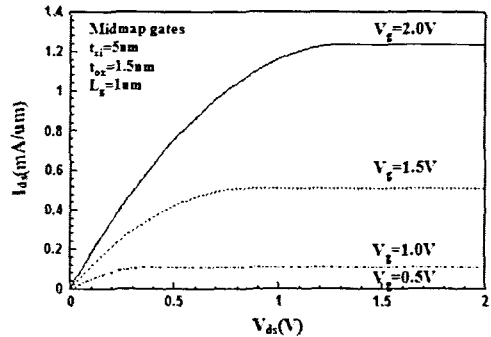


그림 2. $\Delta\phi=0$ 일 때 해석학적 모델에 의해 계산된 I_{ds} - V_{ds}

그림 2는 본 논문에서 제시한 해석학적 전류식으로 얻은 전류-전압 곡선을 보여주고 있다. 이때 인가된 게이트 전압은 0.5V~2.0V이며, 실리콘 두께는 5nm, 게이트 산화막의 두께는 1.5nm 그리고 게이트 길이는 1 μ m을 이용하였다. 이때 사용된 이동도는 $\mu = 300cm^2/V-s$ 의 값을 이용하였다.

이것은 Yuan Taur가 제시한 모델과 거의 일치함을 알 수 있었다.[4] 이것은 midgap 즉, 일함수 $\Delta\phi$ 가 0일 때의 전류-전압 곡선을 보여주고 있다. 이때 문턱전압(V_t)의 값은 0.6617V의 값을 얻었다. 또한 본 논문에서는 그림 3에서 보여주는 것과 같이 일함수 $\Delta\phi$ 가 $-E_g/2q$ 의 값일 때, 즉 n^+ poly

에서의 전류값을 구하였다.

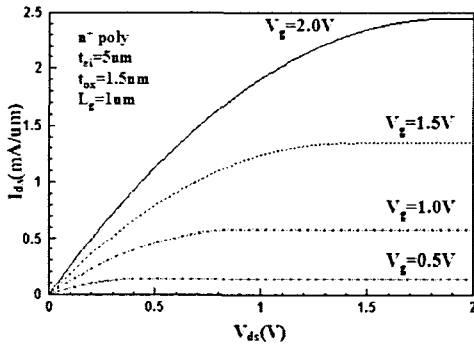


그림 3. $\Delta\phi = -E_x/2q$ 일 때 해석학적 모델에 의해 계산된 $I_{ds}-V_{ds}$

그림 3에서 알 수 있듯이 n+ poly에서의 일함수 값을 적용하였을 때는 드레인전압이 1.5V 이상이 선형 영역으로 동작함을 알 수 있었으며 이때 문턱전압 값은 0.1183V의 값을 얻었다.

위에서 제시된 식들은 채널의 길이가 길 때의 모델식으로 적합함을 알 수 있었다.

본 논문에서는 그림 4와 같이 게이트의 길이, 실리콘의 두께, 그리고 게이트 산화막의 두께에 대한 변화시켜 본 논문에서 제시한 모델이 단채널에서도 적합한가를 조사하였다.

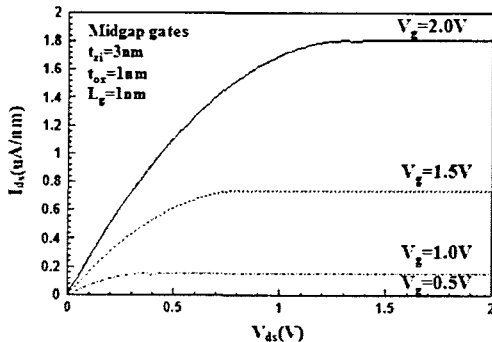


그림 4. 채널길이, 실리콘두께, 게이트산화막 두께 변화에 의한 $I_{ds}-V_{ds}$

본 논문에서 제시한 모델을 이용하여 실리콘의 두께(t_{ox})가 3nm, 산화막의 두께(t_{si})가 1nm일 때, 게이트의 길이(L_g)를 1nm와 10nm로 각각 조정하여 계산하였을 때, 문턱전압 값은 0.6817V로 변함이 없었다. 즉, 문턱전압 값은 실리콘이나 산화막 두께의 변화에 따라 변화하고 게이트 길이에 의해서는 단지 소스-드레인 전류의 양만 변함을 알 수 있었다. 게이트 산화막의 두께가 작아질 수록 흐르는 전류의 양이 줄어들음을 알 수가 있다. 이것은

비록 위와 아래의 게이트에 의하여 형성된 2개의 채널에 의해 다른 MOSFET 구조에 비해 많은 전류가 흐르는 더블구조를 갖는 MOSFET이지만 너무 작은 산화막층으로 인하여 채널을 따라 흐르는 전류의 대부분이 누설됨을 알 수 있다.

또한 게이트 전압이 작을 때 실리콘의 두께가 너무 작게 되면 문턱전압 값은 (-)의 값을 갖게 되며, 본 논문에서 제시한 모델로 계산하였을 때 (+)의 값을 갖는 실리콘두께의 한계치는 약 7.3nm 가 됨을 알 수 있었다.

III. 결 론

본 논문에서는 두 개의 게이트를 갖는 더블게이트 MOSFET에서의 해석학적 전류식을 이용하여 차단전류의 변화를 조사하였다. 비교적 긴 ($L_g=1\mu m$)채널에서 뿐만이 아니라 단채널($L_g=1nm$)에서도 본 논문에서 제시한 모델이 적합함을 알 수 있었다. 또한 일함수의 값에 의하여 전류량이 변하게 되며, 게이트길이만 변화하게 될 경우 문턱전압 값은 일정함을 알 수 있었다. 또한 실리콘 두께가 너무 두껍게 되면 구조적 불균형으로 인한 문제점들이 야기 될 수 있음을 알았다. 게이트 산화막의 두께가 작아질 수록 흐르는 전류의 양은 급격히 감소함을 알 수 있었다. 즉, 얇은 게이트 산화막의 두께로 인하여 누설전류가 발생됨을 알 수 있었다. 따라서 이러한 현상을 줄이기 위해서는 고 유전율의 절연체나 새로운 모델이 제시되어야 할 것으로 사료된다.

참고문헌

- [1] M.Bescond, J.L.Autran, D.Munteanu and M. Lannoo, "Atomic-scale modeling of double gate MOSFETs using a tight-binding Green's function formalism", Solid-State Elec., vol.48, pp.567-574, 2004.
- [2] 고석웅, 정학기, "나노구조 Double Gate MOSFET의 핀치오프특성에 관한 연구", 한국해양정보통신학회, vol.6, no.7, pp.1074-1078, 2002.
- [3] Y. Taur, "An analytical solution to a double-gate MOSFET with undoped body" IEEE Electron Device Lett., vol. 21, pp. 245-247, May 2000
- [4] Y. Taur, "A Continuous, Analytic Drain-Current Model for DG MOSFETs" IEEE Electron Device Lett., vol. 25, pp. 107-109, Feb. 2004