

# DGMOSFET의 크기에 따른 전류-전압특성변화에 관한 연구

정학기\* · 나영일\* · 이재형\*

\*군산대학교 전자정보공학부

## A Study on Characteristics of Current-Voltage Relation by sizes for Double Gate MOSFET

Hak-kee Jung\* · Young-il Na\* · Jae-hyung Lee\*

\*School of electronic & information Eng., Kunsan National University

E-mail : mcguy@kunsan.ac.kr

### 요 약

본 논문에서는 main gate와 side gate를 가지는 DGMOSFET의 전류전압특성을 조사하였다. 채널의 길이를  $1\mu m$ 에서  $5\mu m$ 까지 변화시켜 채널길이에 따른 전류전압특성을 조사하였다. 또한 드레인 전류를 변화시켜 동작온도에 따른 특성변화를 비교·분석하였다. 게이트 전압이 2V 인가되었을 때, 77K에서의 전류전압특성이 300K에서 동작한 소자특성보다 우수하다는 것을 알 수 있었다.

### ABSTRACT

In this paper, we have investigated characteristics of current-voltage for double gate MOSFET with main gate and side gate. Investigated current-voltage characteristics of channel length changed length of channel from  $1\mu m$  to  $5\mu m$ . Also, compare and analyzed characteristics of changed of operating temperature changing current that is dignity. gate voltage could know 2V that is superior than device characteristics of current voltage characteristic in 77 K acts in room temperature when approved.

### 키워드

DGMOSFET, main gate, side gate, drain current

## 1. 서 론

1930년에 FET(field effect transistor)의 기본 개념이 도입된 이후 집적회로들의 일부분이 되어졌고, 현재 전자 산업에 있어서 가장 중요한 소자가 되었다.[1] 그리고, 지난 20년 동안 CMOS 기술의 두드러진 성장으로 인하여 스케일링 기술과 소자의 크기는 나노 영역의 기본적인 물리적인 한계에 도달하게 되었는데, 소자의 속도와 특성을 개선시키기 위해 MOS(metal oxide semiconductor) 소자의 크기는 매우 작아지게 되었고,[3]-[5] 최근 MOS 소자들이  $50nm$ 이하로 작아짐에 따라 소자 설계에 있어서 고려해야 할 여러 가지 문제점들이 나타나게 되었다.[2] 이런 문제들을 해결하기 위해 여러 가지 방법들이 제시되고 있는데, 본 논

문에서는 DGMOSFET의 크기변화에 따른 전류-전압특성을 조사하였다. 이를 위해 채널길이와 산화막 두께, 실리콘의 두께, 그리고 게이트 전압을 3V에 고정시켜 온도변화에 따른 소자의 전류전압특성을 비교 분석하였다. 분석을 위해서 fortran을 이용하였다.

## II. 본 론

그림 1은 DGMOSFET의 개략도를 나타내고 있다. 본 논문에서는  $1\mu m$ 의 채널길이와  $5nm$ 의 실리콘 두께, gate 산화막 두께를  $1.5nm$ , 그리고, 동작온도는 300K을 기본 설정값으로 주었으며, 변수를 바꾸어 크기변화에 따른 전류전압특성을 조사하였다.

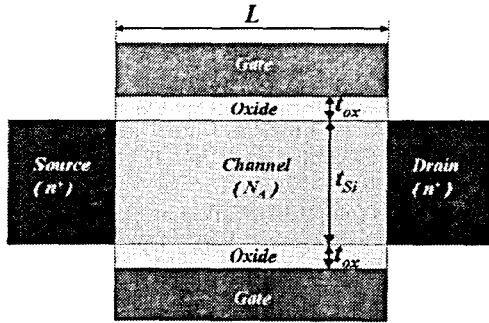


그림 1. DG MOSFET의 대칭적구조

그림 2는 채널 길이가 변화함에 따라 DG MOSFET의 전류-전압특성곡선을 나타내고 있다. 그림에서 보이는 것과 같이  $t_{si}$ 와  $t_{ox}$ 의 값은 각각 5nm, 1.5nm로 고정시키고 채널길이를 각각 1 $\mu$ m, 3 $\mu$ m, 그리고 5 $\mu$ m를 변화시켜  $V_{gs}=2V$ 를 인가하였고 전류전압특성을 알아보기 위해 드레인 전압을 0V에서 2V까지 변화시키면서 관찰하였다. 드레인 전압 값이 2V를 인가하고 각각 드레인 전류 값은 1nm, 3nm, 5nm일 때, 1.2mA/ $\mu$ m, 0.41mA/ $\mu$ m, 0.25mA/ $\mu$ m가 나왔다. 채널 길이가 작아질수록 흐르는 전류의 양은 급격히 감소함을 알 수 있었다. 즉, 작은 채널길이의 두께로 인하여 누설전류가 발생됨을 알 수 있었다.

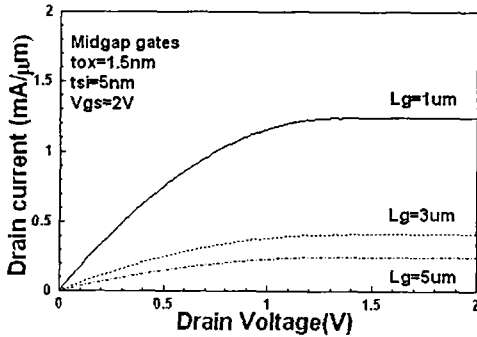


그림 2. 게이트길이 변화에 따른 전류-전압특성

그림 3는 gate산화막 두께를 변화시켰을 때, 그에 따른 전류-전압특성을 나타내고 있다. 다른 조건은 고정시키고 gate산화막두께를 변화시켰을 때  $V_{gs}$  값은 2V이며, 드레인 전압값을 0V에서 2V까지 인가하였을 때 앞서 보았던 특성곡선과 비슷한 결과를 보였다. gate산화막의 두께가 작아질수록 흐르는 전류의 양은 급격히 감소함을 알 수 있었다. 즉, 얇은 gate 산화막의 두께로 인하여 누설전류가 발생됨을 알 수 있었다.

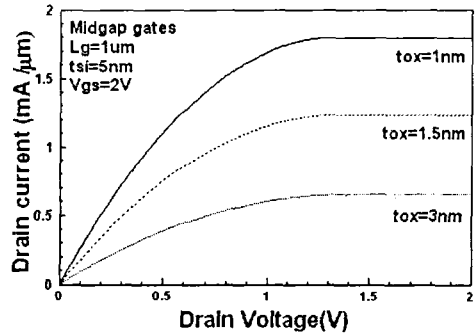


그림 3. gate 산화막두께에 따른 전류전압특성

그림 4은 실리콘 두께에 따른 전류전압특성을 나타내고 있다. 다른 변수들의 값을 고정시킨 상태에서 실리콘 두께를 변화시켜 결과를 살펴보았다. 하지만 그림에서 보는 것과 같이 실리콘두께의 변화에 따른 전류전압특성은 일정하였다. 이 결과에서 실리콘의 두께는 전류전압특성에는 영향을 주지 않는 것을 알 수 있다.

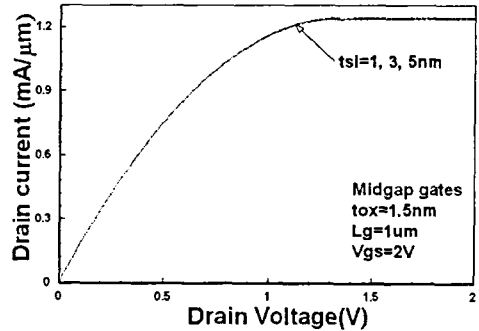


그림 3. 실리콘 두께 변화에 따른 전류전압특성

그림 5는 온도변화에 따른 전류전압특성을 나타내고 있다. 게이트길이와 si 두께, 그리고 게이트 산화막 두께는 각각 1 $\mu$ m, 5nm, 1.5nm로 고정시키고 온도를 변화시켜 살펴보았다. 그결과  $V_{gs}$ 가 2V이고 drain 전압이 2V일 때, 77K에서의 전류값은 2.3mA/ $\mu$ m,이고 300K일 때는 1.2mA/ $\mu$ m,로 약 1.1mA/ $\mu$ m가 차이가 났다. 온도가 감소함에 따라 드레인 전류값이 감소한다. 그것은 낮은 온도에서는 EHP가 발생하기 어렵기 때문이다. 본 논문에서 사용된 소자의 특성에서는 낮은 온도에서 우수한 결과를 보여 주고 있다.

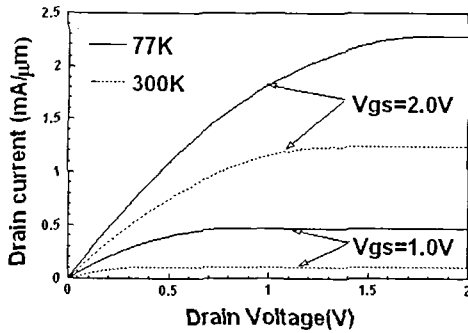


그림 5. 온도 변화에 따른 전류-전압특성

### III. 결 론

본 논문에서는 두 개의 게이트를 갖는 더블게이트 MOSFET에서의 채널길이, gate 산화막 두께, 실리콘 두께, 그리고 온도 변화에 따른 전류전압 특성 분석하였다. 채널길이와 gate 산화막두께가 얇아질수록 흐르는 전류의 양은 급격히 감소함을 알 수 있었다. 즉, 얇은 게이트 산화막의 두께로 인하여 누설전류가 발생됨을 알 수 있었다. 실리콘두께가 변화하게 될 경우 문턱전압 값은 일정함을 알 수 있었다. 또한 실리콘두께가 너무 두껍게 되면 구조적 불균형으로 인한 문제점들이 야기 될 수 있음을 알았다. 또한 온도 변화에 따른 특성변화에서 77K에서 300K보다 좋은 전류전압특성이 나왔다. 따라서 채널길이와 gate 산화막두께, 온도등이 소자의 특성에 영향을 미친다는 것을 알 수 있다.

### 참고문헌

- [1] David J. Frank, Robert H. Denard Edward Nowark, Paul M. Solomon, Yuan Taur and Honsum Philip Wong, Device Scalnig Limits of Si MOSFETs and Their Application Dependencies, Proceeding of the IEEE, Vol. 89, No. 3, March 2001, pp. 259-287.
- [2] Seong-Dong Kim, Chel-Min Park and Jason C . S. Woo, Advanced Model Analysis of Series Resistance for CMOS Scaling Into Nanometer Regime-Part I : Theoretical Derivation, IEEE Trans. Electron Dev., Vol. 49, No.3, March 2002, pp. 457-466.
- [3] Woo Yong Choi, Byung Yong Choi, Dong Soo Woo, Young Jin Choi, Jong Duk Lee and Byung Gook Park, Side-Gate Design Optimization of 50nm MOSFETs with Electrically Induced Source/Drain, Jpn. J. Appl. Phys., Vol. 41, Part 1, No. 4B, April, 2002, pp. 2345-2347
- [4] D. G. Borse, S. J. Vaidya and Arun N. Chadorkar, Study of SILC and Interface Trap Generation Due to High Field Stressing and Its Operating Temperature Dependence in 2.2nm Gate Dielectrics, IEEE Trans. Electron Dev., Vol. 49, No. 4, April, 2002, pp. 699-701.
- [5] Byung Yong Choi, Suk Kang Sung, Byung Gook Park and Jong Duk Lee, 70nm NMOSFET Fabrication with 12nm n<sup>+</sup>-p Junctions Using As<sub>2</sub><sup>+</sup> Low Energy Implantations, Jpn. J. Appl. Phys., Vol. 40, Part 1, No. 4B, April, 2001, pp. 2607-2610.