

MCML (MOS Current Mode Logic) D-플립플롭을 이용한 8/9 Dual-Modulus Prescaler의 설계

Design of a 8/9 Dual-Modulus Prescaler with MCML D-F/F

박준서 신이주
(광운대학교, 석사과정)

김복기
(광운대학교, 교수)

Key Words : MOS Current Mode Logic (MCML), D-Flipflop, Divider, Dual-Modulus Prescaler

목 차

- | | |
|------------------------------------|--------|
| I. 서론 | IV. 결론 |
| II. Low Voltage static 1/2 divider | 참고문헌 |
| III. Dual-modulus 8/9-Prescaler | |

I. 서론

ITS(Intelligent Transport System; 지능형 교통 시스템)은 정보기술, 통신기술, 센서기술 및 제어기술 등을 이용하여 보다 향상된 운송효과를 기대할 수 있는 도로 교통 체계이다. 이러한 지능형 교통시스템을 구축하기 위해서는 교통정보를 수집하고 효율적으로 분배하는 시스템의 도입이 필수적이다. 현재의 발전된 정보통신기술을 이용한 단거리 무선통신(DSRC : Dedicated short Range Communication) 기술이 그 대안으로 떠오르고 있다. DSRC 통신방식은 고속으로 주행 중인 차량과 노면 안테나간의 양방향 통신을 통해 대용량의 데이터를 송신할 수 있는 시스템으로 통신 셀 크기는 수 미터에서 수백 미터 이고 주파수 대역은 5.8GHz 대역을 사용한다.

DSRC 통신의 구현을 위한 RF 통신에서 PLL (Phase-locked loop)을 이용한 주파수 합성기는 통신시스템에서 RF 입력 단에 위치하여 중요한 역할을 하고 있는데 PLL 회로에서 고속 동작을 필요로 하는 부분은 VCO (Voltage-controlled oscillator) 와 prescaler이다. VCO에서 출력 되는 높은 주파수를 입력 받아 일정한 비로 분주하는 회로가 prescaler인데 분주비를 N 과 N+1로 변화시킬 수 있는 이중분주기를 Dual-Modulus Prescaler라고 한다. 주파수 합성기의 고속 동작을 위해 예전에는 GaAs 또는 Bipolar 공정으로 Dual-modulus prescaler를 구현하였다. 하지만 최근에는 CMOS 공정을 사용하여 고속 Dual-modulus prescaler를 설계하고자 하는 연구가 활발하다.

따라서 본 논문에서는 DSRC에 적용이 가능한 저전력 고속 동작 divider와 dual-Modulus Prescaler를 0.18um RF CMOS 공정을 이용하여 설계하였다.

II. Low Voltage static 1/2 divider

Prescaler 설계에 있어서 핵심은 D-플립플롭 이라 할 수 있다. 이것은 일반적으로 알려진 플립플롭을 사용할 경우 높은 주파수를 적절히 처리하기가 어렵기 때문이다. 따라서, 고속 동작을 위한 divider 설계를 위해서는 TSPC (True-Single-Phase-Clock) dynamic D-플립플롭과 함께 CML (Current Mode Logic) D-플립플롭을 이용한다.

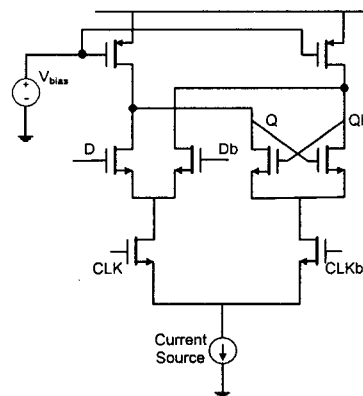


그림 1. 기존의 CML D-flipflop 회로도

그림 1은 MCML D-플립플롭의 회로도이다. 기존의 회로가 갖는 단점은 load가 PMOS 에 직접 전압을 인가시킨 구조를 갖기 때문에 bias 전압 변화에 대한 load impedance의 보장이 어렵게 되어 bias point를 결정하기 어렵게 된다는 것이다. 또한 동작 주파수의 변화에 따라 PMOS에 걸리는 전압 변화가 어느 정도 필요함에도 인가된 전압에 고정된다는 것이다.

따라서 본 논문에서는 기존의 MCML D-플립플롭을 개선하여 아래와 같은 MCML D-플립플롭을 제안하였다.

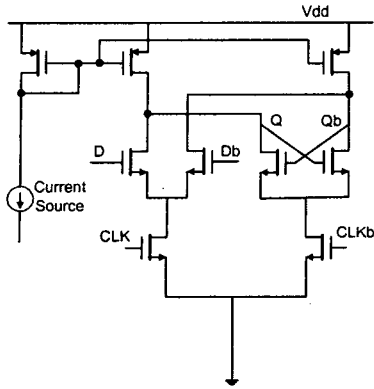


그림 2. 제안된 MCML D-flipflop 회로도

그림 2에서처럼 제안된 MCML D-플립플롭은 전류원을 제거하였다. 대신 PMOS를 이용한 current mirror로 bias를 잡아주고 이와 동시에 load 를 구성하였다. 기존의 회로와 달리 bias를 위해 이용된 전류원을 제거함으로써 NMOS가 한층 덜 쌓이는 구조를 갖게 되어 제한된 공급전압의 환경 안에서 headroom voltage에 대해 더 많은 여유를 갖게 되었다. 하지만 제안된 회로의 단점은 CLK 와 CLKb의 differential 신호가 입력되는 NMOS에 스윙 폭이 큰 입력신호를 인가해야 한다는 것이다. 따라서 본 논문에서는 $1-V_{ptp}$ 진폭을 갖는 입력 신호를 사용하였다.

그림 3은 제안된 MCML D-플립플롭을 이용하여 설계한 1/2 Divider의 회로이다.

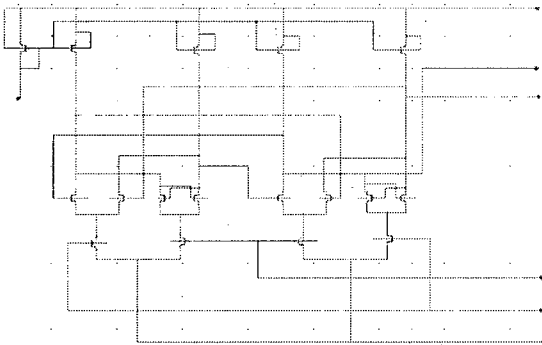
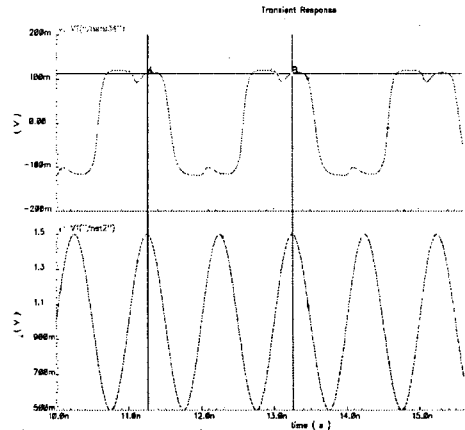


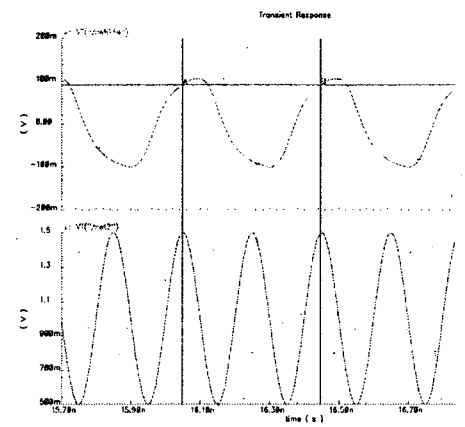
그림 3. 제안된 1/2 Divider 회로도

제안된 2개의 MCML D-플립플롭을 결합한 것은 divider의 동작 주파수를 높이기 위함이고 CLK와 CLKb의 differential 신호를 입력시키는 것은 clock에서 가장 많이 발생하는 노이즈를 감소시키기 위함이다.

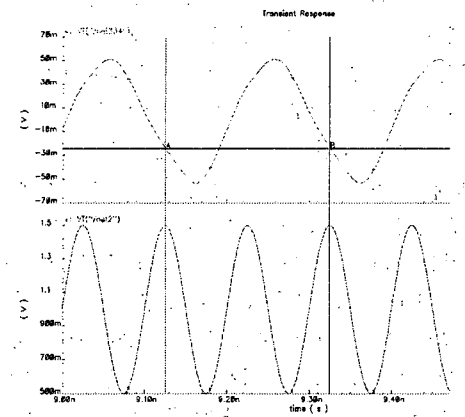
제안된 1/2 Divider 를 1.8 V의 공급전압을 인가하여 모의 실험을 수행하였다. 모의실험은 RF Spectre의 설계 환경에서 1-GHz에서 10-GHz까지 수행되었다.



(a) 1-GHz 에서의 출력파형



(b) 5-GHz 에서의 출력파형



(c) 10-GHz 에서의 출력파형

그림 4. 1/2 divider 모의실험의 결과

그림 4는 1/2 divider의 모의실험 결과이다. 각각의 파형은 50 ohm 으로 매칭 시킨 output buffer에서 추출하였다. 그림 4 에서와 같이 1/2 divider 는 입력주파수가 각각1-GHz, 5-GHz, 10-GHz일 때 1/2로 분주된 파형을 출력하였다.

제안된 divider 는 1.8 V의 공급전압으로 모의실험 하였을 때 10-GHz 의 최대 동작 속도를 갖으며 총 전류 소모는 1.5 mA, 총 1.89 mW 의 전력을 소모하며 동작하였다.

III. Dual-modulus 8/9-Prescaler

Dual-modulus prescaler는 동기카운터 (Synchronous Counter) 와 비동기 카운터 (Asynchronous Counter)의 두 블록으로 구성된다. 동기 카운터에서는 전력을 많이 소비하더라도 고속 동작이 가능한 플립플롭을 사용하고, 비동기 카운터에서는 저속에서 동작하더라도 저전력을 소비하는 플립플롭을 사용한다. 일반적으로 비동기 카운터를 구현하는 플립플롭으로는 동작 속도는 다소 느리지만 전력소비가 적은 true-single-phase-clocking(TSPC)를 이용한 D-플립플롭으로 이용한다. 하지만 본 논문에서는 8/9 Dual-modulus prescaler 구현을 위한 비동기 카운터에 이용되는 D-플립플롭이 한 개만 사용되는 점을 착안하여 TSPC를 이용한 D-플립플롭 대신 본 논문에서 제안된 D-플립플롭을 이용하였다.

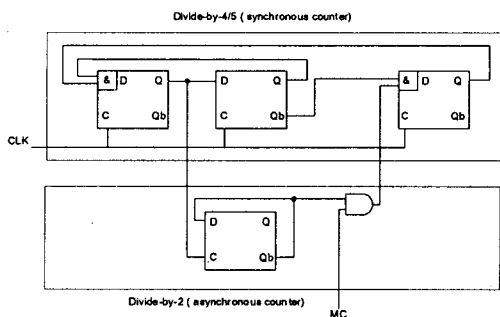


그림 5. 제안된 8/9 Dual-modulus prescaler의 블록도

본 논문에서 제안된 8/9 Dual-modulus prescaler는 D-플립플롭 세 개와 NAND게이트 두 개로 구성되어 있는 divide-by 4/5 동기카운터와 1개의 D-플립플롭과 하나의 AND로 구성되어 있는 divide-by 2 비동기 카운터로 구성하였다.

동기 카운터 부분에서 파워소모를 줄여 저전력을 구현함과 동시에 추가적인 게이트 지연을 막기 위하여 그림 6과 7에서와 같이 NAND게이트를 D-플립플롭에 병합하여 8/9 Dual-modulus prescaler를 설계하였다.

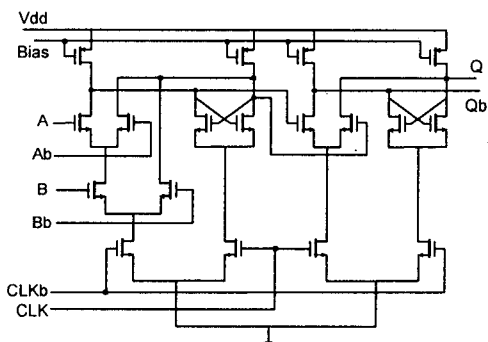
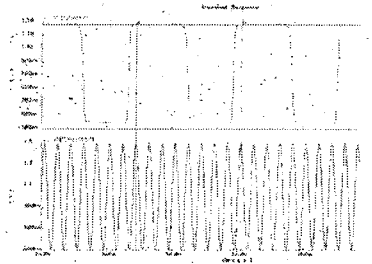


그림6. NAND 게이트가 병합된D-플립플롭 회로도

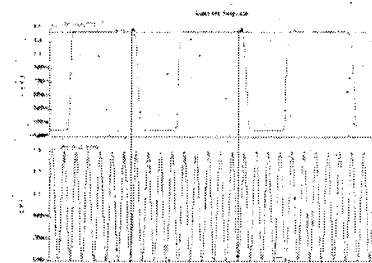
그림 7은 8/9 Dual-modulus prescaler의 모의실험 결과이다. 각각의 파형은 50 ohm으로 매칭 시킨 output buffer에서 추출하였다. MC (Mode Control) 신호가 0 또는 1로 바뀔때 따

라 8/9의 분주비가 다른 파형이 출력된다.

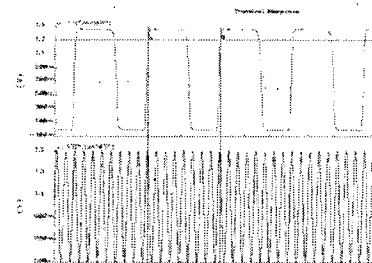
NAND 게이트가 병합된 D-플립플롭을 이용하여 설계된 8/9 dual-modulus prescaler는 1.8 V의 공급전압으로 모의실험 하였을 때 8-GHz 의 최대 동작 속도를 갖으며 총 전류 소모는 4.63 mA, 총8.35 mW 의 전력을 소모하며 동작하였다.



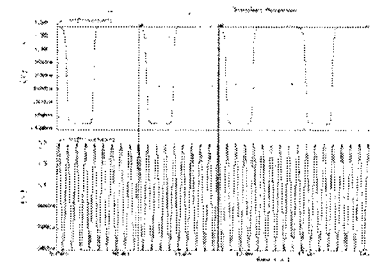
(a) 입력주파수가 5-GHz에서 8 분주비의 출력파형 (MC = 0)



(b) 입력주파수가 5-GHz에서 9 분주비의 출력파형 (MC = 1)



(c) 입력주파수가 8-GHz에서 8 분주비의 출력파형 (MC = 0)



(d) 입력주파수가 8-GHz에서 9 분주비의 출력파형 (MC = 1)

그림7. 8/9 Dual-modulus prescaler 모의실험 결과

그림 9는 설계된 1/2 divider의 레이아웃이고 그림 10 은 설계된 8/9 Dual-modulus prescaler의 레이아웃이다. 회로가 대칭적인 구조로 구성되었기에 레이아웃도 대칭성을 고려하여 수행하였다.

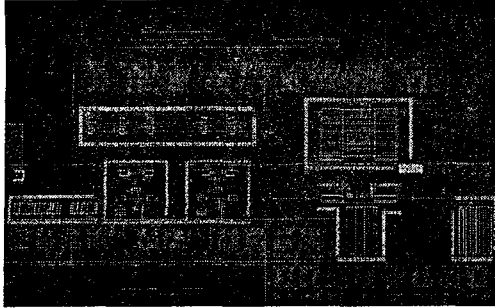


그림9. 설계된 1/2 divider의 레이아웃

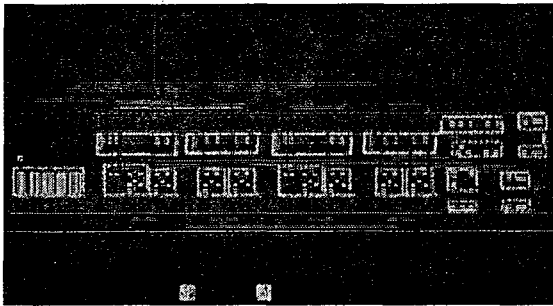


그림10. 설계된 8/9 Dual-modulus prescaler의 레이아웃

IV. 결론

본 논문에서는 주파수 합성기의 핵심적인 부분인 저전력 static 1/2 divider와 8/9 Dual-Modulus Prescaler를 0.18um RF CMOS 공정을 이용하여 설계하였다.

저전력과 고속 동작을 구현하기 위하여 1/2 divider 와 8/9 Dual-Modulus Prescaler 에서의 D-플립플롭의 구조를 개선한 것이 본 논문의 핵심이다.

개선된 D-플립플롭의 구조로 설계된 저전력 static 1/2 divider는 1.8 V의 공급전압으로 모의실험 하였을 때 10-GHz 의 최대 동작 속도를 갖으며 총 전류 소모는 1.5 mA, 총 1.89 mW 의 전력을 소모하며 동작하였다. 또한 8/9 Dual-Modulus Prescaler는 1.8 V의 공급전압으로 모의실험 하였을 때 8-GHz 의 최대 동작 속도를 갖으며 총 전류 소모는 4.63 mA, 총 8.35 mW 의 전력을 소모하며 동작하였다. 제안된 회로들은 chip으로 제작하기 위해 0.18um RF CMOS 공정변수를 이용하여 레이아웃을 수행하였다.

제안된 저전력 static 1/2 divider와 8/9 Dual-Modulus Prescaler는 DSRC의 주파수대역인 5.8GHz 대역보다 충분히 높은 주파수 분주가 가능하도록 설계되었기 때문에 DSRC의 RF 통신 시스템을 구현하기 위한 주파수합성기에 사용할 수 있을 것이다.

참고문헌

[1] Wen-Rong Yang "A 2.5 GHz CMOS Dual-modulus Prescaler for RF Frequency Synthesizer" Solid-State and Integrated Circuits Technology, 2004. Proceedings, 18-21 Oct. 2004 Page(s):1547 - 1550 vol.2

[2] Ajikuttira, A.B "A 5.5 GHz prescaler in 0.18 /spl mu/m CMOS technology" IEEE Asia-Pacific Conference on 6-8 Aug. 2002 Page(s):69 - 72

[3] Jan Craninckx and Michiel S.J. Steyaert. "A 1.75-GHz/3-V Dual-Modulus Divide-by-128/129 Prescaler in 0.7-um CMOS" IEEE J.Solid-State Circuits.,vol.31, no.7,pp.890-897, July. 1992

[4] Bram De Muer and Michiel Steyaert "CMOS Fractional-N Synthesizers" Kluwer Academic Publishers

[5] Masakazu Kurisu "A Si Bipolar 28-GHz Dynamic Frequency Divider" IEEE J.Solid-State Circuits.,vol.27, no.12,pp.1799-1804, Dec. 1992

[6] Herbert Knapp "A Low Power 20-GHz SiGe Dual-Modulus Prescaler"IEEE MTT-S Digest.,pp731 -734, 2000

[7] Dong-Jun Yang and Keneth K.O "A 14-GHz 256/257 Dual-Modulus Prescaler With Secondary Feedback and Its Application to a Monolithic CMOS 10.4-GHz Phase-Locked Loop" IEEE Trans. Microwave Theory Tech., vol.52, pp461-468, Feb. 2004

[8] Jan Craninckx and Michiel S.J. Steyaert. "A 1.75-GHz/3-V Dual-Modulus Divide-by-128/129 Prescaler in 0.7-um CMOS" IEEE J.Solid-State Circuits.,vol.31, no.7,pp.890-897, July. 1992

[9] Nam Ki Min "A 2-GHz, Low Noise, Low Power CMOS Frequency Synthesizer with an LC-tuned VCO for Wireless Communications" Journal of the Korean Physical Society. vol 39. no.1,pp.14-19, July 2001

[10] Andrew Ying Lun Chan "A 1.6-GHz Frequency Synthesizer in 0.25-um CMOS Technology" University of California Los Angeles, 2000

[11] Hans-Dieter Wohlmuth "17-GHz Dual-Modulus Prescaler in 120nm CMOS"IEEE Radio Frequency Integrated Circuits Symposium. pp. 479-482. 2003

[12] 유현규 "Silicon RF 집적회로 설계기술" 전자공학회지 제 31권 9호, 2004년 9월

[13] 성기혁, 김이섭 "A NOR-type High-Speed Dual-Modulus Prescaler" 전자공학회논문집 37