

고 유전을 저온 동시 소성 세라믹으로 제작된 초고주파용 캐패시터의 특성연구

안민수, 강정환, 윤일구
연세대학교 전기전자공학과

Characterization of High-K Embedded Capacitor in Low Temperature Co-fired Ceramic

Minsu Ahn, Jung Han Kang, Ilgu Yun.

Dept. of Electrical and Electronic Engineering, Yonsei University.

Abstract : The properties such as capacitance and resonant frequency are important in embedded capacitors. Accurate equivalent model is required to find these properties of embedded capacitor. In this paper, we investigate to analyze the properties of high-K embedded capacitor which was fabricated by Low Temperature Co-fired Ceramic (LTCC). Modeling based on partial element equivalent circuit (PEEC) method is performed using HSPICE circuit simulation. This modeling methodology can provide the good inspection of embedded capacitor to device engineer.

Key Words : LTCC, PEEC, Embedded Capacitor, High-K

1. 서론

21세기에 들어서 정보통신분야의 발달과 함께 고주파에서 동작 가능한 소자들이 각광 받고 있으며 이러한 소자들은 소형화와 낮은 비용 등이 요구 된다. Low temperature co-fired ceramic (LTCC) 방법으로 제작된 내장형 수동 소자들은 모듈 내에서 상호 연결이 가능하다는 특징이 있다. 이런 특징 때문에 고주파 동작은 물론 소형화와 낮은 비용으로 제작이 가능해져서 최근 들어 주목 받고 있다. 특히 여러 수동 소자 중에서 캐패시터는 주파수 선택적 통과 특성 때문에 여파기, 공진기, 발진기 등의 회로에 있어서 필수적인 요소이다.

본 논문에서는 교차전극형 캐패시터를 부분 등가회로 모델(partial equivalent circuit model :PEEC) 방법을 이용하여 모델링했다

2. 실험

2.1 공정

테스터 구조로 유전상수 17.8의 교차전극형 캐패시터를 제작하였다. 은을 전도체로 사용하였고 캐패시터의 두께는 10 um로 하였다. 테스트 구조는 16층의 LTCC sheet로 제작하였으며 각 sheet의 두께는 80 um이다. 제작된 테스트 구조의 도식이 그림 1에 나타나 있다. 6개의 교차전극을 갖는 구조를 test structure 1, 8개의 교차전극을 갖는 구조를 test structure 2, 10개의 교차전극을 갖는 구조를 test structure 3로 명명 하였다.

2.2 테스트 구조 측정

테스트 구조는 고주파 측정을 위하여 Agilent 8722 network analyzer에 ground-signal-ground configuration coplanar probe를 연결하여 측정하였다. Calibration은 측정 전에, through-reflect-match (TRM) 방법을 이용하여 이루어 졌다.

각각의 테스트 구조에 대해 50 MHz부터 10 GHz까지 201개의 scattering parameter (S-parameter)를 측정하였다.

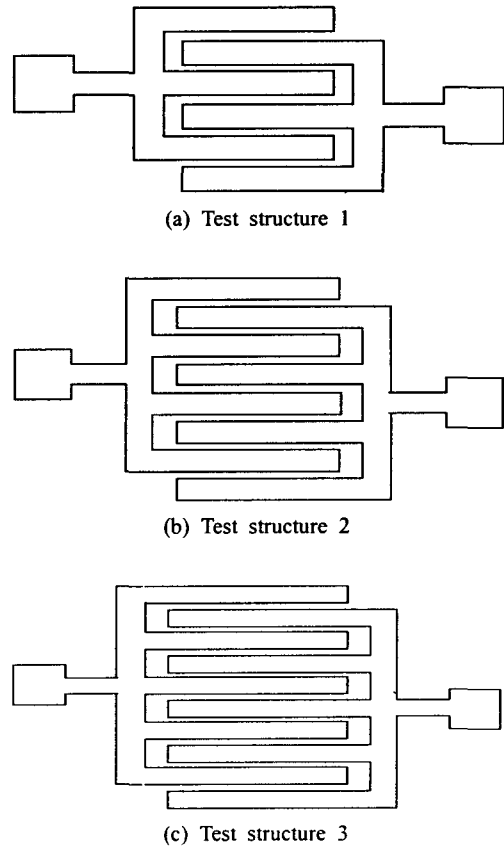


그림 1. 제작된 테스트 구조의 2차원 모형.

3. 모델링

소자의 특성을 모델링하는 방법으로는 크게 응집 회로

모델(lumped circuit model)과 PEEC을 이용하고 있다. 이 중 에서 PEEC 방법은 구조에 따른 소자 특성을 정확히 예측 할 수 있기 때문에 이 방법에 기초하여 교차전극형 캐패 시터를 모델링 하였다. 이를 위하여 테스트 구조를 그림 2와 같이 6개의 기본적인 빌딩 블록으로 나누었다. 각각 의 빌딩 블록의 등가회로는 대칭적인 구조이며, 그림 3과 같은 일반적인 수동소자 등가회로를 사용하였다. 빌딩 블 록을 이용하여 등가회로로 구성된 캐패시터는 HSPICE circuit simulator를 이용하여 첫 번째 공진 주파수까지 모 델링을 수행 하였다.

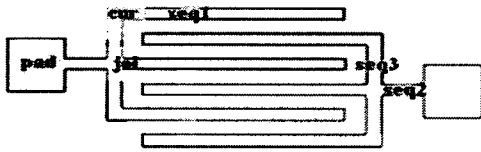


그림 2. 기본적인 빌딩 블록 정의.

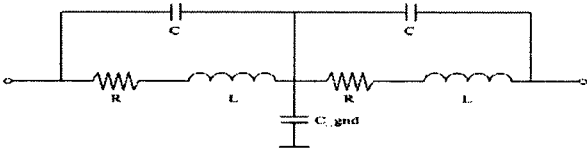


그림 3. 기본적인 빌딩 블록 등가 회로.

4. 결과 및 토의

그림 4-6은 테스트 구조들에 대한 최적화된 S-parameter 결과를 통해서 변환 된 Y-parameter의 크기와 위상을 측정 된 결과와 비교한 것이다. 최적화 된 결과는 측정된 결과 와 유사한 것을 관찰 할 수 있다. 또한 제작된 테스트 구 조들의 Y11-parameter의 위상을 통하여 알 수 있듯이 1.2 GHz 까지 캐패시터 특성을 나타냄을 알 수 있다.

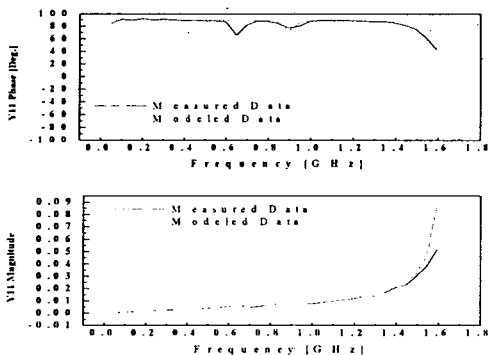


그림 4. Test structure 1의 측정된 Y11과 최적화 된 Y11.

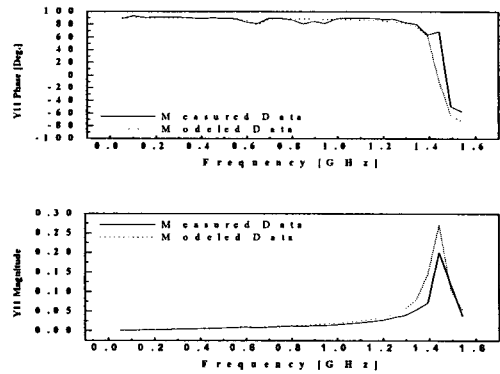


그림 5. Test structure 2의 측정된 Y11과 최적화 된 Y11.

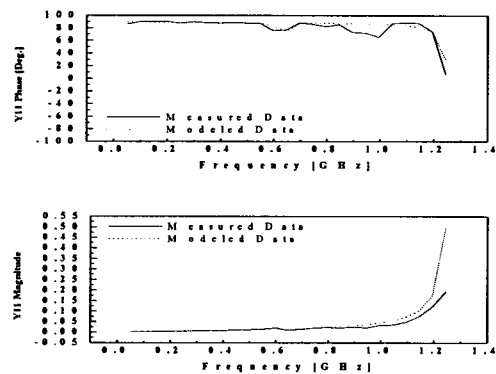


그림 6. Test structure 3의 측정된 Y11과 최적화 된 Y11.

4. 결론

본 논문에서는 LTCC 공정으로 제작된 내장형 교차전 극구조 캐패시터의 모델링을 PEEC 방법을 이용하여 수행 하였다. 파라미터의 모델링 결과로부터 집적회로에 응용 할 수 있는 내장형 캐패시터의 특성을 예측하고 분석 할 수 있다.

감사의 글

이 논문은 2005년도 두뇌한국21사업에 의하여 지원되 었음.

참고 문헌

- [1] William Blood, Feng Ling, Thomas Myers, and Michael Petras, "Simulation, Modeling, and Testing Embedded RF Capacitors in Low Temperature Cofired Ceramic", Proc. 2001 Electronic Components and Technology Conf., p. 852-857, 2001.
- [2] A. Ruehli, "Equivalent Circuit Models for Three Dimensional Multiconductor System", IEEE Trans. Microwave Theory Tech., Vol. 22, p216-221, 1974.