

4H-SiC RESURF LDMOSFET 소자의 전기적 특성분석

김형우, 김상철, 방욱, 김남균, 서길수, 김은동
한국전기연구원

Analysis of the Electrical Characteristics of 4H-SiC LDMOSFET

Hyung-Woo Kim, Sang-Cheol Kim, Wook Bahng, Nam-Kyun Kim, Kil-Soo Seo and Enn-Dong Kim
Korea Electrotechnology Research Institute

Abstract : SiC lateral power semiconductor device has high breakdown voltage and low on-state voltage drop due to the material characteristics. And, because the high breakdown voltage can be obtained, RESURF technique is mostly used in silicon power semiconductor devices. In this paper, we presents the electrical characteristics of the 4H-SiC RESURF LDMOSFET as a function of the epi-layer length, concentration and thickness. 240~780V of breakdown voltage can be obtained as a function of epi-layer length and thickness with same epi-layer concentration.

Key Words : SiC, LDMOSFET, Breakdown voltage, Epi-layer length

1. 서론

탄화규소(SiC) 반도체는 물질 자체의 높은 전기적, 열적 특성으로 인해 최근에 고전압, 고주파 및 고온 특성을 필요로 하는 소자의 제작에 있어서 각광받고 있는 물질로 고전압 반도체 소자 분야에서 많이 연구되고 있다[1,2]

탄화규소의 물질적인 특성은 탄화규소를 사용한 전력 반도체 소자에서 실리콘을 사용한 소자에 비해 항복전압이나 순방향 전압강하 특성 등에서 뛰어난 특성을 가질 수 있도록 해준다.

수평형 전력 반도체 소자의 경우, RESURF(REDuced SURface Field) 기법은 1980년대에 발견된 이래로 높은 항복전압을 얻을 수 있도록 하는 구조로서 실리콘 소자에 많이 사용되어왔다[3]. RESURF 기법은 실리콘 소자들 중에서도 고전압 IC 제조분야 및 응용분야에서 주로 사용되어지고 있다. 그러나, 아직까지 탄화규소를 이용한 수평형 반도체 소자에 있어서는 RESURF 기법에 관한 연구가 미미한 실정이다.

본 논문에서는 4H-SiC LDMOSFET에 RESURF 기법을 적용한 경우의 항복전압 특성 변화를 연구하였다. 소자의 특성은 2차원 소자 시뮬레이터인 ATLAS[4]를 사용하여 검증하였으며, 소자의 에피층 두께 및 길이에 대해 시뮬레이션을 통해 분석하였다.

2. 시뮬레이션

2.1 소자 구조

그림 1은 시뮬레이션에 사용된 소자의 구조를 나타낸 것이다. 시뮬레이션에 사용된 구조는 일반적으로 많이 사용되는 planar 구조를 사용하였다. 에피 영역의 농도는 $3.6 \times 10^{15}/cm^3$ 을 고정하였으며, 에피 영역의 두께에 따른 항복전압의 변화를 보기 위해 $5\mu m$ 및 $10\mu m$ 의 두 가지 에피 영역 두께를 사용하였다. 또한 에피 영역의 길이도 $10 \sim 20\mu m$ 까지 $5\mu m$ 씩 변화시켜가며 시뮬레이션을 수행하

였다.

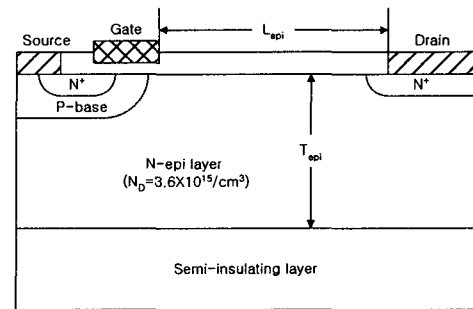


그림 1. 시뮬레이션에 사용된 소자의 구조도

3. 결과 및 분석

그림 2에 에피 영역의 두께에 따른 항복전압의 특성을 나타내었다. 에피 영역의 두께가 $10\mu m$ 인 경우의 항복전압이 약 530V로 $5\mu m$ 인 경우의 240V에 비해 300V 정도 더 높게 나타남을 알 수 있다.

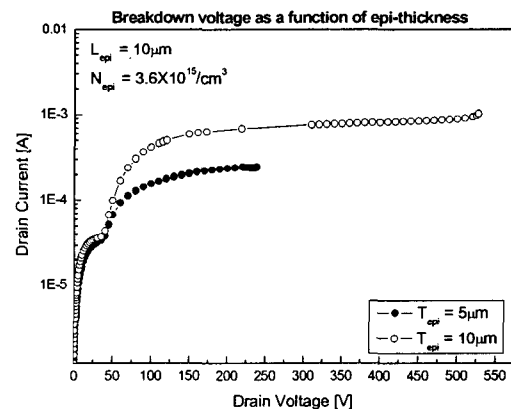


그림 2. 에피 영역 두께에 따른 항복전압 변화

그림 3은 에피 영역의 길이를 10 μm 로 고정한 경우에 에피층 두께에 따른 표면 전계 분포를 나타낸 것이다. 두 가지 경우 모두에 대해 에피 영역 전체가 공핍된 상태를 알 수 있는데, 이는 표면 전계가 에피 영역 전체로 분산되었음을 의미하는 것이다.

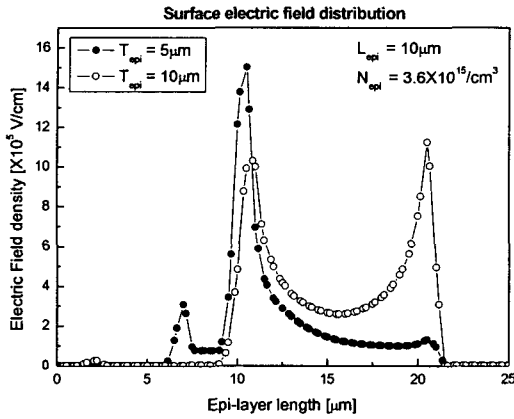


그림 3. 에피층 두께에 따른 표면 전계 분포도

하지만 그림에서도 알 수 있듯이 에피 영역의 두께가 5 μm 경우에는 전계의 임계값이 gate 영역 부근에서 나타나며, 10 μm 인 경우에는 gate와 drain 영역 양쪽에서 모두 전계의 임계값이 나타난다. 따라서 에피 영역의 두께가 10 μm 인 경우의 항복전압이 5 μm 인 경우에 비해 높게 나타남을 알 수 있다.

그림 4에 에피 영역의 길이에 따른 항복전압 특성을 나타내었다. 에피 영역의 농도 및 두께를 각각 $3.6 \times 10^{15}/\text{cm}^3$, 10 μm 로 고정하고 에피 영역의 길이를 10 ~ 20 μm 까지 변화시켜가며 시뮬레이션을 수행한 결과 에피 영역의 길이가 20 μm 인 경우에 780V의 항복전압을 얻을 수 있었다.

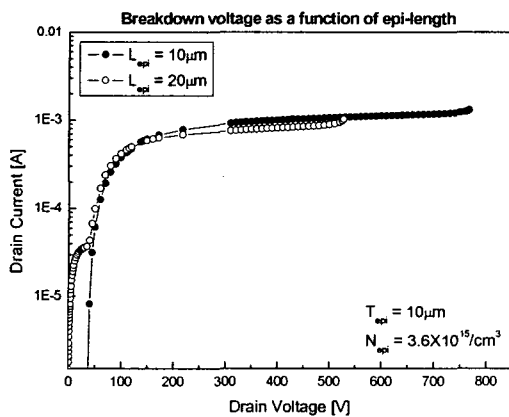


그림 4. 에피 영역 길이에 따른 항복전압 특성

그림 5는 에피 영역의 길이에 따른 표면 전계를 나타낸

것이다. 에피 영역의 길이가 20 μm 인 경우는 600V 전압이 인가된 경우와 항복이 일어난 경우의 2가로 나타내었는데 그림에서 볼 수 있듯이 에피 영역의 길이가 20 μm 인 경우 600V의 전압이 인가되었을 때는 drain 부근의 전계는 임계값에 도달하지 않은 상태이며, 항복이 일어난 경우 약 $1.2 \times 10^6 \text{ V/cm}$ 로 임계값에 도달하였음을 알 수 있다. 따라서 에피 영역의 길이가 10 μm 인 경우에 비해 높은 항복전압 특성을 가진다는 것을 알 수 있다.

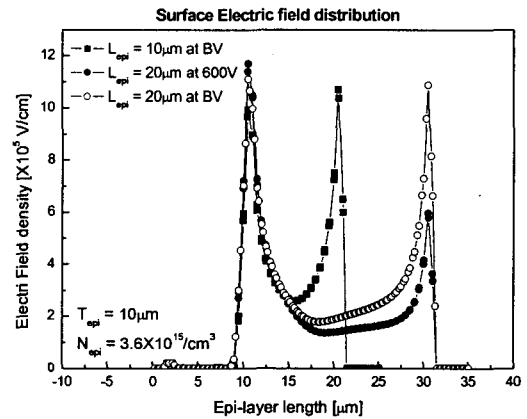


그림 5. 에피 영역 길이에 따른 표면 전계 분포도

4. 결론

4H-SiC RESURF LDMOSFET에 대해 에피 영역의 두께와 길이에 따른 항복전압 특성을 알아보았다. 에피 영역의 길이를 10 μm 로 고정하고 에피 영역의 두께를 5, 10 μm 로 하여 시뮬레이션을 수행한 결과 각각 240V, 530V의 항복전압을 얻을 수 있었다. 에피 영역의 두께를 10 μm 로 고정하고 길이를 10, 20 μm 로 사용한 경우에는 각각 530V, 780V의 항복전압을 얻을 수 있었다. 동일한 에피 영역의 농도와 두께를 사용한 Si RESURF LDMOSFET의 경우 300V 내외의 항복전압을 얻는 것을 감안할 때 SiC를 사용한 경우가 대략 2배 이상 높은 항복전압을 얻을 수 있음을 알 수 있다. 또한 본 논문에서 사용된 에피 영역의 농도와 두께는 최적화가 이루어진 것이 아니기 때문에 최적화가 이루어지게 되면 780V 이상의 높은 항복전압을 얻을 수 있을 것으로 보여진다.

참고 문헌

- [1] M. Bhatnagar and B. J. Baliga, "Comparison of 6H-SiC, 3C-SiC, and Si for power devices", IEEE Trans. Electron Devices, Vol. 40, No. 3, pp. 645-655, 1993.
- [2] R. J. Trew, H. B. Yan, and P. M. Mock, Proc. IEEE, Vol. 79, pp. 598-620, 1991.
- [3] J. A. Appels and H. M. J. Vaes, IEDM Tech Dig., pp. 238, 1979.
- [4] Silvaco TCAD Manuals, ATLAS, Silvaco International Co. USA.