

## 사이리스터의 결함과 항복전압의 관계 분석

이 양 재\*, 서 길 수, 김 형 우, 김 기 현, 김 상 철, 김 남 균, \*김 병 철  
한국전기연구원, 진주산업대학교\*

### Analysis of the relationship between breakdown voltage and defect of thyristor

Y.J.Lee\*, K.S.Seo, H.W.Kim, K.H.Kim, S.C.Kim, N.K.Kim, and B.C.Kim\*

KERI, Jinju National University\*

**Abstract :** Thyristor breakdown voltage variation acceleration aging test was investigated. The breakdown voltage was decreased after 1000 hours acceleration aging test. It temperature rising caused by electric field concentration at the edge beveling region of the thyristor was confirmed using Silvaco device simulation. The local temperature rising is driving force for the defect propagation. Consequently, propagated defects of the beveling region seems to decrease thyristor's breakdown voltage.

**Key Words :** Defect, Breakdown voltage, Defect propagation

### 1. 서 론

일반적으로 전력용 반도체 소자는 10년 이상 운용이 가능한 고 신뢰성 소자이다. 하지만 제조공정상에서 발생하는 결함이나 운용중에 일어나는 여러 가지 원인들에 의해 결함 부위가 서서히 확산되어 항복전압의 감소나 누설전류의 증가로 결국에는 소자의 파괴로 이어지게 만든다. 표 1[1]에 제조공정상에서 발생하는 결함들을 나타내었다.

표 1. Si 웨이퍼 공정상에 발생하는 결함

결함	위치	공정	원인
"S" Pits/hare	표면	산화, 열처리, 결정성장 및 증착	금속 오염
Dislocations/slip	벌크/표면	열처리 (>750°C)	온도 변동, 온도 기울기 (>30°)
Misfit dislocations	표면	불순물 확산	Si 원자나 불순물 사이의 격자 손상
Stacking faults	표면	산화	금속오염, residual work damage, vacancies, etc.
Stacking faults	표면	열처리	산소 침전
Stacking faults	표면	결정성장 및 증착	substrate/epi 표면의 오염물질, gas phase decomposition
"Spikes"	표면	결정성장 및 증착	substrate/epi 표면의 오염물질

이러한 결함들은 공정상에서의 조건이 최적화 되어있다 하더라도 결함 발생의 원인이나 결함을 완전히 제거하지는 못한다. 또한 edge termination의 방법에 따라서 더 많은 결함이 발생 될 수 있다. 특히 edge termination 부분을 베벨링 한 경우 다른 edge termination 기법에 비해 더 높은 항복전압을 얻을 수 있으나, 물리적으로 웨이퍼 표면을 경사지게 갈아내었기 때문에 베벨링을 한 이후에 웨이

퍼 표면에 많은 결함이 생길 수 있다. 베벨링 이외에도 많이 쓰이는 edge termination 방법에는 FROI나 FLR, JTE[2]와 같은 방법이 있지만, 중 대용량 소자들의 경우에는 edge termination 영역이 지나치게 커지게 만들거나 공정이 복잡해지는 단점이 있다. 본 논문에서는 베벨링 시에 생성되는 표면 결함들이 항복전압에 미치는 영향과 결함부위에서 발생하는 현상에 대해 고찰하였다.

### 2. 본 론

#### 2.1. 결함의 확산

일반적으로 사이리스터와 같은 고전압, 대전류용 소자들에서 일어나는 소자의 파괴는 주로 접합의 취약한 부분이나 베벨링에서의 급격한 온도상승에 의한 결함 확산이 원인인 경우가 많다. 대부분의 결함은 표 1에서도 볼 수 있듯이 주로 표면에서 일어나며 공정상의 문제점이 원인인 경우가 많다. 결함이 있는 경우 결함 부위에는 전계가 집중하게 되며 전계의 집중은 많은 누설전류를 발생시키게 된다.

사이리스터나 GCT 같은 소자의 경우 npn 및 pnp의 트랜지스터 구조로 이루어져 있기 때문에, 다음의 식을 이용해 각각의 트랜지스터 차단전류와 이득의 값으로 소자에 흐르는 누설전류를 구할 수 있다.

$$I_r = I_{CO1} + I_{CO2} / (1 - (\alpha_{npn} + \alpha_{pnp}))$$

$I_{CO1}, I_{CO2}$ 는 npn 및 pnp 트랜지스터의 차단전류를 나타낸다. npn 및 pnp 트랜지스터의 이득  $\alpha_{npn} + \alpha_{pnp}$ 의 값이 1에 가까워지면 사이리스터에 흐르는 누설전류는 급격하게 증가하게 되며, 증가된 누설전류는 소자내부의 온도를 상승시키게 된다. 소자의 온도증가는 더 큰 누설

전류를 발생시키며 결함부분을 통해 흘러나가게 되는 경우 결함부분에서의 높은 전류 증가로 인한 온도 상승으로 소자의 표면이 녹는 현상이 발생하게 되고, passivation 영역에까지 손상을 주게 되어 소자의 영구적인 파괴 현상을 가져오게 된다.

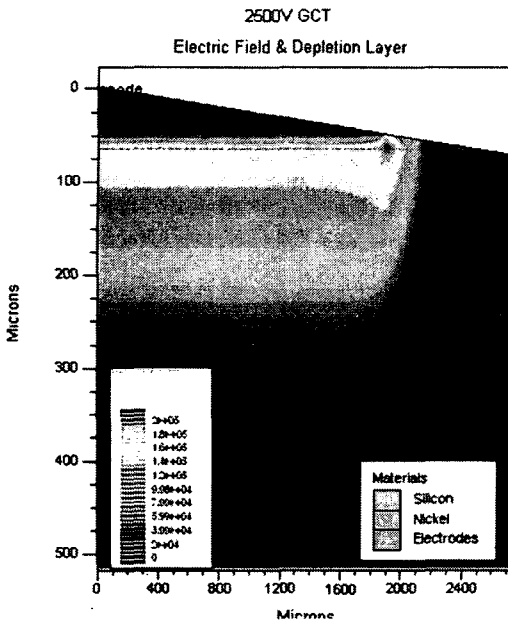


그림 1. GCT의 역방향 전압 인가 시 전계분포도

그림 1은 Silvaco[3] 시뮬레이션을 사용하여 베벨링 구조에서의 역방향 전압 인가 시에 나타나는 내부전계분포를 나타낸 것이다. 그림 1에서 볼 수 있듯이 전계의 분포는 소자 내부전체에 걸쳐 일정하게 나타나는 것이 아니라 베벨링 영역에서 집중되는 현상을 보인다. 전계의 대부분은  $n^+ - p - n^- - p^+$ 의 구조에서 역방향 전압을 인가했을 때,  $p - n^-$  접합에 전계의 집중현상이 발생하며,  $p - n^-$  접합 영역 내에서도 edge termination 부분의 표면, 즉 베벨링 부분에 강한 전계가 나타나는 것을 볼 수 있다. 이러한 전계의 집중은 누설전류 밀도를 증가시키고 온도를 상승시키게 된다.

### 2.2. 결함과 항복전압과의 관계

소자에서 나타나는 고장들 중에서 초기고장이나 돌발적인 고장을 제외하면 대부분의 고장은 장시간의 소자의 운용 중에 소자내의 각종 결함 부위에서의 급격한 온도 상승이나 높은 전기적 stress에 따른 결함 확산에 의해 나타난다.

열화고장의 경우, 공정상에서 발생된 결함이 장시간 각종 stress를 받아 항복전압이나 누설전류와 같은 전기적 특성을 저하시키면서 나타난다. 결함 부위에서 발생된 누설전류는 소자가 열화됨에 따라 서서히 증가하며, 이로 인해 결함 부위에서 온도가 상승하여 표면에서의 결함 확산이 일어나게 된다. 이렇게 결함이 확산됨에 따라 edge

termination된 영역의 표면에는 새로운 전류 경로가 형성되게 되는데, 이로 인해 다시 누설 전류가 증가하며 결과적으로 전류-온도 사이에 일종의 feedback 현상이 일어나게 되어 급격한 전류 및 온도의 증가 현상이 발생하게 된다.

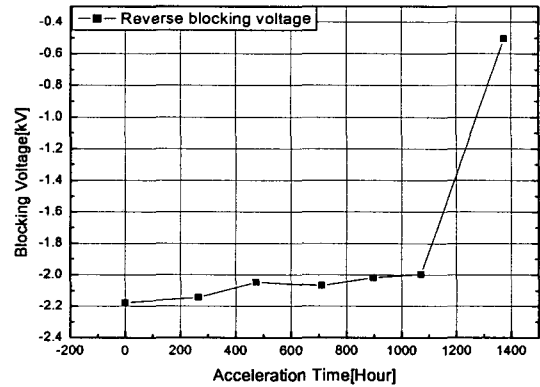


그림 2. 가속 시간에 따른 사이리스터의 항복전압 특성

그림 2는 시간에 따른 소자의 항복전압 특성 변화를 나타낸 것이다. 장시간 지속적으로 전기적 stress가 인가된 경우 역방향 항복전압이 급격히 감소하는 것을 볼 수 있다. 이것은 차단 전압을 지탱해 주는 공핍층 영역이 감소하였음을 의미하여 edge termination 영역에서의 결함 확산이 주요 원인이라 할 수 있다.

### 3. 결론

반도체 소자의 열화 원인에는 소자의 제조 공정상에서 발생한 미세한 결함부위로 전계의 집중이 일어나거나, 장시간의 전기적 stress가 있다. 이러한 전계의 집중이나 장시간의 전기적 stress는 결함의 확산의 주된 원인이 되며, 이로 인해 소자의 표면에 새로운 전류 경로가 형성됨으로써 누설전류가 증가하는 현상을 유발하게 된다. 이러한 누설전류의 증가는 다시 결함부위에서의 온도 상승에 영향을 주게 되며, 결과적으로 전류와 온도 사이에 일종의 feedback 현상이 일어나 급격한 전류 및 온도의 상승을 유발하게 된다.

### 참고 문헌

- [1] PETER L.FEJES, "Structural characterization of processed silicon wafers" IEEE, VOL. CHMT-6, NO.3, SEPTEMBER 1983
- [2] B.J. Baliga, Power Semiconductor Devices, John Wiley & Sons, 1987
- [3] Silvaco TCADManuals, ATLAS, Silvaco International, Co. USA.