

**Silicon 기판의 방향과 표면 roughness 변화를 통한**  
**Atomic Layer Etching 메커니즘의 연구**  
The Study of Atomic Layer Etching Mechanism  
using Substrate Orientation of Si and Variation of Surface Roughness

오창권, 박상덕, 염근영  
성균관대학교 신소재공학과

1. 서론

트랜지스터나 다이오드와 같은 반도체 소자의 크기가 점차 감소하고 집적화 되면서, 실제 그러한 소자를 구현하기 위한 기술적 경향이 점차 변해가고 있다. 특히, 식각 공정에 있어서의 기술적 변화는 소자의 크기가 감소하면서 식각 깊이의 정확한 제어와 함께 소자에의 물리적인 손상을 최소화 시켜야하는 난제에 봉착하게 되었다.

본 연구에서는 이러한 식각 기술의 난제를 극복하고자 Atomic Layer Etching (ALET)을 이용한 식각 깊이의 정확한 제어와 이러한 ALET의 공정 메커니즘을 규명해보았다. 그리고 시편에 조사되는 빔의 에너지를 제어함으로써 물리적 손상을 최소화 하였으며, 나아가 전기적 손상 또한 최소화하기 위하여 기존의 이온빔을 이용한 식각을 대체, 중성빔을 이용한 silicon 식각의 공정 조건을 확립하였다.

2. 본론

본 연구에서 silicon의 ALET는 한주기 당 네 개의 단계로 구성되어있으며, 이러한 단계는 silicon 표면에  $Cl_2$  가스의 흡착을 시작으로, 흡착 후 여분의  $Cl_2$  가스의 배기,  $Cl_2$  가스가 흡착된 silicon 시편에 Ar 중성빔을 조사, 마지막으로 식각 부산물의 제거과정을 거침으로 silicon의 단위자층을 식각할 수 있었다.

3. 결과

ALET의 메커니즘을 규명하기 위하여 Si(100) 과 Si(111)을 식각하였으며, 각각의 단위자층에 해당하는 1.36 Å/cycle 및 1.57 Å/cycle 의 etch rate를 얻을 수 있었다. 그리고 Atomic Force Microscope (AFM)을 이용하여 공정 변수들의 변화에 따른 silicon 표면의 roughness를 관찰함으로써 식각의 특성을 분석할 수 있었으며, 마지막으로 Scanning Electron Microscope (SEM)을 이용하여 silicon의 식각 profile을 관찰하였다.

## 참고문헌

1. Y. Aoyagi, K. Shinmura, K. Kawasski, T. Tanaka, K. Gamo, S. Namba, and I. Nakamoto, Appl. Phys. Lett. 60, 968 (1992).
2. T. Kinoshita, M. Hane, and J. P. McVitte, J. Vac. Sci. Technol. B 14, 560 (1996).
3. S. D. Park, K. S. Min, B. Y. Yoon, D. H. Lee, and G. Y. Yeom, Jpn. J. Appl. Phys. 44, 386 (2005).