

정전기 보호를 위한 n형 SCR 소자의 래치업 특성

서용진, 김길호, 이우선

대불대학교 전기전자공학과, 매그나칩 반도체, 조선대학교 전기공학과

Latchup Characteristics of N-Type SCR Device for ESD Protection

Y. J. Seo, K. H. Kim, W. S. Lee

Electrical Engineering Department of Daebul University, MagnaChip Semiconductor, Chosun University

Abstract - An electrostatic discharge (ESD) protection device, so called, N-type SCR with P-type MOSFET pass structure (NSCR_PPS), was analyzed for high voltage I/O applications. A conventional NSCR_PPS device shows typical SCR-like characteristics with extremely low snapback holding voltage, which may cause latchup problem during normal operation. However, a modified NSCR_PPS device with proper junction/channel engineering demonstrates highly latchup immune current-voltage characteristics.

1. 서 론

정전기(ESD) 보호를 위해 이중 확산된 드레인(Double Diffused)을 갖는 N형 MOSFET(DDNMOS)가 사용되어왔으나, 고전압에서 동작하는 마이크로 칩의 경우에는 ESD 스트레스에 취약하기 때문에 정전기 보호를 구현하기 어렵다[1-3]. 이는 불균일한 전류흐름에 기인하는 것으로 매우 강한 스냅백(snapback) 특성은 전류 집중을 유도하여 melting damage를 초래한다[1]. 따라서 DDNMOS 소자를 사용한 self-protection은 실제적으로 불가능하므로 그 대안을 찾아야 할 필요가 있다. 다양한 ESD 보호 소자들 가운데 실리콘 제어 정류기(SCR)는 고전류 면역 레벨에 기인하여 매력적인 후보이다[4-6]. 그러나 SCR의 높은 트리거링(triggering) 전압 때문에 DDNMOS 소자가 고장날 수 있다는 단점이 있다. 광범위한 연구가 트리거링 전압을 더 낮추기 위해 시도되어 왔고, 저전압 트리거링 SCR(LVTSCR) [5] 또는 게이트 커플링 기법[7, 8]이 보고 되고 있다. 그러나, LVTSCR은 정상적인 동작 동안 래치업(latch-up)에 매우 취약하다. 따라서 다양한 회로가 래치업 면역을 높이기 위해 제안되어 왔다[8-10]. 그러나 이러한 시도는 부가적인 회로 요소 때문에 여분의 레이아웃 면적을 필요로 하여 칩의 크기가 증가한다는 단점이 있다. 더구나 이들 연구들의 대부분은 저전압 I/O 응용에 집중되어 왔고 고전압 I/O 응용을 위한 연구는 여전히 찾아볼 수 없다. 따라서 양호한 ESD 보호 성능, 높은 래치업 면역 특성, 또한 깨지기 쉬운 DDNMOS 소자를 보호하기 위한 트리거링 전압의 유연성(flexibility)을 갖춘 고전압에서 동작하는 SCR형의 MOS 소자를 개발할 필요가 있다. 본 연구에서는 PMOSFET 능동 구조를 갖는 N형 SCR(NSCR_PPS)이 고전압 I/O 응용을 위해 제안되었다.

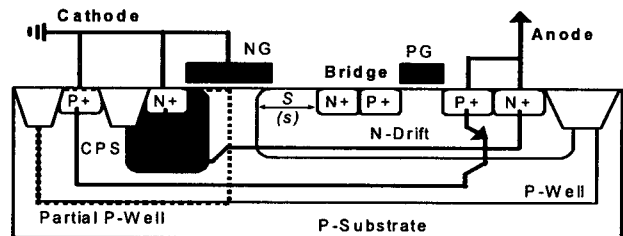
2. 소자구조 및 시뮬레이션 방법

NSCR_PPS 소자가 그림 1에 보인 것처럼 DDNMOS 소자에 근거하여 제작되었다. N+ 확산 드레인은 2개로 나뉘어 졌고, P형 MOSFET 구조가 삽입되었다. 만들어진 소자의 구조는 수직형 PNP-BJT와 측면형 NPN-BJT로 이루어진 SCR 형의 소자가 되었다. ESD 응용을 위해 애노드는 각각의 I/O 패드(또는 Vdd 파워 패드)에 연결되었고, 캐소드는 Vss 그라운드 패드에 연결되었다. N+ / P+ 확산 브릿지는 floating 상태로 하였다. N+ 확산 애노드와 N+ 확산 브릿지는 서로 공간적으로는 분리되어 있지만 N- 드리프트 저항을 통해 전기적으로 연결되어 있는 구조이다. 이는 NSCR_PPS의 애발란치 브레이크다운 전압(Vav)과 트리거링 전압(Vtr)이 N- 드리프트 위의 N+ 확산 브릿지와와 overlap margin (S: Std 소자, s: CPS 소자)에 강하게 의존함을 암시하는 것이다. 따라서 측면방향의 NPN-BJT의 베이스 폭도 동일한 파라미터에 의존한다. 종래의 NSCR_PPS_Std 소자는 P형의 counter pocket source (CPS) 이온주입을 행하지 않고 정상적인 P-well을 채택한다. 변형된 NSCR_PPS_CPS 소자에서 CPS 이온주입이 N+ 확산 캐소드를 둘러싸기 위해 수행되었다. CPS 이온주입 도즈와 에너지는 N- 드리프트 이온주입 조건에 따라 변화될 수 있다. 게다가, P-well 이온주입 영역은 NMOS 게이트(NG) 아래로 내려간다. 따라서 bottom 방향의 N-드리프트 영역은 P형 기판에 노출된다. 더구나, N+확산 캐소드 바깥의 효과적인 p형 도핑이 심각하게 변화했다. N-드리프트 영역 위의 N+확산 브릿지의 overlap margin은 NSCR_PPS_Std 소자와 같거나 ($s = S$) 또는 더 작게 ($s < S$) 유지되었다.

3. 결과 및 고찰

NSCR_PPS 소자의 특성이 TSUPREM4 (Avanti Co.) 공정 시뮬레이터와 DESSIS (ISE Inc.) 소자 시뮬레이터를 사용하여 분석되었다. ESD 스트레스를 시뮬레이션하기 위해 mixed mode의 transient 시뮬레이션 (MMT-simulations)이 10 ns의 상승시간과 100 ns의 지속시간을 갖는 사다리형 전류 펄스를 사용하여 수행되었다. 시뮬레이션으로 추론된 NSCR_PPS_Std 소자의 전류-전압 관계는 그림 2에 보인 것처럼 전형적인 SCR과 같은 특성을 명백히 보였다. 매우 낮은 스냅백 홀딩 전압($V_h \approx 2V$), 낮은 온-상태 저항(Ron), 높은 전류 면역 레벨을 보였다. V_h 는 동작전압 ($V_{op} \approx 30V$) 보다 훨씬 더 작았다. 따라서 NSCR_PPS_Std 소자는 정상적인 동작 동안 래치업 문제에 매우 취약하다.

SCR_PPS_Std 소자와는 다르게 NSCR_PPS_CPS 소자는 높은 스냅백 전압에 의해 특성화되었다. ($V_h \approx 37V$). 이는 30V의 동작전압 (V_{op}) 보다 더 높은 값이다. 따라서 래치업 면역이 보장되었다. 오프-상태 누설전류(I_{off})는 거의 4승 정도 감소하였다. 이는 CPS 이온주입에 기인한 것으로 생각된다. NSCR_PPS_CPS 소자의 전류 면역 레벨은 modification에 의해 감소하였다. 그러나 이것은 양호한 ESD 보호 성능을 위해서는 여전히 높은 값에 해당한다. 일반적으로 온-상태 저항(Ron)은 NSCR_PPS_CPS 소자에서는 증가하는데 이는 파라미터 s 에 의존한다. s가 S 와 동일하게 유지되었을 때 Ron 은 NSCR_PPS_Std 소자보다 훨씬 더 크게 된다. $s < S$ 일 때 Ron은 감소하는 반면에 V_h 는 여전히 높았다. 파라미터 s을 감소시킴으로써, V_{av} 와 V_{tr} 은 감소를 하였고 이는 ESD 스트레스 하에서 깨지기 쉬운 DDNMOS의 안전을 보장할 수 있음을 의미한다. 따라서 $s < S$ 인 NSCR_PPS_CPS 소자는 고전압 I/O 응용에 있어서 최적화된 ESD 보호 성능을 제공할 수 있다. NSCR_PPS 소자의 등고선 데이터는 전류-전압 관계의 급격한 변화에 대한 현상학적인 설명을 제공한다. 시뮬레이션이 현재 진행 중이며, 그 결과는 학술대회에서 제시될 것이다.



<Fig. 1> Structure of the NSCR_PPS devices. The NSCR_PPS devices are constructed based on the DDNMOS structure; the drain N+ diffusion is divided into two and a P-type MOSFET structure is inserted. The NSCR_PPS_Std device adopts normal P-Well (solid line) without the CPS implant (gray zone). The modified NSCR_PPS_CPS device adopts the Partial P-Well (dotted line) together with adding the CPS implant. The parameter 'S (or s)' represents the overlap margin of the bridge N+ diffusion over the N-Drift in the NSCR_PPS_Std device (or in the NSCR_PPS_CPS device).

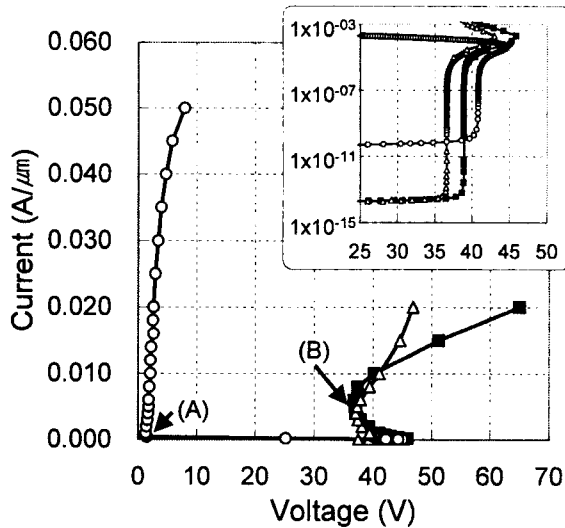
4. 결 론

NSCR_PPS_CPS 소자는 튼튼한 ESD 보호 특성, 높은 래치업 면역과 유연한 트리거링 전압을 나타내었다. 카운터 포켓 소스(CPS) 이온주입, 부분적인 P-웰 이온주입, N-드리프트 위의 N+확산 브릿지의 중첩마진(overlap margin)이 특성 개선에 있어서 임계 요인이었다. 결론적으로, NSCR_PPS_CPS 소자는 고전압 I/O 응용을 위한

promising ESD 보호 소자가 될 수 있음을 확인하였다.

감사의 글

이 논문은 2005년 정부(교육인적자원부)의 재원으로 한국학술진흥재단의 지원을 받아 수행된 연구임. (KRF-2005-041-D00311).



<Fig. 2> Simulation results on I-V relations for NSCR_PPS devices (open circle ○ for NSCR_PPS_Std, closed square ■ for NSCR_PPS_CPS with $s = S$, open triangle △ for NSCR_PPS_CPS with $s < S$). The inset represents the same I-V curve with y-axis on Log scale. The points (A) and (B) represent the snapback holding point of the NSCR_PPS_Std and that of the NSCR_PPS_CPS, respectively. The key I-V parameters for each device are deduced as follows; For NSCR_PPS_Std device : $I_{off} \approx 10^{-10}$ A/um, $V_{av} \approx 40$ V, $V_{tr} \approx 44$ V, $V_h \approx 2$ V, $V_{tb} \approx 7$ V, For NSCR_PPS_CPS device with $s = S$: $I_{off} \approx 10^{-14}$ A/um, $V_{av} \approx 39$ V, $V_{tr} \approx 46$ V, $V_h \approx 37$ V, $V_{tb} \approx 65$ V, For NSCR_PPS_CPS device with $s < S$: $I_{off} \approx 10^{-14}$ A/um, $V_{av} \approx 37$ V, $V_{tr} \approx 43$ V, $V_h \approx 37$ V, $V_{tb} \approx 47$ V.

[참 고 문 헌]

- [1] M. P. J. Mergens, W. Wilkening, S. Mettler, H. Wolf, A. Stricker, and W. Fichtner, "Analysis of lateral DMOS power devices under ESD stress conditions," *IEEE Trans. Electron Devices*, vol. 47, pp. 2128-2137, Nov. 2000.
- [2] B. C. Jeon, S. C. Lee, J. K. Oh, S. S. Kim, M. K. Han, Y. I. Jung, H. T. So, J. S. Shim, and K. H. Kim, "ESD characterization of grounded-gate NMOS with 0.35um/18V technology employing transmission line pulser (TLP) test," in *Proc. EOS/ESD Symp., 2002*, pp. 362-372.
- [3] G. Bosselli, S. Meeuwsen, T. Mouthaan, and F. Kuper, "Investigations on double diffused MOS (DMOS) transistors under ESD zap conditions," in *Proc. EOS/ESD Symp., 1999*, pp. 11-18.
- [4] S. Dabral and T. J. Maloney, *Basic ESD and I/O Design*, New York: Wiley, 1998.
- [5] A. Chatterjee and T. Polgreen, "A low-voltage triggering SCR for on-chip ESD protection at output and input pads," *IEEE Electron Device Lett.*, vol. 12, pp. 21-22, Jan. 1991.
- [6] J. H. Lee, J. R. Shih, C. S. Tang, K. C. Liu, Y. H. Wu, R. Y. Shiue, T. C. Ong, Y. K. Peng, and J. T. Yue, "Novel ESD protection structure with embedded SCR/DMOS for smart power technology," in *Proc. IEEE 40-th Annual Int. Reliab. Phys. Symp., 2002*, pp. 156-161.
- [7] M. D. Ker, H. H. Chang, and C. Y. Wu, "A gate-coupled PTLSCR/NTLSCR ESD protection circuit for deep-submicron low voltage CMOS IC's," *IEEE J. Solid-State Circuits*, vol. 32, pp. 38-51, Jan. 1997.
- [8] C. H. Lai, M. H. Liu, S. Su, T. C. Lu, and S. Pan, "A novel gate coupled SCR ESD protection structure with high latchup immunity for high-speed I/O pad," *IEEE Electron Device*

Lett., vol. 25, pp. 328-330, May 2004.

- [9] M. D. Ker, "Lateral SCR devices with low-voltage high-current triggering characteristics for output ESD protection in submicron CMOS technology," *IEEE Trans. Electron Devices*, vol. 45, pp. 849-860, Apr. 1998.
- [10] M. P. J. Mergens, C. C. Russ, K. G. Verhaege, J. Armer, P. C. Jozwiak, and R. Mohn, "High holding current SCRs (HHI-SCR) for ESD Protection and latch-up Immune IC operation," in *Proc. EOS/ESD Symp. 2002*, pp. 14-21.