

600V급 트렌치 게이트 LDMOSFET의 전기적 특성에 대한 연구

이한신¹, 강이구², 신아람¹, 신호현¹, 성만영^{1,*}
¹고려대학교 전기공학과 반도체 및 CAD 연구실
²극동대학교 정보통신학부

Electrical Characteristics of 600V Trench Gate Lateral DMOSFET Structure for Intelligent Power IC System

Han Sin Lee¹, Ey Goo Kang², Aram Shin¹, Ho Hyun Shin¹ and Man Young Sung^{1,*}
¹Semiconductor & CAD Lab., Dept. of Electrical Engineering, Korea University
²School of Information and Communication, Far East University

Abstract - 본 논문에서는 기존의 250V급 트렌치 전극형 파워 MOSFET을 구조적으로 개선하여, 600V 이상의 순방향 항복 전압을 갖는 파워 MOSFET을 설계 하였다. 본 논문에서 제안한 구조로 기존의 250V급 트렌치 전극형 파워 MOSFET에 비하여 더욱 높은 순방향 항복 전압을 얻었다. 또한, 기존의 LDMOS 구조로 500V 이상의 항복 전압을 얻기 위해서 100 μ m 이상의 크기를 필요로 했던 반면에, 본 논문에서 제안한 소자의 크기 (vertical 크기)는 50 μ m로서, 소자의 소형화 및 고효율화 측면에서 더욱 우수한 특성을 얻었다.
 본 논문은 2-D 공정시뮬레이터 및 소자 시뮬레이터를 바탕으로, 트렌치 옥사이드의 두께 및 폭, 에피층의 두께 변화 등의 설계변수와 이온주입 도즈 및 열처리 시간에 따른 공정변수에 대한 시뮬레이션을 수행하여, 본 논문에서 제안한 구조가 타당함을 입증하였다.

1. 서 론

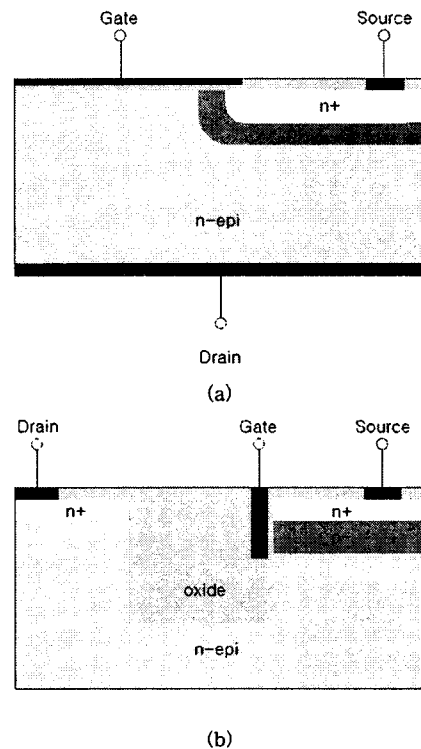
고전력 분야에 적용되는 파워 소자의 경우 일반적인 반도체 소자에 비해 소자 크기가 크고 높은 전압에서 적용되는 만큼 특성연구나 성능이 향상된 소자의 개발이 중요함에 따라 현재 많은 연구와 새로운 구조제안이 진행되고 있다. 특히, 근래에는 스위칭 속도의 증대 및 고내압화를 위해 MOSFET 기반의 파워 소자의 연구 개발이 활발히 진행되고 있다. 구조면에서는 기존의 수직구조에서 수직크기를 줄이기 위한 수평구조가 연구되고 있으며 게이트도 특성 개선을 위한 새로운 구조가 제안되고 있다[1]. 현재 Lateral MOSFET의 경우 크기의 한계로 인해 항복 전압의 저하가 발생할 수 있고 일정 이상의 항복 전압을 획득하기 위해 크기를 크게 유지할 경우 그 자체의 저항에 의해 레지엄 등의 2차적인 악영향을 피할 수 없다. 또한 항복 전압을 높이기 위한 노력은 on 상태의 저항을 급격히 증가시켜 소자의 특성을 열화 시키는 원인이 되기도 한다. 본 연구에서는 위에서의 언급한 단점을 극복하기 위해 트렌치 게이트 형태의 LDMOSFET(Lateral Double-diffusion MOSFET)을 제안하였다. 트렌치 형태로 게이트를 형성함으로써 일반적인 LDMOSFET과 비교해 볼 때, 같은 수평 크기에서도 더 높은 항복 전압을 얻을 수 있으며 또한 저항을 감소시킬 수 있는 것은 물론이고 레지엄등의 특성 개선 효과도 얻을 수 있다[2]. 본 연구에서는 특히 트렌치 구조의 각종 파라미터를 변경하면서 최적의 항복 전압을 추출하였으며 이때의 특성을 시뮬레이션을 통해 분석하였다.

2. 본 론

2.1 소자의 구조 및 기본 동작

그림 1은 본 연구에서 제안한 power MOSFET 소자의 vertical 도식도를 기존의 vertical한 구조와 비교하여 나타내었다. 기존에 N+ drain 영역이 Si 하부에 있는 구조에서 lateral하게 Si 표면에 N+ drain 층을 형성하였으며 게이트 역시 기존의 planar 구조에서 트렌치 형태로 변경하였다[3]. 이와 같은 구조에서는 예전에 해야 했던 epi층 등의 형성을 하지 않고 바로 벌크실리콘에 소자를 제작할 수 있어 공정상의 이점이 있으며 N-drift 영역이 수직크기 대신 수평[1] 크기로 결정되게 되므로 항복 전압 등의 특성을 개선하면서도 수직크기는 최소화 할 수 있는 장점이 있다. 또한 트렌치 게이트를 적용함으로써 planar type gate가 가졌던 문제점, 예를 들면 레지엄 특성, on 상태 저항 특성 등을 개선할 수 있고 아울러 게이트 길이도 공정적인 제어가 훨씬 용이하게 된다[4]. Power MOSFET의 기본적인 동작원리는 turn on 시 gate에 (+) 전압을 인가하여 채널을 형성하고 drain에 동작전압을 인가하게 되면 source에서 트렌치 측벽에 형성된 채널을 따라 전자가 이동하고 이 전자는 다시 N drift 영역을 흘러 최종 N+ drain 영역에 도달하게 된다. 즉 작은 게이트 전압을 가지고 drain-source간에 걸리는 고전압을 제어할 수 있는 것이 Power MOSFET의 특징이라 할 수 있다.

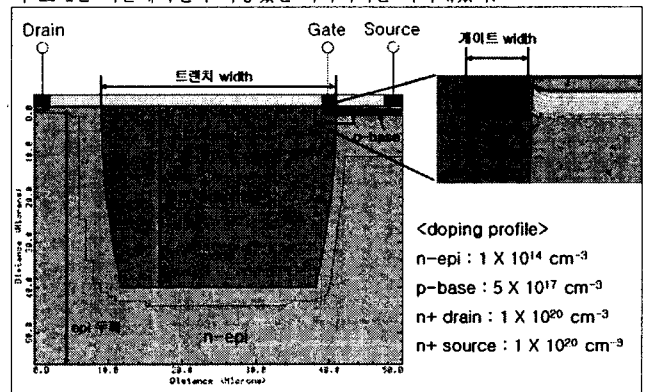
* 교신저자 : 고려대 전기공학과 교수 · 공학박사
 E-mail : semicad@korea.ac.kr



〈그림 1〉 소자의 구조 (a) 기존의 종방향 파워 MOSFET (b) 특성 개선을 위해 제안된 트렌치 Type LDMOSFET

2.2 소자의 전기적인 특성 평가

그림 2은 MEDICI 시뮬레이션을 진행하기 위한 기본적인 수직 단면도이며 표 1은 시뮬레이션시 사용했던 파라미터를 나타내었다.



〈그림 2〉 MEDICI 시뮬레이션을 위한 단면 구조

트렌치 Depth(μm)	트렌치 Width(μm)	게이트 Width(μm)	Epi 두께(μm)
10	24	0.8	50
20	28	1.9	60
30	32	2.9	
40	36	3.9	
40	40	4.9	70
50	44	5.9	
	48	6.9	

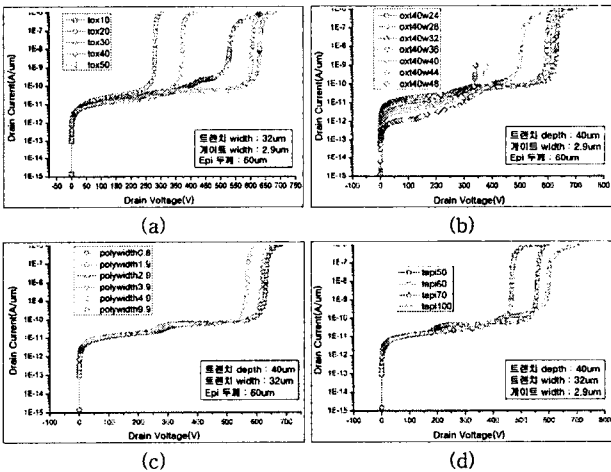
〈표 1〉 최적화를 위해 사용된 시뮬레이션 파라미터

시뮬레이션시 사용한 파라미터는 주로 항복 전압에 영향을 주는 요소인 트렌치 depth, 트렌치 width, 게이트 width, Epi 두께였으며 위와 같은 size 을 가지고 시뮬레이션을 진행하여 최적 조건을 추출하였다.

그림 3은 각 파라미터에 따른 항복 전압을 분석하기 위한 I-V 커브를 나타내었다. 트렌치 depth에 따라서는 약 40 μm depth 이상에서 600V 이상의 양호한 항복 전압 특성을 보여 주는데 이는 항복 전압에 큰 영향을 미치는 공핍층 path의 길이가 증가하는 것에 기인한다. 반면 40 μm 이상에서는 더 이상 항복 전압이 증가하지 않는데 이는 항복 현상이 N-epi에서의 공핍층 확장 보다는 P-Base junction 부위에서의 junction breakdown이 주가 되므로 트렌치 depth 영향은 더 이상 없게 된다. 또한 트렌치 width에 따라서는 width가 약 30 μm 부근에서 가장 높은 항복 전압을 보이고 그 이상 또는 그 이하가 되면 항복 전압이 감소하는 것을 볼 수 있는데 트렌치 width가 과도하게 증가시 P-base 영역의 폭이 좁아지고 이로 인한 전계집중이 나타나 오히려 항복 전압은 감소하는 것으로 보인다.

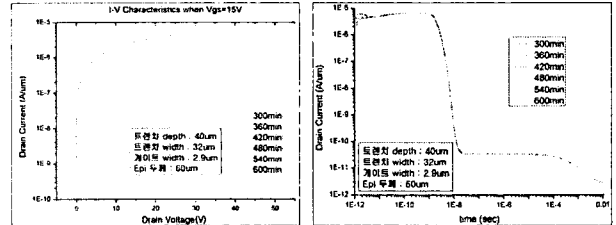
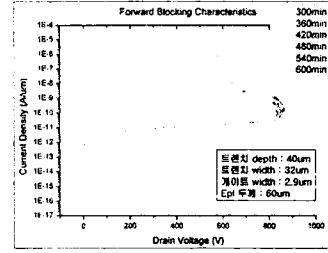
Gate poly Si의 width에 따라서는 9.9 μm 를 제외하면 나머지 0.8~4.9 μm 영역에서 항복 전압 측면에서는 큰 변화가 없었다. Gate width가 너무 증가하면 drain 영역에도 영향을 주게 되어 항복 전압은 감소하게 된다. N-epi 두께에 따른 항복 전압을 보면 epi 두께 60 μm 에서 가장 좋은 항복 전압을 보여주고 있다. Epi 두께가 트렌치 depth에 비해 과도하게 증가할 경우 항복 전압이 오히려 감소하는 이유에 대해서는 향후 더 분석해야 할 것으로 생각된다.

이상의 결과로 보면 항복 전압상으로 최적인 크기는 트렌치 depth 40 μm , 트렌치 width 30 μm , 게이트 폴리실리콘 width 3 μm , epi 두께 60 μm 로 나타났다. 위의 최적 결과를 가지고 MOSFET의 특성을 다시 살펴보았다.



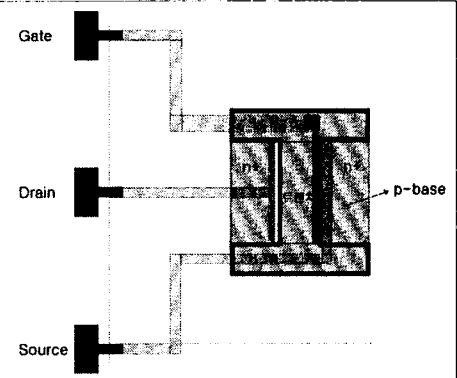
〈그림 3〉 각 크기 파라미터에 대한 항복 전압 시뮬레이션
 (a) 트렌치 Depth에 따른 항복 전압 시뮬레이션
 (b) 트렌치 Width에 따른 항복 전압 시뮬레이션
 (c) 게이트 폴리실리콘 width에 따른 항복 전압 시뮬레이션
 (d) Epi 두께에 따른 항복 전압 시뮬레이션

그림 4는 위에서 나온 최적 파라미터를 이용하여 MOSFET의 특성을 평가한 결과이다. 거의 800V 이상의 항복 전압 특성을 보여 주고 있는데 이는 기존에 발표된 Power MOSFET 대비 epi 두께는 감소하면서도 높은 항복 전압을 보여 주는 것이다. 또한 on state 및 turn off transient 특성을 보면 0.1 $\mu\text{A}/\mu\text{m}$ 까지 거의 저항손실이 없는 on state 특성을 보여 주고 있으며 2V를 기준으로 0.3 $\mu\text{A}/\mu\text{m}$ 수준의 전류레벨을 보여 양호한 특성을 보여 주고 있다. 또한 turn off 과도시간 특성도 다수캐리어 소자에 기인한 양호한 특성을 보여 주고 있다. 공정 조건 변화에 따른 차이를 평가하기 위해 열처리 시간을 300~600 분 다르게 진행하였으나 비슷한 특성을 보이고 있어 공정조건 변화에 따른 소자의 견고함을 알 수 있었다.



〈그림 4〉 최적화된 구조에서 각종 전기적 특성 Graph
 (a) 항복 전압 특성
 (b) On State Drain Voltage-Current 특성
 (c) Turn-Off 과도 특성

그림 5는 최적화된 dimension과 공정 조건으로 실제 제작을 위한 layout 작업을 진행한 top view 사진으로 실 제작시 손쉬운 공정 및 양호한 시뮬레이션 특성으로 소자의 뛰어난 특성이 기대된다.



〈그림 5〉 실 제작하기 위한 Top View Layout

3. 결 론

트렌치 게이트를 가지는 Lateral DMOSFET를 제안하여 이에 대한 소자 파라미터를 최적화 하였으며 각종 특성을 시뮬레이션하여 추출하였다. 트렌치 depth 40 μm , 트렌치 width 30 μm , 게이트폴리실리콘 width 3 μm , epi 두께 60 μm 에서 최적의 특성을 추출하였으며 이때 기존의 LDMOSFET 보다 작은 수직크기 하에서도 600V 이상의 항복 전압을 얻을 수 있었고 양호한 on state 및 turn off 과도 특성을 얻을 수 있었다. 향후 실 제작을 위한 layout 까지 제안을 하였으며 손쉬운 공정 및 양호한 특성으로 인해 고전력 분야에서 많은 적용 및 응용이 기대된다.

감사의 글

본 연구는 산업자원부 전력산업연구개발사업의 지원에 의해 수행되었습니다.

〔참 고 문 헌〕

[1] Shuming Xu, et al, IEEE Trans. on Electron Devices, vol. 47, no. 10, pp. 1980-1985, 2000.
 [2] M. H. Kim, et al, ISPSD 2003 conf., pp 220-223, 2003.
 [3] P. H. Wilson, 2003 13th Int. Crimean Conf., pp 214-215, 2003.
 [4] M.Y.Sung, et al, J. of KIEEME, vol. 17, no.1, pp. 27-30, 2004.