2006년도 대한전기학회 하계학술대회 논문집 2006. 7. 12 - 14

Ramping up 조건에 따른 four-step RTP공정의 효과.

이현기, 김남훈*, 이우선*, 김상용, 장의구
중앙대학교, 조선대학교*

Effects of a four-step rapid thermal annealing process on the condition of ramping up.

Hyun-Ki Lee, Nam-Hoon Kim*, Woo-Sun Lee*, Sang-Yong Kim, Eui-Goo Chang
Chung-Ang University, Chosun University*

Abstract - A four-step rapid thermal annealing (RTA) process is proposed in order to improve the throughput and stabilize the process, compared to the six-step RTA process. Effects of annealing on the properties of a structure mode of CMOS process in both cases were investigated. The implanted dopant (As, BF_2 and Ti/TiN) movement in silicon during different rapid thermal annealing conditions was studied using secondary ion mass spectroscopy (SIMS) technique. These results show that the four-step RTA process significantly improves time effect and throughput (15%) by the condition of ramping up compared to the six-step RTA process.

1. 서 론

오늘날 반도체 제조관련 공정의 미세화 및 shrink 기술이 공정 분야에서 요구되고 진행되고 있기 때문에 gate dielectrics의 미세박막화 및 이에 따른 thermal processing이 중요한 과제로 대두되고 있다. RTP (Rapid Thermal Processing)은 IC제조 공정과 관련된 열처리 과정에 사용되는 단일 웨이퍼 프로세서 기술이다. 특히, 어닐링, 산화, CVD, cleaning같은 웨이퍼 제조 공정에 널리 사용되는 기술이다. 일반적으로, RTP공정은 N_2를 chamber의 side, bottom에서 불어 넣어 chamber내 잔류 O_2를 제거하기 위한 purge step과 temperature 안정화를 위한 stabilize step을 거친 후 annealing공정을 진행하게 된다. 이러한 공정 loop의 step은 throughput 및 생산성에 중대한 영향을 미치게 된다.

본 연구에서는 현재 사용하고 있는 RTP 공정시 불필요한 process step을 줄여 생산성 및 throughput을 향상 시키고 공정 안정화를 얻고자 한다.

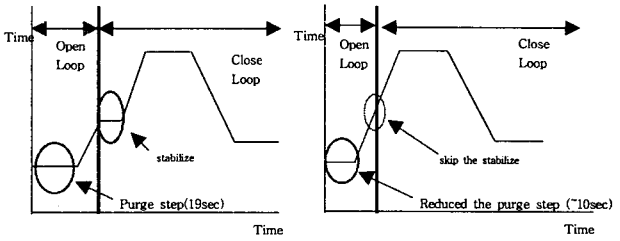
2. 본 론

2.1 실험방법

본 실험을 위해서 Bare-Si(p-type)위에 As_2(40KeV)을 implantation후에 LPCVD(Low Pressure Chemical Vapor Deposition)을 이용하여 TEOS (Tetraethly Orthosilicate)박막을 1000Å 성장시킨후 RTP annealing공정을 수행한 다음 Oxide를 strip한 후에 저항값을 측정 하였다. 두 번째 샘플은 Bare-Si(p-type)위에 BF_2(40KeV)을 같은 방법으로 수행하여 Rs값을 측정 하였다. 마지막 샘플은 Bare-Si(p-type)을 pre cleaning후, sputter를 이용하여 Ti/TiN(340Å/150Å)을 각각 증착시킨 후 1st annealing하였다. 그 다음에 native oxide를 strip한 다음 2nd annealing하였다. film 두께는 Rudolph elipsometry를 이용하여 측정하였고, four-point probe를 이용하여 면저항 값을 측정하였다. 각각의 공정별 면저항 값은 well(1090℃/20s), XP(1029℃/20s), XN(1090℃/10s), SW(929℃/30s), Salicide(1st:720℃/30s, 2nd:825℃/20s), MIC BTM(815℃/10s)의 조건하에서 annealing후에 측정값을 관찰 하였다. 이를 위한 분석은 Transmission Electron Microscope (TEM), Secondary ion mass spectrometry (SIMS), Ellipsometer and four point probe를 이용하였다.

2.2 결과 및 고찰

현재의 standard한 RTP공정은 크게 open loop구간과 close loop구간으로 구분 할 수 있으며, 다시 open loop구간은 O_2를 제거하기 위한 purge step과 온도의 안정화를 위한 stabilize step구간으로 구성되어 있다. 이러한 open loop구간에서 close loop구간으로 전환시 중간 step없이 ramp up 되도록 설정하였다. 즉, 변경 전 purge step에 있어서의 시간 19sec을 변경 후 10sec로 감소 시켰으며, stabilize step(10sec)를 skep함으로써 모두 19sec의 open loop구간에서 time을 감소시켰다. 그림1은 RTP공정의 step구성의 변경 전.후를 나타낸 것이다.



<그림 1> (a) STP공정의 step 변경 전, (b) STP공정의 step 변경 후

변경 전.후의 각각 sample에 대하여 면저항, SIMS, TEM 분석을 실시하였으며, 표 1과 2는 각 공정별 Rs측정값 및 thickness 측정 결과를 나타내었다.

<표1> 각 공정별 anneal후 Rs 측정결과

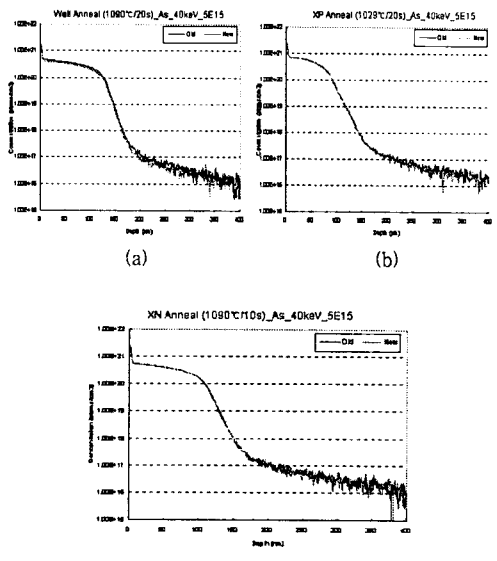
Condition	Recipe	Rs			
		Average	Min	Max	%STD
1090℃/20s	변경전	44.97	44.32	45.54	0.667
	변경후	44.8	44.15	45.34	0.666
1029℃/20s	변경전	61	60.35	61.73	0.472
	변경후	60.69	59.89	61.83	0.458
1090℃/10s	변경전	50.86	50.29	51.34	0.49
	변경후	50.73	49.93	51.38	0.58
929℃/30s	변경전	144.6	143.1	146.8	0.651
	변경후	143.6	142	145.6	0.686
salicide anneal1 825℃/20s	변경전	275.3	274	278.1	0.351
	변경후	273.6	271.5	275.8	0.393
salicide anneal2 825℃/20s	변경전	245.9	244.9	248.3	0.341
	변경후	245.3	243.2	248.1	0.499
815℃/10s	변경전	256.7	255.1	258.8	0.405
	변경후	256.7	254	259.7	0.605

<표 2> Salicide Rs 및 thickness 측정결과

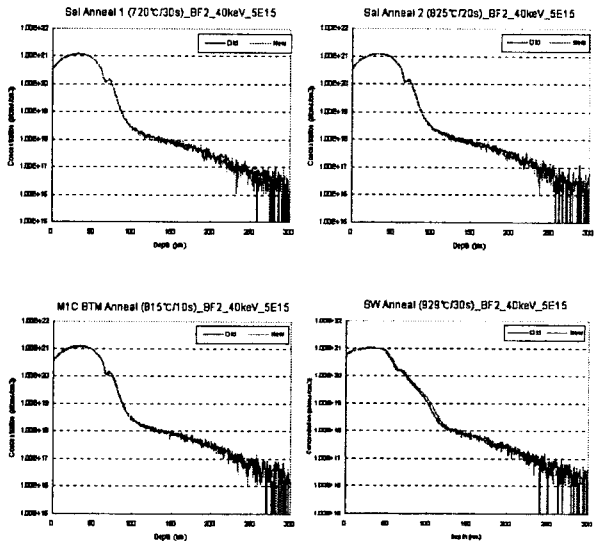
Rs	salicide anneal 1		strip		salicide anneal 2	
	Average	%STD	Average	%STD	Average	%STD
변경전	7.34	8.58	9.776	9.6	2.295	5.68
변경후	7.365	8.31	9.817	9.817	2.295	5.57

Thickness		TEM	Metapulse	
		Center	Average	Uniformity
변경전	Salicide anneal 2	668 (605~700)	595.4	9.723
변경후	Salicide anneal 2	643 (525~692)	600.4	9.518

표1에서 볼 수 있듯이 공정 step 의 변경 전.후의 여러가지 process 조건하에서 측정된 면저항 값은 커다란 차이를 보이지 않았다. 이러한 결과는 표2에서의 salicide의 annealing공정에 있어서도 process step에 의한 salicide film의 면저항, uniformity 그리고 thickness에서도 커다란 차이를 보이고 있지 않음을 알 수 있다. 그림 2와 그림 3은 각각 As와 BF_2의 sample에 대한 SIMS profile을 나타내고 있다. 그림에서 알 수 있듯이 SIMS profile에서도 process 조건이 공정 전.후 어떠한 변화도 나타나지 않으며 process에 아무런 영향을 끼치지 않는 것을 볼 수 있다. 이러한 결과는 main process를 준비하는 단계에 있어서 purge step 및 stabilize step이 공정에 영향을 주지 않는 것으로 사료된다.

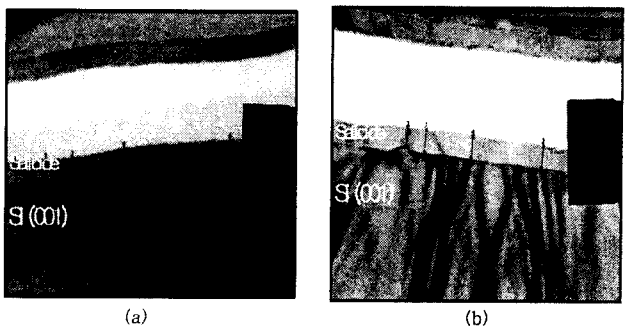


<그림 2> As 샘플의 (a) 1090℃/20s (b) 1029℃/20s, (c) 1090℃/10s에서 annealing이후의 SIMS profile.



<그림 3> BF_2샘플의 공정별 조건에서의 annealing이후의 SIMS profile (720℃/30s, 825℃/20s, 815℃/s, 925℃/30s)

지금까지의 면저항 값 및 Secondary Ion Mass Spectroscopy결과는 annealing공정에 있어서 stabilize step 및 N_2 purge step이 각 film에 영향을 주지 않는 것으로 나타내고 있으며, salicide의 TEM결과에서도 일치 하는 것으로 나타났다. 그림 4는 salicide의 2nd annealing후의 TEM결과를 나타내고 있다.



<그림 4> (a) RTP step 변경 전 668Å(605~700Å), (b) RTP step 변경 후 643Å(525~692Å) Salicide anneal 2nd 후의 TEM 결과

3. 결 론

본 연구에서는 Four-step RTP공정에서 불필요한 공정 step을 줄임으로써 최적의 공정 조건을 산출하였다. 면저항 및 TEM, SIMS의 결과들로부터 RTP의 Main process 준비단계인 purge step 및 stabilize step이 각각 film에 커다란 영향을 주지 않는 것으로 확인하였다. 즉, 현재의 conventional type의 RTP process는 chamber내에 충분히 N_2 분위기를 형성하여 open loop구간에서 close loop구간으로서의 전환시 온도 안정화 step 없이 진행하여도 장비에 무리가 없으며, 보다 자연스럽게 Ramping up을 할 수 있을 것으로 생각된다. 따라서 purge step 및 stabilize step 시간을 줄이거나 skip 하여 공정을 진행할 수 있을 것으로 예측된다. 이를 양산에 적용할 경우 총 하나의 공정 step당 19sec의 time effect를 기대 할 수 있을뿐 아니라 15% 수준의 throughput 효과를 기대 할 수 있을 것으로 기대된다.

[참 고 문 헌]

[1] Kwang-Soon Ahn, Dong-Joon Kim, Young-Tae Moon, Hyo-Gun Kim, "Effects of a two-step rapid thermal annealing process on Mg-doped p-type GaN films grown by metalorganic chemical vapor deposition", J.Vac.Sci. Techno.B, 19(1), pp.215-218, Jan/Feb 2001

[2] P.J.Timans, "Rapid thermal processing technology for the 21st century", Materials science in semiconductor processing 1, pp.169-179, 1998

[3] 홍성희, 최수영, 박기현, "RTP시스템의 프로파일작성을 위한 PID제어기 설계", 대한 전기학회 하계학술대회 논문집, pp. 2548-2550

[4] J.W. Lee, C.S. Kang, O.S. Song, C.K Kim, "Application of linear annealing method to Si/SiO2/Si wafer direct bonding", Thin solid films 394, pp. 272-276, 2001

[5] Aditya Agarwal, Anthony T, Fiory, Hans-Joachim L. Gossmann, Conor S. Rafferty, Peter Frisella, " Ultra-shallow junction formation by spike annealing in a lamp-based or hot-walled rapid thermal annealing system: effect of ramp-up rate." Materials science in semiconductor processing 1, pp. 237-241, 1998.