

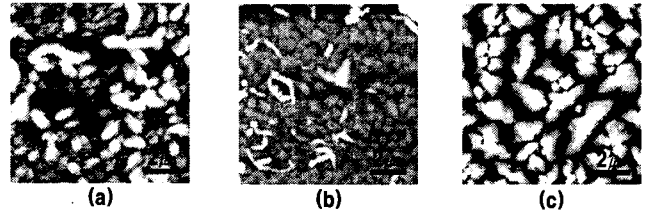
Polymer Gate Insulators에 따른 Pentacene Organic Thin-Film Transistors의 특성 분석

김정민, 허현정, 윤정홍*, 김재완*, 최영진*, 강치중*, 전동렬**, 김용상***
 명지대학교 나노공학과, 명지대학교 물리학과*, 서울대학교 물리교육학과**, 명지대학교 전기공학과***

Characteristics of Pentacene Organic Thin-Film Transistors with Different Polymer Gate Insulators

Jung-Min Kim, Hyun-Jung Her, J. H. Yoon*, Jaewan Kim*, Y. S. Choi*, C. J. Kang*, D. Jeon**, Yong-Sang Kim***
 Dept. of Nano Science & Engineering, Myongji University, Dept. of Physics, Myongji University*
 Dept. of Physics Education, Seoul National University**, Dept. of Electrical Engineering, Myongji University***

Abstract - 본 연구에서는 polymer gate insulators에 따른 pentacene 유기 박막 트랜지스터 (Organic Thin-Film Transistors)의 전기적 특성을 atom force microscope (AFM), x-ray diffraction (XRD) 그리고 I-V 측정을 이용하여 분석하였다. Pentacene 박막 트랜지스터의 전기적 특성은 pentacene의 증착 조건뿐만 아니라 polymer gate insulator에 따라 크게 영향을 받는다. 따라서 다양한 polymer 기판 위에 온도, 두께 그리고 증착 속도에 따라 pentacene을 증착 하였다. 그리고 증착된 pentacene을 AFM, XRD를 이용하여 pentacene의 구조, 결정화 그리고 grain 크기 등을 분석하였다. 또한 inverted staggered 구조의 pentacene 박막 트랜지스터 소자를 제작하고 I-V 측정하여 그 결과를 분석하였다.



<그림 2> Polymer 기판에 따른 pentacene 박막의 AFM 이미지: (a)HMDS, (b)PVA, (c)PMMA (10 μm × 10 μm).

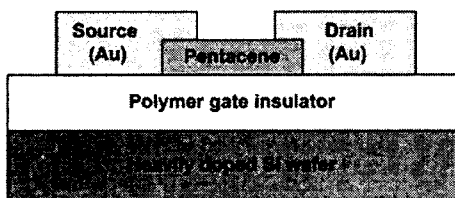
1. 서 론

유기물 반도체 재료는 그들이 가지고 있는 독특한 반도체 성질로 인하여 최근 활발한 연구가 진행되고 있다. 이런 유기물 반도체를 이용한 소자로 가장 많이 연구되는 것이 유기 박막 트랜지스터 (Organic Thin-Film Transistors)이다. 유기 박막 트랜지스터는 공정이 비교적 간단하고, 제작 비용이 저렴하며 구부러지거나 접을 수 있다는 등 여러 장점을 가지고 있어 Smart Cards, RFID Tags, Flexibly Displays 등 여러 분야에 응용되고 있다 [1-3]. 현재 유기 박막 트랜지스터에 적용하기 위하여 다양한 유기물 반도체들이 연구되고 있는데, 이 중에서 pentacene을 이용한 유기 박막 트랜지스터가 가장 뛰어난 전기적 특성을 보여주고 있다 [4]. 따라서 우리는 기존의 무기물 활성층 대신 pentacene을 사용하여 유기 박막 트랜지스터를 제작하였다. 하지만 pentacene 박막 트랜지스터의 전기적 특성은 pentacene이 증착되어지는 gate insulator에 의해 크게 영향을 받는다. 비록 pentacene의 전도 메커니즘은 완전히 규명되지 않았으나 pentacene의 표면 특성, grain 크기와 밀접한 관련이 있다고 알려져 있다 [5]. 이는 pentacene의 성장 조건뿐만 아니라 pentacene이 증착되는 gate insulator에 의해 크게 영향을 받는다. 따라서 본 연구에서는 HMDS (Hexamethyldisilazane), PVA (Poly vinyl alcohol), PMMA (Polymethylmethacrylate)와 같은 다양한 polymer gate insulator를 기판으로 사용하여 polymer 기판과 증착 온도에 따른 pentacene 박막의 표면 특성 및 grain 크기를 atomic force microscope (AFM)와 x-ray diffraction (XRD)을 이용하여 분석하였다. 또한, inverted-staggered 구조의 pentacene 박막 트랜지스터를 제작하여 polymer gate insulator에 따른 전기적 특성을 I-V 측정을 통하여 분석하였다.

2. 본 론

2.1 실험

먼저, 기판에 따른 pentacene의 특성을 분석하기 위하여 HMDS, PVA, PMMA polymer 기판에 다양한 증착 온도에서 pentacene 박막을 증착하였다. HMDS, PVA, PMMA는 Si wafer 위에 스펀 코팅으로 증착하고 그 위에 pentacene을 thermal evaporation 방법으로 증착하였다. 또한 pentacene의 전기적 특성을 측정하기 위하여 그림 1과 같이 inverted-staggered 구조의 pentacene 박막 트랜지스터를 제작하였다. Heavily doped Si wafer는 기판뿐만 아니라 게이트 전극으로 사용하였다. Gate insulator는 PMMA 950K를 사용하였고, 스펀 코팅 방법을 이용하여 300 nm의 두께를 갖도록

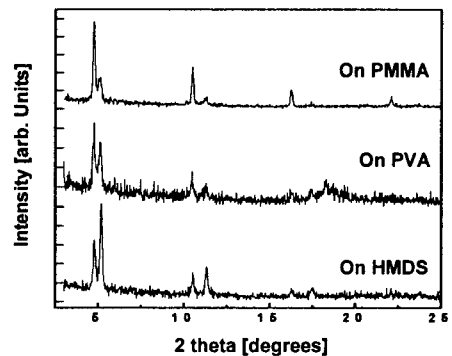


<그림 1> Pentacene 박막 트랜지스터의 구조.

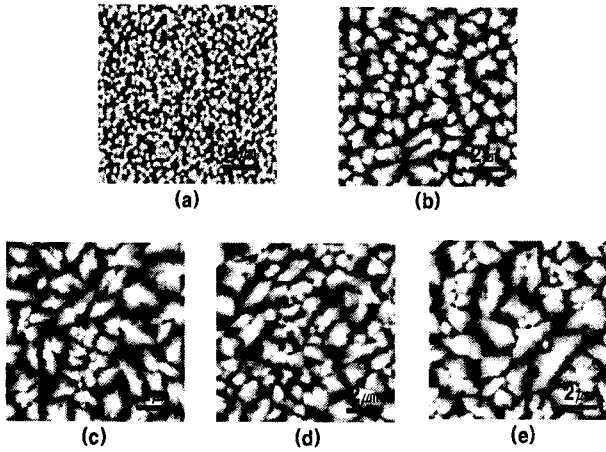
증착하였다. 증착된 PMMA는 바로 오븐을 이용하여 120 ℃에서 15분간 hard baking을 실시하였다. 박막 트랜지스터의 활성층으로 사용된 pentacene (Sigma Aldrich)은 thermal evaporator를 이용하여 증착하였고 shadow mask를 이용하여 패터닝 하였다. Thermal evaporation시 10⁻⁷ Torr 이하의 진공도를 유지하였으며, 0.1 A/s의 증착 속도로 100 nm 두께를 가지도록 증착하였다. 소스/드레인 전극 역시 thermal evaporator를 이용하여 Cr과 Au를 증착하였다. 증착된 소스/드레인 전극은 Cr 6 nm, Au 60 nm 두께를 갖도록 증착하였다. 전극의 패턴을 형성하기 위하여 두 번째 shadow mask를 사용하였다. 제작된 pentacene 박막 트랜지스터는 채널 길이 (L) 200 μm, 채널 폭 (W) 1000 μm의 값을 갖는다. 증착된 pentacene 박막의 표면 분석을 위하여 AFM과 XRD를 사용하였고, 제작된 pentacene 박막 트랜지스터의 전기적 특성을 분석하기 위하여 Keithley 237를 사용하였다. 모든 증착 공정은 10⁻⁷ Torr 이하의 진공도에서 진행하였고, 측정은 room temperature에서 진행 하였다.

2.2 결과 및 토론

Grain boundary는 캐리어가 산란되는 주요 원인 중 하나로서, 이는 유기 박막 트랜지스터의 전기적 특성에 크게 영향을 주게 된다. Grain 크기가 작을 경우 채널 내에 존재하는 grain boundary는 많아지게 되고 캐리어 산란이 많이 일어나게 된다. 이로 인하여 유기 박막 트랜지스터의 캐리어 이동도는 낮아지게 된다. 반대로, grain 크기가 클 경우 grain boundary는 상대적으로 적어지게 되고 유기 박막 트랜지스터의 전하 이동도는 상대적으로 크게 된다. 그림 2는 HMDS, PVA, PMMA 기판 위에 증착된 pentacene의 AFM 이미지를 보여주고 있다. Pentacene은 모두 100 ℃의 증착 온도에서 100 nm의 두께를 갖도록 증착되었다. 여러 polymer 기판 중 PMMA 기판 위에서 증착된 pentacene의 grain 크기가 가장 크게 형성되는 것을 볼 수 있었다. 이는 PMMA를 gate insulator로 사용하여 박막 트랜지스터를 제작했을 때 가장 높은 캐리어 이동도를 갖는다는 것을 의미한다. Polymer 기판에 따른 pentacene 박막의 결정화 특성을 분석하기 위하여 XRD 측정을 하였다 [그림 3]. Pentacene은 장축 방향에 수직인 방향으로 높은 전도도를



<그림 3> Polymer 기판에 따른 pentacene 박막의 XRD 데이터.



〈그림 4〉 PMMA 기판에서 증착 온도에 따른 pentacene 박막의 AFM 이미지 ($10\ \mu\text{m} \times 10\ \mu\text{m}$): (a) $T_{\text{sub}}=40\ \text{C}$, (b) $55\ \text{C}$, (c) $70\ \text{C}$, (d) $85\ \text{C}$, (e) $100\ \text{C}$.

갓는다. 따라서 pentacene 분자가 기판에 어떤 방향으로 배향되었는지에 따라 캐리어 이동도가 크게 달라진다. Pentacene 분자가 기판에 수직인 방향으로 배향되었을 경우 결정화가 커지고 전기적 특성 역시 우수해진다 [6]. 그림 3을 통하여 PMMA 기판 위에 pentacene이 증착되었을 때 결정화도가 가장 좋고 더욱 수직으로 배향되는 것을 알 수 있다.

그림 4는 PMMA 기판에 pentacene을 증착할 때 증착 온도에 따른 pentacene 박막의 AFM 이미지를 보여주고 있다. 증착 온도를 높여주면 표면 에너지가 높아지므로 pentacene 분자간의 결합력이 기판사이의 결합력보다 더 커진다. 따라서 높은 온도에서 형성된 pentacene grain은 더 커지게 된다 [7]. 하지만 증착 온도를 과도하게 올려주게 되면 증착된 pentacene이 다시 re-evaporation 되기 때문에 grain 크기가 오히려 작아지게 된다. 본 실험에서는 PMMA 기판에서 $100\ \text{C}$ 의 증착 온도를 가지고 pentacene이 증착되었을 때 가장 큰 grain이 형성되었다. HMDS, PVA 기판에 증착된 pentacene 역시 이와 동일한 특성을 보였다.

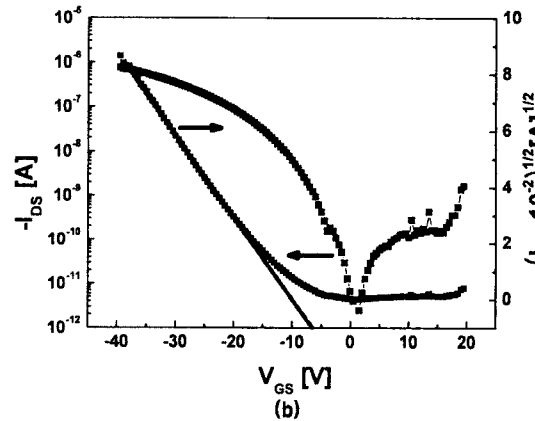
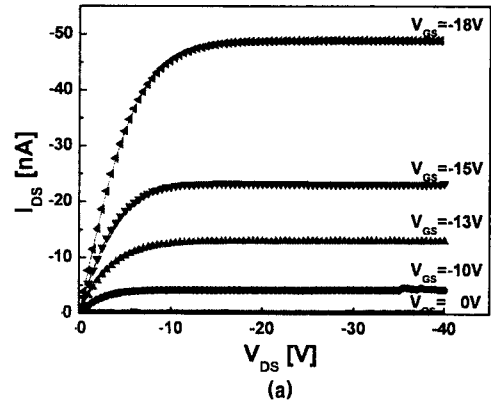
또한, polymer 기판에 따른 pentacene의 전기적 특성을 분석하기 위하여 PMMA를 gate insulator로 사용하여 pentacene 박막 트랜지스터를 제작하였다 ($L=200\ \mu\text{m}$, $W=1000\ \mu\text{m}$). 출력 특성을 알아보기 위하여 드레인 전압 (V_{DS})을 0 V부터 -40 V까지 0.5 V 간격으로 가해 주고, 게이트 전압 (V_{GS})을 변화시켜 주었다 [그림 5.(a)]. 초기 낮은 V_{DS} 에서 높은 전도도를 가지고 V_{DS} 가 증가할 때 전도도가 감소하는 것은 pentacene과 소스/드레인 전극이 ohmic-contact 되었다는 것을 의미한다. 그림 5.(b)는 PMMA를 gate insulator로 사용한 pentacene 박막 트랜지스터의 전달 특성을 보여주고 있다. $V_{\text{DS}}=-20\ \text{V}$ 로 고정하고, V_{GS} 전압을 20 V에서 -40 V까지 0.5 V 간격으로 가하며 측정하였다. 이를 통하여, field-effect mobility $\mu_{\text{FET}}=0.03\ \text{cm}^2/\text{Vs}$, subthreshold slope $S.S.=0.55\ \text{V}/\text{dec}$, threshold voltage $V_{\text{T}}=-6\ \text{V}$, on/off current ratio $I_{\text{on}}/I_{\text{off}} > 10^5$ 의 소자 특성을 구할 수 있었다.

3. 결 론

본 연구에서는 HMDS, PVA, PMMA polymer 기판과 증착 온도에 따른 pentacene의 특성을 분석하였다. Pentacene의 grain 크기와 배향 방향은 PMMA 기판 그리고 높은 증착 온도에서 증착 하였을 때 가장 큰 grain 크기와 상대적으로 수직방향의 pentacene이 배향 되었다. 하지만 너무 높은 증착 온도에서 pentacene을 증착할 경우 re-evaporation에 의하여 pentacene의 구조와 grain 크기가 작아지게 된다. 본 실험에서는 $100\ \text{C}$ 에서 PMMA 기판 위에 pentacene을 증착 했을 경우 가장 큰 grain 크기와 상대적으로 수직방향에 가까운 pentacene 박막을 얻을 수 있었다. 이를 이용하여 PMMA를 gate insulator로 사용하여 pentacene 박막 트랜지스터를 제작한 결과 field-effect mobility $\mu_{\text{FET}}=0.03\ \text{cm}^2/\text{Vs}$, subthreshold slope $S.S.=0.55\ \text{V}/\text{dec}$, threshold voltage $V_{\text{T}}=-6\ \text{V}$, on/off current ratio $I_{\text{on}}/I_{\text{off}} > 10^5$ 와 같은 높은 전기적 특성을 갖는 소자를 제작할 수 있었다.

감사의 글

이 논문은 2006년도 2단계 두뇌한국21사업에 의하여 지원되었음



〈그림 5〉 PMMA를 gate insulator로 사용하여 제작한 pentacene 박막 트랜지스터의 전기적 특성 분석: (a)출력 특성, (b)전달특성.

[참 고 문 헌]

- [1] C. D. Sheraw, L. Zhou, J. R. Huang, D. J. Gundlach, T. N. Jackson, M. G. Kane, I. Hill, "Organic thin-film transistor-driven polymer-dispersed liquid crystal displays on flexible polymeric substrates," *Appl. Phys. Lett.* 80, 1088, 2002.
- [2] M. Halik, H. Klauk, U. Zschieschang, T. Kriem, G. Schmid, W. Radlik, K. Wussow, "High-mobility polymer gate dielectric pentacene thin film transistors," *J. Appl. Phys.* 92, 5259, 2002.
- [3] C.D. Dimitrakopoulos, P.R.L. Malenfant, "Organic thin film transistors for large area electronics," *Adv. Mater.* 14, 99, 2002.
- [4] T.W. Kelley, D.V. Muires, P.F. Baude, T.P. Smith, T.D. Jones, "High performance organic thin film transistors," *Proc. Mater. Res. Soc. Symp. Proc.* 771, 169, 2003.
- [5] S. Y. Yang, K. Shin, C. E. Park, "The effect of gate-dielectric surface energy on pentacene morphology and organic field-effect transistor characteristics," *Adv. Funct. Mater.* 15, 1806, 2005.
- [6] C. D. Dimitrakopoulos, D. J. Mascaró, "Organic thin-film transistors: A review of recent advances," *IBM J. Res. Dev.* 45, 11, 2001.
- [7] C. K. Song, M. K. Jung, B. W. Koo, "Pentacene thin film transistor improved by thermal annealing," *J. Korea Phy. Soc.* 46, S271, 2001.