

CMOS 공정을 이용한 Cascode 구조의 LNA 설계

오재욱, 하상훈, 김형석
중앙대학교 전자전기공학부

The Study on Design of the CMOS Cascode LNA

Jae-wook Oh, Sang-hoon Ha, Hyeong-seok Kim
School of Electronic and Electrical Engineering, Chung-Ang University

Abstract - A cascode low noise amplifier(LNA) for a 2.45GHz RFID reader is designed using 0.25um CMOS technology. There are four LNA design techniques applied to the cascode topology. In this paper, power-constrained simultaneous noise and input matching(PCSNIM) technique is used for low power consumption and achieving the noise matching and input matching simultaneously. Simulation results demonstrate a noise figure of 2.75dB, a power gain of 10.17dB, and a dissipation power of 8.65mW with 1V supply.

1. 서 론

최근 들어 CMOS 공정을 이용하여 RF 회로를 구현하는 RFIC(Radio Frequency Integrated Circuit) 기술에 대한 많은 연구가 수행되어 왔다[1]. RFIC 기술의 발달은 다양한 무선 통신 시스템에 사용되는 RF 능동 회로 및 RF Transceiver에 대한 활발한 연구 및 이들의 성능 개선으로 이어져 왔다. 이러한 RF 소자들 중에서 RF 수신부의 중요한 특성 중 하나인 잡음 지수(Noise Figure)에 큰 영향을 미치는 능동 소자가 LNA(Low Noise Amplifier)이다. LNA는 RF 수신부의 첫 단계에 위치하는 증폭기로서 전체 수신부의 Noise Figure(NF)에 가장 큰 영향을 미치기 때문에 높은 이득뿐만 아니라 낮은 NF를 구현해야 한다. 또한 최근에는 적은 전력을 소모하는 능동 부품들의 필요성도 요구되고 있다. LNA의 구조는 다양하지만, 최근 들어 입출력 격리 특성이 우수하고 높은 이득을 얻을 수 있는 cascode 구조에 대한 연구가 활발하다[2]. 이에 본 논문에서는 최근 가장 각광받는 기술 중 하나인 RFID 기술에 사용할 수 있는 2.45GHz RFID 리더용 LNA를 cascode 구조를 사용하여 설계하고자 한다. 설계된 LNA를 통하여, 높은 이득과 낮은 NF, 그리고 적은 전력 소모를 실현하고자 한다.

2. 본 론

2.1 Cascode 구조의 LNA 설계 방법

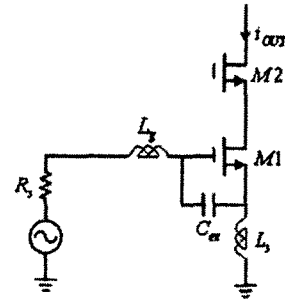
Cascode 구조의 LNA를 설계하는 방법은 크게 4가지로 나눌 수 있다. 먼저, 최소의 NF인 NFmin을 구현하기 위한 임피던스인 Z_{opt} 에 맞추어 입력단의 임피던스 매칭을 하는 classical noise matching(CNM) 방법이 있다 [3]. 이는 최소의 NF를 구현할 수 있지만 일반적으로 입력 매칭이 맞지 않는 단점이 있다. 두 번째는 인덕터를 사용한 series feedback를 통해, 입력 매칭과 노이즈 매칭을 동시에 만족시키는 simultaneous noise and input matching(SNIM) 방법이 있다[4]. 또한, 일정한 전력 소모를 유지하면서 노이즈 매칭 포인트인 Z_{opt} 에 임피던스 매칭을 하는 power-constrained noise optimization(PCNO) 방법[5], 그리고 일정한 전력 소모를 유지하면서 입력 매칭과 노이즈 매칭을 동시에 만족시키는 power-constrained simultaneous noise input matching(PCSNIM) 방법이 있다[6]. 본 논문에서는 전력 소모를 적게 하며 입력 매칭과 노이즈 매칭을 동시에 만족시킬 수 있는 PCSNIM 방법을 사용하여 LNA를 설계하였다.

LNA를 설계하기 위해 TSMC에서 제공하는 0.25um 라이브러리를 사용하였으며, Cadence Spectre를 이용한 시뮬레이션을 통하여 설계하였고, Virtuoso를 사용하여 Layout을 하였다.

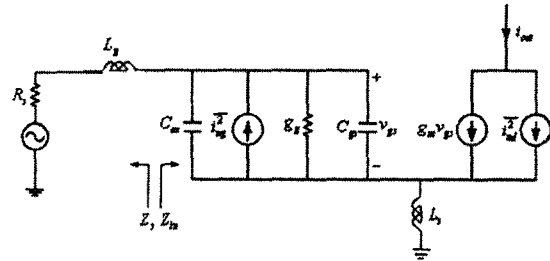
2.2 PCSNIM 방법을 이용한 LNA 설계 방법

그림 1은 PCSNIM방법을 사용한 LNA의 기본적인 회로도를 나타내었고, 그림 2는 소신호 등가회로를 나타내었다.

그림 1에 나타난 회로도도 일반적인 cascode 구조의 LNA에 C_{ex} 가 추가된 형태이다. 이는 적은 전력을 소모하기 위해서는 Transistor의 크기, 즉 C_{gs} 가 작아야 하는데, 이는 큰 L_s 값을 필요로 하게 된다. 하지만, L_s 가 커지게 되면 NFmin이 증가하게 되므로 NF 특성이 나빠지게 된다. 이를 방지하기 위해 추가적인 C_{ex} 를 연결함으로써, NF가 커지는 것을 방지할 수 있다. 하지만, C_{ex} 가 커진다면, 이득이 낮아지기 때문에 적절한 값의 C_{ex} 와 L_s 를 선택하는 것이 중요하다[7]



<그림 1> PCSNIM 방식이 적용된 LNA 회로도



<그림 2> 그림 1의 소신호 등가 회로

그림 2의 소신호 등가회로에서 i_{nd}^2 은 channel thermal noise 전류를 나타내며, i_{ng}^2 는 gate-induced noise 전류를 나타낸다.[8] channel thermal noise 전류와 gate-induced noise 전류는 서로 상관관계가 있으며 상관 계수는 식 (1)로 나타낼 수 있다.[7]

$$c \equiv \frac{i_{ng} \cdot i_{nd}^*}{\sqrt{i_{ng}^2} \cdot \sqrt{i_{nd}^2}} \quad (1)$$

그림 2의 소신호 등가회로에서 noise parameter를 계산하면 식 (2) - 식 (4)와 같으며, 식 (3)에서 $C_t = C_{gs} + C_{ex}$ 이다.[7]

$$R_n = \frac{\gamma}{\alpha} \frac{1}{g_m} \quad (2)$$

$$Z_{opt} = \frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|c|^2)}} + j \left(\frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)}{\omega C_{gs} \left\{ \frac{\alpha^2 \delta}{5\gamma(1-|c|^2)} + \left(\frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right\}} - sL_s \quad (3)$$

$$NF_{min} = 1 + \frac{2}{\sqrt{5}} \frac{\omega}{\omega_T} \sqrt{\gamma \delta (1-|c|^2)} \quad (4)$$

그림 2에서 LNA의 입력 임피던스는 식 (5)로 나타낼 수 있다.

$$Z_{in} = sL_s + \frac{1}{sC_t} + \frac{g_m L_s}{C_t} \quad (5)$$

그림 2의 회로에서 입력 매칭과 노이즈 매칭을 동시에 만족시키기 위해서는 식 (6) - 식 (9)를 모두 만족해야 한다.

$$Re\{Z_{opt}\} = Re\{Z_s\} \quad (6)$$

$$Im[Z_{opt}] = Im[Z_s] \quad (7)$$

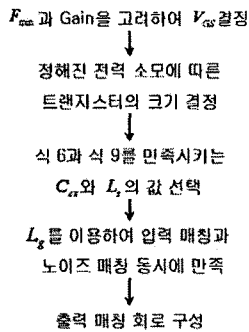
$$Im[Z_{in}] = -Im[Z_s] \quad (8)$$

$$Re[Z_{in}] = Re[Z_s] \quad (9)$$

PCSNIM 방법을 사용한 LNA 설계 시 가장 첫 번째 단계는 최소의 F_{min} 과 최대의 이득을 나타내는 V_{GS} 의 값을 결정하는 것이다. V_{GS} 를 결정 한 후, 주어진 전력 소비에 따른 트랜지스터의 크기를 결정하게 된다. 트랜 지스터의 크기가 크면 전력 소비가 커지고, 트랜지스터의 크기가 작으면 전 력 소비는 줄어들지만 트랜지스터의 cutoff 주파수인 ω_T 가 낮아지게 되 기 때문에 적절한 트랜지스터의 크기를 결정하는 것이 중요하다.[7]

식 (6) - 식 (9)를 모두 만족시키는 L_S 와 C_{ex} , 그리고 트랜지스터의 사이즈를 결정한 후, 적절한 L_g 를 사용하여 입력 매칭과 노이즈 매칭을 동시에 만족시키게 된다.

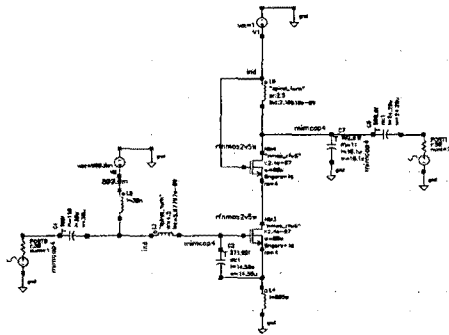
LNA의 설계 과정을 그림 3의 flow chart로 나타내었다.



〈그림 3〉 PCSNIM 방식을 이용한 LNA 설계 과정

2.3 LNA 설계 및 시뮬레이션 결과

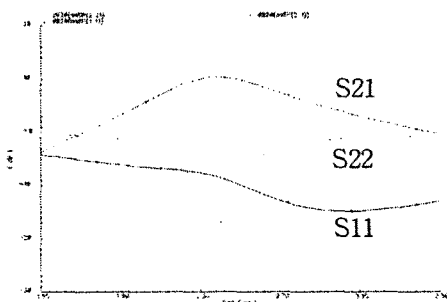
그림 4는 설계한 LNA의 회로도이다.



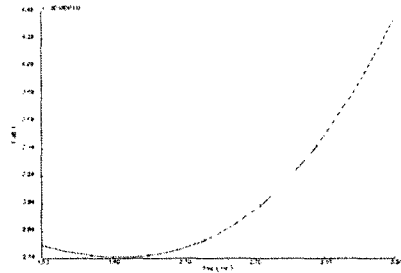
〈그림 4〉 설계한 LNA의 회로도

각 소자들은 TSMC에서 제공하는 라이브러리를 활용하여, 시뮬레이션의 정확도를 높였다. 첫 번째 트랜지스터에 연결되는 인덕터 L_g 는 크기가 작 기 때문에 wire bonding으로 구현할 것이며, V_{GS} 에 연결되는 RF choke 역할을 하는 인덕터는 그 값이 크기 때문에 off-chip으로 구현할 것이다.

그림 4의 회로도를 바탕으로 한 시뮬레이션 결과를 그림 5에 나타내었다. 시뮬레이션 결과 전력 이득은 10.17dB이며, NF는 2.75dB, 그리고 1V의 공 급 전압에서의 전력 소모는 8.65mW이다.

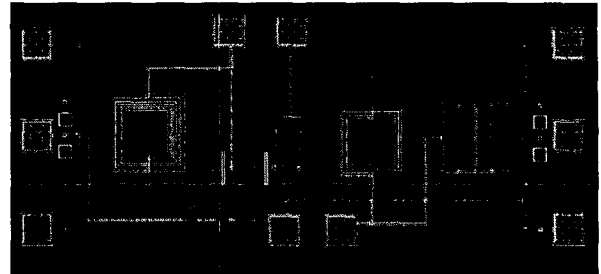


(a) S-parameter



(b) Noise Figure

〈그림 5〉 시뮬레이션 결과



〈그림 6〉 LNA의 Layout

그림 6은 시뮬레이션 회로를 바탕으로 한 Layout을 나타내고 있다. 전체 크기는 가로 1.6mm, 세로 0.65mm이며, 입출력 pad에는 정전기에 의한 소 자의 파괴를 막기 위해 ESD 회로를 구성하였다.

3. 결 론

본 논문에서는 전력소모를 줄이면서 노이즈 매칭과 입력 매칭을 동시에 만족시키는 방식인 PCSNIM 방법을 이용한 2.45GHz RFID 리더용 LNA를 설계하였다. TSMC에서 제공한 0.25um 라이브러리를 사용하여 설계하였으며, 설계된 LNA는 10.17dB의 이득과 2.75dB의 Noise Figure 특성을 나타 내었고, 1V의 공급 전압에서 8.65mW의 전력을 소비하였다. Cadence Virtuoso를 이용하여 Layout 하였고, 전체 크기는 가로 1.6mm, 세로 0.65mm였다. 소자들의 정확한 값을 제공된 라이브러리를 사용하여 구현하 기에 어려움이 있어, 입, 출력단이 정확히 매칭되지 않았고, NF또한 예상보 다 높게 나왔다. 따라서, 각 소자들의 등가 회로 모델을 활용하거나 EM simulation을 통하여 소자들의 특성을 파악하고 이를 활용하여 입, 출력단 의 매칭을 더욱 향상시키는 방법에 대한 연구가 필요하다. 또한, 실제 제작 및 측정을 통해 LNA의 성능검증이 필요한 것으로 사료된다.

[참 고 문헌]

- [1] Tadashi Maeda et al., "Low-Power-Consumption Direct-Conversion CMOS Transceiver for Multi-Standard 5-GHz Wireless LAN Systems with Channel Bandwidths of 5-20MHz", IEEE J. Solid-State Circuits, vol. 41, pp. 375-383, Feb. 2006
- [2] Sung-Huang Lee et al., "A Novel Low Noise Design Method for CMOS L-degeneration Cascoded LNA", IEEE Asia-Pacific Conf. on Circuits Syst., vol. 1, pp.273-276, Dec. 2004
- [3] H. A. Haus et al., "Representation of noise in linear two ports", Proc. IRE, vol. 48, pp.69-74, Jan. 1960
- [4] S. P. Voinigescu et al., "A scalable high-frequency noise model for bipolar transistors with application optimal transistor sizing for low-noise amplifier design", IEEE J. Solid-State Circuits, vol. 32, pp. 1430-1439, Sept. 1997
- [5] D. K. Shaeffer et al., "A 1.5V, 1.5GHz CMOS low noise amplifier", IEEE J. Solid-State Circuits, vol. 32, pp. 745-758, May 1997
- [6] P. Andreani et al., "Noise Optimization of an inductively degenerated CMOS low noise amplifier", IEEE Trans. Circuits Syst., vol. 48, pp. 835-841, Sept. 2001
- [7] Trung-Kien Nguyen et al., "CMOS Low-Noise Amplifier Design Optimization Techniques", IEEE Trans. Microwave Theory Tech., vol. 52, pp. 1433-1442, May, 2004
- [8] A. Van Der Ziel, "Noise in Solid-State Devices and Circuits", New York: Wiley, 1986