

플라즈마 디스플레이 패널의 직류방전 지연시간에 관한 연구

(A Study on the Delay-Time of DC Discharge in the Plasma Display Panel)

엄정덕*, 곽희로

(Jeongduk Ryeom, Hee-Ro Kwak)

승실대학교 전기공학부

요 약

본 연구에서는 새로 고안된 NOT-AND 논리에 의한 방전 논리 gate PDP의 입력 DC 방전특성에 대해 고찰하고 동작특성을 해석하였다. 새로 고안된 방전 AND gate는 방전 경로에 따른 전극사이의 전위차의 변화로 AND 출력을 유도한다. 이러한 방전 논리 소자를 가지는 PDP에서는 직류방전이 논리 게이트의 역할을 한다. 실험결과 이 DC 입력방전을 위해 priming 방전을 인가한 경우가 인가하지 않은 경우에 비해 방전지연시간이 1/3로 단축되며 방전개시전압은 1/2로 감소하였다. 또한 이 priming 방전은 방전종료후 30 μ s 정도까지 영향을 미친다. 그리고 이 직류방전의 시간적, 위치적 방전특성을 측정 한 결과, 방전에 따른 시간적 거리의 변화는 상당한 영향을 미치나 인접 전극들의 위치적인 영향은 거의 미미하다는 결론을 얻었다.

1. 서 론

플라즈마 디스플레이 패널(plasma display panel 이하 PDP)은 현재 지하철, 영화관, 공항등 공공 장소에서 널리 사용되고 있는 대화면 평판 디스플레이이다. 또한 디지털 영상기기의 발달과 HDTV의 보급에 힘입어 가정극장(Home Theater)의 주 디스플레이로서도 그 수요가 증가하고 있다. 그러나 현재 PDP는 LCD TV와의 치열한 가격 경쟁을 벌이고 있으며 LCD 대비 가격 경쟁력이 우위에 있다고는 하나 아직 일반인들이 구매하기에 가격 장벽이 높은 것도 주지의 사실이다. 일본의 선진 업체들은 인치당 10만원 이하가 되어야만 PDP가 일반 가전제품으로 인식되고 그 수요가 늘어날 것으로 보고 있다.[1]

PDP의 가격을 구성하는 부분 중에서 재료비 부분을 고려하면 공정재료비와 회로 재료비로 나눌 수가 있는데 양산화가 진행되면 공정재료비는 대량생산이라는 특성상 그 비율이 줄어든다. 그러나 회로부분은 범용 부품들을 주로 사용하기 때문에 양산화가 되어도 그 재료비의 감소 폭이 크지 않아 공정재료비에 비하여 상대적으로 비중이 증가하게 된다. 그러므로 PDP의 가격을 저감시키기 위해서는 회로 재료비를 낮추는 것이 필수적이며 획기적으로 회로 재료비를 낮출 수 있는 연구는

PDP의 경쟁력을 높이고 시장 확대 측면에서 아주 큰 의의를 갖는다고 할 수가 있다.

PDP는 수평주사 및 데이터 써닝기 기능을 수행하기 위하여 고전압 MOS FET들로 집적된 구동 IC들을 다수 사용한다. 이러한 소자들은 그 값이 매우 비싸다. 그러므로 이러한 고전압 IC의 개수를 줄이는 것은 곧 회로재료비 절감에 매우 큰 영향을 미친다.

기체방전은 비선형 특성을 가지며 이를 이용하면 AND gate, OR gate, NOT gate등 기본적인 논리회로를 구성하는 것이 가능하다.[2] 이러한 기체방전이 가지는 논리 특성은 다른 디스플레이에는 없는 PDP만의 장점으로 이러한 기체방전의 논리기능을 사용하여 수평주사 기능을 수행하면 PDP의 고전압 구동회로 수를 획기적으로 저감시킬 수 있고 이는 곧 고가의 고전압 구동 IC의 개수 저감으로 이어지므로 가격 절감에 큰 영향을 미친다고 할 수 있다.[3][4][5]

본 연구에서는 PDP의 구동회로 절감을 위하여 기 제안된 NOT-AND 기능이 부여된 방전 논리 gate PDP[6]의 방전 논리 gate 특성을 해석하기 위하여 논리 gate의 입력에 해당하는 DC방전들의 특성에 대해 실험하였다. 또한 DC priming 방전에 의한 DC 입력 방전의 공간전하 의존성에 대해서도 실험하였다.

2. NOT 논리를 포함한 방전 AND gate

그림 1은 본 연구에서 제안한 방전 논리 gate의 구조이다. 전극 구조는 Data 전극이 설치되어 있는 방향과 같은 세로 방향으로 A전극과 B전극을 설치하고 가로방향으로 Ya전극과 Ex 전극을 설치한다. Ex 전극은 A전극과 교차하지 않으므로 B전극과 Ex전극의 사이에서만 방전①이 일어난다. 또한 Ex전극과 B전극 사이에서는 방전 논리 gate의 동작에 선행해서 DC priming 방전이 일어나도록 되어 있다. 여기서 입력방전은 ①, ②가 되며 논리 gate의 출력방전은 ③이 된다. 출력방전 ③에 의해 발생된 공간전하가 방전④를 유도한다. 방전④와 ⑤는 Ya 전극을 floating 전극으로 하는 DC-AC floating 방전이며 이 floating 방전에 의해 PDP의 디스플레이 영역을 구동하는 방식은 기 제안한 기술과 동일하다.[7]

최초에 B전극에 양의 전압을 인가하고 Ex전극에 음의 전압을 인가하면 방전①이 일어난다. 이 방전①은 공간전하를 발생시키고 이로 인해 방전 공간의 방전개시전압이 낮아지므로 B전극의 전압과 Ya전극의 전압의 합으로 방전 ②가 쉽게 일어난다. 그러나 본 연구에서 제안한 방전 논리 gate는 방전②가 일어난 경우에는 방전③은 일어나지 않도록 설계되어 있다. 즉, 방전②가 없는 경우에만 방전③이 일어나고 이것이 논리 gate의 출력이 된다. 논리 동작이 끝난 후에 floating 절환회로를 사용하여 Ya전극을 floating으로 만들면 방전④와 ⑤의 floating 방전이 유도된다.

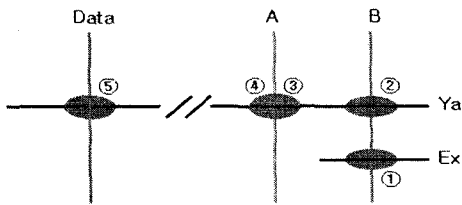


그림 1. 제안된 방전 논리 gate PDP의 전극구조

그림 2는 제안된 논리 gate PDP의 동작원리를 설명하기 위한 등가회로이다. 그림에서 B전극과 A전극은 Ya전극에 대해 방전공간 ②, ③을 거쳐서 병렬로 연결되어 있다. 그러므로 어느 한쪽의 방전 공간에서 방전이 일어나면 전압강하가 생겨 다른 한쪽의 방전공간에는 방전개시에 필요한 전압을 얻을 수가 없다. 즉 B전극과 Ex전극 사이에 방전 ①이 일어나 방전공간에 공간전하가 생성되고 이

공간전하로 인해 방전②가 쉽게 일어나면 전압강하에 의해 A전극과 Ya전극 사이의 전극간 전압이 실제적으로 매우 낮아져 방전 ③이 일어나지 않는다. 반면에 Ex전극의 전압이 0V가 되어 방전①이 없어도 Ya전극에 전압이 인가되어 있어도 방전 ②가 일어나지 않는다. 따라서 A전극의 전압과 Ya 전극의 전압이 모두 A전극과 Ya 전극 사이에 걸리므로 방전 ③이 일어난다. 또한 Ya 전극의 전압이 0V가 되어도 당연히 방전③이 일어나지 않는다. 이것이 본 연구에서 제안한 방전①과 방전②를 두개의 논리 입력으로 하고 방전 ③을 출력으로 하는 방전논리 gate의 동작 원리이다.

그림 2의 하단에 이 방전 논리 gate의 기능을 논리소자로 표시하였다. 그림과 같이 이 방전 논리 gate는 한쪽 입력에 NOT 논리를 가지는 AND gate가 된다.

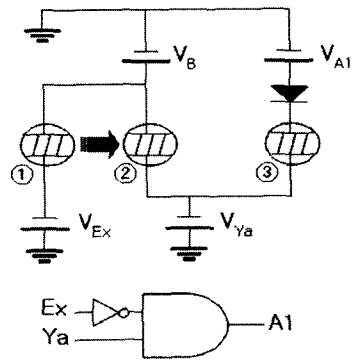


그림 2. 방전 논리 gate PDP의 등가회로

그림 3은 이 방전 논리 gate를 구동하기 위한 펄스 타이밍 도이다. 그림에서 보면 맨 처음에 B전극과 Ex전극 사이에서 DC priming 방전을 하고 이어서 입력방전들이 일어나며, A전극은 A1전압과 A2전압으로 나누어져 있어 논리 gate의 출력 방전은 A1전압과 Ya전압 사이에서 이루어진다. DC-AC floating방전은 A전극의 A2전압과 D전극의 전압 사이에서 이루어진다. 본 연구에서 제안한 논리 gate 출력인 방전 ③은 방전①과 ②가 없을 때 일어나므로 방전이 일어나기 매우 어렵다. 그러므로 논리 gate 방전에 앞서서 폭이 짧은 펄스를 인가하여 방전을 한번 해줄 필요가 있다. 이것이 DC priming 방전의 역할이다.

그림에서 보이듯이 B전극, A전극의 전압은 기존의 연구결과[7]와는 반대로 양의 전압을 인가하여 양극으로 만들고 Ex전극과 Ya전극은 부의 전압을 인가하여 음극을 만든다. 그리고 floating 방전기간

에 인가되는 Data 전극의 전압은 역시 기존의 연구결과와 반대로 음의 전압을 인가하였다.

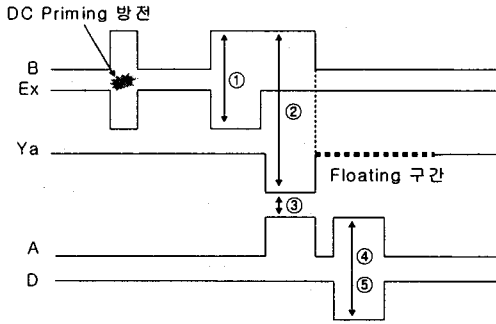


그림 3. 방전 AND gate의 구동 타이밍 도

3. 실험 결과

그림 4는 실험에 사용된 구동펄스의 자세한 타이밍도이다. 여기서 Ex전극과 B전극의 교점에 펄스들을 각각 인가하여 priming 방전을 일으키고 일정한 시간(T_r)이 지난 후 또 다른 펄스들을 인가하여 제1입력방전인 방전①을 일으킨다. 이 방전①과 같은 타이밍에 Ya 전극에 펄스를 인가하여 전극 B와의 교점에서 방전②를 일으키는 것은 전술한 바와 같다.

본 실험에서는 이 프라이밍 방전이 있을 경우와 없을 경우의 방전①의 방전특성을 측정하여 그 결과를 평가한다. 그리고 프라이밍방전 후 주어지는 시간거리인 T_r 를 변화시키면서 역시 방전①의 특성을 측정하여 DC 방전의 특성해석을 하였다.

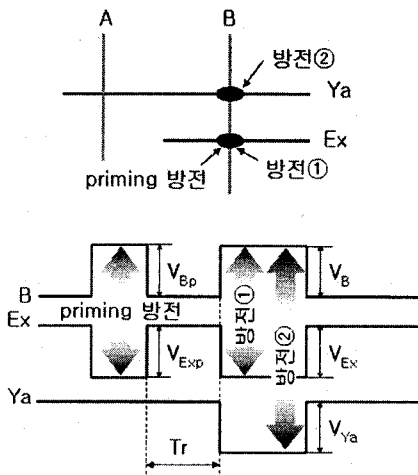


그림 4. 실험에 사용된 펄스들의 세부 구동타이밍도

그림 5는 방전①의 방전개시전압을 측정된 것으로 프라이밍 펄스를 인가하지 않고 B전극의 전압을 증가시켜가면서 방전①이 일어나는 Ex전극의 최소전압을 측정된 것이다. 그림을 보면 B전극 전압이 증가함에 따라 Ex전압은 선형적으로 감소한다. 실험결과 B-Ex 전극간의 방전개시 전압은 항상 210V로 일정함을 알았다.

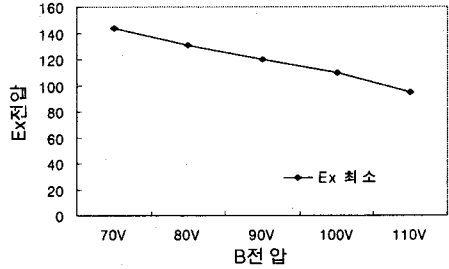


그림 5. B전압과 Ex 전압과의 관계

그림 6은 프라이밍 방전이 있는 경우와 없는 경우의 방전①의 방전지연시간을 측정된 것이다. 이때 B전극은 100V의 펄스전압을 일정하게 인가하고 Ex전극의 펄스전압을 변화시켜가면서 실험을 행하였다. 프라이밍 방전은 다음에 오는 방전에 하전입자를 공급하여 줌으로써 방전이 쉽게 일어나도록 도와주는 역할을 한다. 그림에 나타난 것과 같이 프라이밍 방전이 없는 경우보다 있는 경우가 방전지연시간은 1/3이상 단축되고 방전개시전압은 1/2 정도 감소된다. PDP는 고전압 부품을 많이 사용하므로 구동전압이 낮을수록 바람직하며 이러한 관점에서 보면 PDP에 인가하는 펄스의 전압을 낮추기 위해서는 외부로부터 공간전하를 공급해줘야 한다는 사실을 보여주는 것이다. 또한 방전 논리 gate를 고속으로 동작시킬 경우에는 방전 논리 gate를 구성하는 펄스들의 폭이 좁아져야 하므로 방전 지연시간이 단축될 필요성이 있고 이 경우 역시 프라이밍 방전이 필요함을 알 수 있다. 그리고 프라이밍 방전이 있는 경우는 외부인가전압이 약 80V 이상에서는 방전지연시간의 변화가 거의 없다. 즉 이 이상 외부전압을 증가시켜도 방전시간을 단축시킨다는 측면에서는 의미가 없음을 보여주는 것이다.

그림 7은 프라이밍 펄스가 종료한 후 이어지는 입력방전①의 펄스와의 시간적 거리 T_r 의 변화에 따른 입력방전①의 방전지연시간특성을 나타낸 것이다. 실험결과로부터 프라이밍 방전이 끝난 직후부터 30 μ s까지는 방전지연시간의 급격한 변화가 나타난다. 그러나 30 μ s이 후에는 변화가 완만해짐

을 알 수 있다. 방전지연시간이 공간에 분포하는 하전입자의 존재와 밀접한 관련이 있는 것으로부터 추론하면 본 연구에서 사용한 방전 논리 gate PDP의 구조에서는 DC 입력방전은 이전방전의 공간전하에 민감한 영향을 받으며 이때 DC 방전에 영향을 미칠 수 있는 공간전하의 생존시간은 30 μ s 정도라고 할 수 있다.

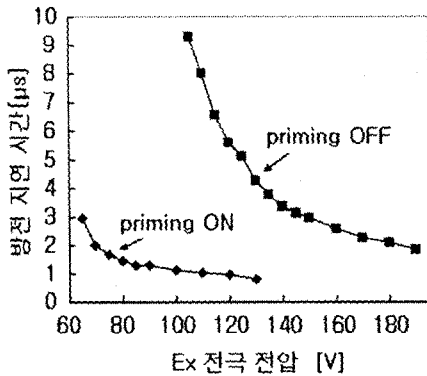


그림 6. Ex 전압과 방전①의 방전지연시간과의 관계

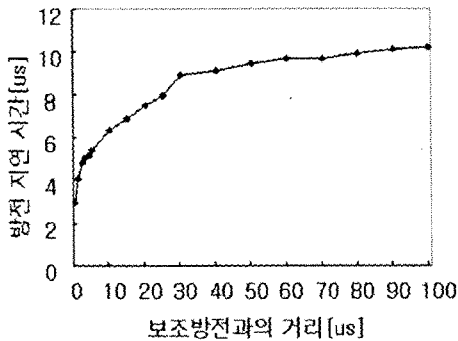


그림 7. 프라이밍 방전과 입력방전 사이의 시간거리와 입력방전특성과의 관계

그림 8은 입력방전인 DC방전이 가지는 위치적 특성을 알기 위한 실험방법을 보인 것이다. 그림에서 주사전극1(Line1)의 DC 입력방전①을 구성하는 펄스들과 동시에 Ya 전극에 음의 펄스를 인가하여 입력방전①에 의해 유도되는 입력방전②의 방전개시전압을 측정하였다. 그리고 다시 주사전극1의 방전①을 일으키고 동시에 주사전극2(Line2)의 Ya 전극에 음의 펄스를 인가하여 입력방전②의 방전개시전압을 측정한다. 이 실험을 반복하여 주사전극1의 DC방전①에 대한 각 1, 2, 3... 10번째의 주사전극의 Ya 전극에 음의 펄스를 인가하여 방전②의 방전개시전압을 측정한다. 이 실험의 목적은 주사전극1의 입력방전①에서 발생한 공간전

하가 다른 주사전극의 방전에 미치는 영향을 해석하기 위한 것이다. 또한 이때 프라이밍 펄스가 인가된 후부터 입력방전①, ② 펄스들이 인가될 때까지의 시간 T_r 을 동시에 변화시켜 프라이밍 방전에 의한 시간적인 특성을 아울러 측정한다.

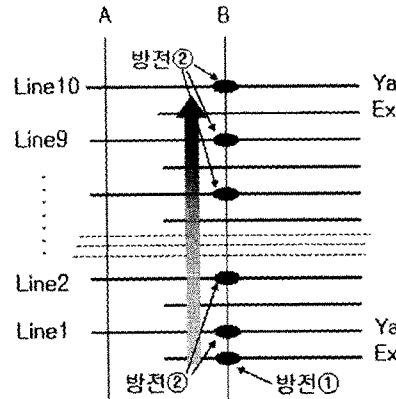


그림 8. DC 방전의 위치적 특성을 실험하기 위한 개념도

그림 9는 동일한 주사전극인 주사전극1에서 프라이밍 방전이 일어나고 난 후부터 입력방전 펄스들을 인가할 때까지의 시간적인 거리 T_r 을 변화시킨 후 입력방전②의 방전개시전압을 측정하는 것이다. 이 결과는 앞에서 서술한 바와 유사하게 프라이밍 방전에서 발생한 공간전하와 입력방전①의 공간전하가 입력방전②의 방전개시전압에 모두 영향을 미칠 것으로 생각된다. 그러므로 시간적 거리 T_r 이 증가할수록 방전개시전압이 증가한다. 그러나 이 결과는 그림 7의 경우보다 완만하게 변하므로 입력방전①에 의한 공간전하가 생존하는 주기와 관련이 깊을 것으로 생각된다. 향후에 PDP의 방전 논리 gate에서의 공간전하의 생존시간에 대한 좀더 정량적인 연구가 필요할 것으로 사료된다.

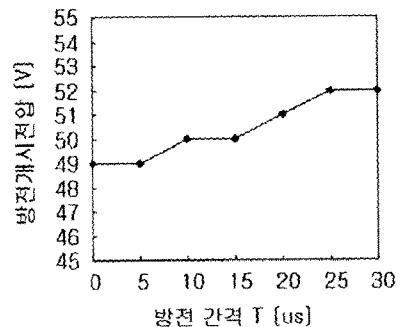


그림 9. 프라이밍 방전과 입력방전②의 시간적 거리에 따른 입력방전②의 방전개시전압의 변화

그림 10은 주사라인1의 입력방전①에 의해 발생한 공간전하가 인접해 있는 주사라인들에 미치는 영향에 대해 실험한 결과이다. 그림에서 가로축은 그림 8에서 도시한 각 주사라인의 번호이다. 그리고 세로축의 값은 각 주사라인의 방전②의 방전개시전압으로 Ya 전극의 필드전압의 크기이다. 실험결과 주사라인1의 방전①에 가까운 전극일수록 방전개시전압은 프라이밍 방전과의 시간적 거리 Tr에 무관하게 일정한 방전개시전압으로 수렴하는 것을 알 수 있다. 그러나 주사라인1에 멀어질수록 시간적 거리 Tr에 따라 방전개시전압이 높아지며 주사전극간 편차가 커지는 것을 알 수 있다. 이로 부터 프라이밍 방전과 방전①에 의해 발생한 공간전하의 시간적 감소 폭 보다 공간적 감소폭이 더 크다는 것을 조심스럽게 추론 할 수 있을 것이다. 더 정확한 해석은 좀더 정량적인 실험과 방전의 전기물성적 시뮬레이션등을 통한 이론적 해석이 따라야 할 것으로 생각된다. 그리고 주사라인의 변화에 따라 방전개시전압이 불규칙하게 증가하는데 이는 실험용 패널의 DC 방전 전극이 은으로 이루어져 쉽게 손상되어 재현성에 문제가 있기 때문으로 보인다. 그러므로 인접 전극의 영향에 대한 실험은 전극 자체를 좀더 이온충격에 손상되기 어려운 재질로 만든 패널을 사용하여 다시 해볼 필요가 있다.

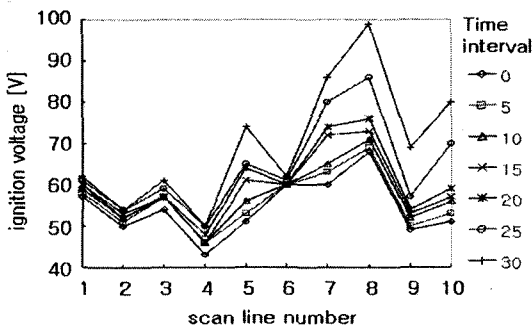


그림 10. 프라이밍 방전과 입력방전①에 의한 주사전극별 공간전하의 영향

4. 결론

본 연구는 이전 연구에서 제안한 PDP의 고전압 회로소자 절감에 적용할 수 있는 기술인 입력 중 하나에 NOT-AND 논리기능이 있는 방전 논리 gate PDP의 입력방전들에 대한 DC 방전특성을 측정하고 해석한 것이다.

실험결과 입력방전인 Ex전극의 전압은 B전극의

전압과 합하여 210V 정도로 일정하며 프라이밍 방전이 있을 때가 없을 때보다 입력방전의 방전지연시간은 1/3정도 단축되고 방전개시전압은 1/2 정도 감소하였다. 그리고 프라이밍 방전에 의해 발생된 하전입자들은 방전 종료후 30 μ s 이내에서 프라이밍 기능이 효과적이며 이는 기존의 연구결과와도 일치하는 것이다.

실험에서 인접한 전극들의 공간전하에 대한 영향을 방전개시전압을 기준으로 측정하여 본 결과 방전의 시간적 위치가 가까운 경우에는 전극의 위치별 변화에 상관없이 비슷한 영향을 받으며 시간적 위치가 멀수록 전극간 거리가 멀수록 공간전하의 영향이 빨리 줄어들었다. 이로부터 공간전하의 시간적 감소보다 공간적 감소가 더 크다고 추론할 수 있었다.

본 연구에서 실험한 방전 논리 gate는 전극 재질이 은으로 되어있어 방전에 의한 손상이 심하여 재현성이 있는 실험결과를 얻기가 어려웠다. 향후는 좀더 방전의 이온충격에 의해 덜 손상을 입는 재료로 전극을 구성하여 정량적 실험을 할 필요가 있으며 아울러 방전의 이론적 해석도 병행하여야 할 것으로 사료된다.

참 고 문 헌

- [1] 編輯部編, “2001年のFlat Panel Display 市場”, 電子技術, 1999-7호, pp.9-12, 1999
- [2] 御子柴 茂生, “플라즈마 디스플레이 最新技術”, ED 리서치社, 1996.
- [3] Jerry D Schermerhorn et al., “Discharge-Logic Drive Schemes”, Proc. of the SID Vol.16/2 Second Quarter pp.81-85, 1975
- [4] Larry F Weber et al., “A New Gas Discharge Logic Technique that Reduces Circuit Complexity for AC Plasma Display Panels”, Conf. Record of IDRC, pp. 502-505, Kobe, Japan, 1983
- [5] M. Ishii et al., “Reducing the Number of Scan Drivers in AC PDPs by an Order of Magnitude Using Gas-Discharge AND Logic”, Digest of SID, pp. 283-286, 1998.
- [6] 염정덕 외 1인, “플라즈마 디스플레이 패널을 위한 새로운 방전 논리소자에 관한 연구”, 조명·전기설비학회 논문지 제16권, 제1호, pp.13~19, 2002. 1
- [7] 염정덕, “PDP의 가격절감을 위한 새로운 방전 AND gate 및 구동기술에 관한 연구”, 대한전기학회 논문지 제52권, 제6호, pp.267-273, 2003. 6
- [8] 염정덕, “플라즈마 디스플레이의 공간전하 특성에 관한 연구”, 조명·전기설비학회논문지 제15권, 제6호, pp.1~7, 2001. 11