전류모드 CMOS에 의한 3치 가산기 및 승산기의 구현

Implementation of Ternary Adder and Multiplier Using Current-Mode CMOS

성 현 경*
(Hyeon Kyeong Seong)

Abstract – In this paper, the Ternary adder and multiplier are implemented by current-mode CMOS. First, we implement the ternary T-gate using current-mode CMOS which have an effective availability of integrated circuit design. Second, we implement the circuits to be realized 2-variable ternary addition table and multiplication table over finite fields GF(3) with the ternary T-gates. Finally, these operation circuits are simulated by Spice under 1.5μm CMOS standard technology, 15μA unit current, and 3.3V VDD voltage. The simulation results have shown the satisfying current characteristics. The ternary adder and multiplier implemented by current-mode CMOS are simple and regular for wire routing and possess the property of modularity with cell array.

Key word : Ternary Logic, Current-mode CMOS, Finite Fields, GF(3), T-gate, Ternary Adder, Ternary Multiplier

1. 서 론

최근 2진 논리에 근거한 집적회로 기술의 발전으로 회로의 형태가 VLSI 및 ULSI화 되어 단일 칩 상에 많은 양의 회로를 집적할 수 있게 되었다. 그러나 단일 칩 상에 많은 양의 회로를 집적하기 위해서는 칩 상에서 상호연결의 복잡성, 외부단자의 증가와 연산속도의 제한성, 정보 전송량의 증가에 따른 정보 전송지연 등의 문제점들이 대두되기 시작하였다. 이러한 문제점들을 해결하기 위하여 지난 수십 년 동안 다치 논리회로의 구현에 많은 연구가 진행되고 있다[1-3].

CMOS 회로가 소개된 후, 이 회로는 고밀도 실현, 저전력-속도곱 및 다양한 전류 레벨로 인하여 VLSI 및 ULSI에 많이 응용되고 있으며, 최근에는 게이트 당 최소 지연시간을 감소시키는 방향으로 연구가 계속되고 있다. 초기의 다치 논리회로의 구현은 주로 전압모드 접합 트랜지스터와 CMOS 회로에 의해 이루어져왔다. 그러나 대부분의 전압모드 다치 논리회로는 회로의 복잡성과 전달지연 때문에 2치 논리회로와 경쟁이 되지 못하여 새로운 기술인 전류모드 CMOS 다치 논리회로가 1980년 중반에 소개되었다[4]. 제시된 전류모드 CMOS 회로는 VLSI화의 요구사항에 대하여 호환성을 가지며, 적은 CMOS 공급전압에서 안정하게 동작한다. 그리고 전압모드가 갖는 결정을 보완하고, 임의의 정점에서 전류신호의 가감과 높은 전압의 공급 없이도 각 기수의 할당이 용이한 이점을 갖는다[5].

Current[6]는 간단한 전류 비교기, 전류모드 다치 논리 부호기 및 복호기와 4치 전가산기 등의 다양한 전류모드 CMOS 다치 논리회로를 실현하였고, Ike 등[7]은 다치 정전압-결합 논리회로를 사용하여 54비트×54비트 부호-디지트(signed-digit) 승산기를 구현하였다. 이들이 제시한 회로들은 회로 구현 방법이 복잡한 단점이 있다. Mirmotahari 등[8]은 다치 세미 부동 게이트의 D-래치회로를 제안하였다. 또한 Uemura 등[9]은 다접합 표면 터널 트랜지스터를 사용하여 3치 T-게이트와 3치 데이터 플립플롭을 설계하였으나 이 회로들은 전압모드로 동작하기 때문에 논리 레벨의 전압기준이 0.2V로 매우 낮은 단점이 있으며, 불규칙 회선경로 선택, 복잡한 제어문제, 비모듈화 구조의 부족 때문에 VLSI 설계에 부적합하다.

그러므로 본 논문에서는 Uemura 등이 제시한 전압모드의 단점을 보완하고, 회선경로의 규칙성, 간단한 전류 제어, 모듈화 구조를 갖는 3치 T-게이트를 전류모드 CMOS로 구현하고, 3치 T-게이트를 이용하여 2변수 3치 가산기 및 승산기를 구현하였다. 이 회로들은 Spice를 이용하여 시뮬레이션 하였다.

2. 전류모드 CMOS 기본회로

전류모드 CMOS회로는 정보를 전류로 표현하므로 공급전원의 크기를 증가할 필요가 없으며, 전류의 가산과 감산이 용이함으로 가산, 감산 및 보수연산을 쉽게 실현할 수 있고, 전류 비교를 쉽게 수행할 수 있는 장점이 있다. 또한 동작범위가 넓어서 큰 radix도 높은 전원전압의 공급없이 실현이 가능하다. 아날로그 MOS 회로에서 지금까지 전류미러의 출력을 정전류원으로 이용하는 방법이 자주 사용되고 있다. 그러나 보다 안정하고, 점유면적 면에서 우수한 전류원의 실현은 공핍형 PMOS를 사용한 방법이 제안되고 있으며, 전류원은 다음 식 (1)과 같이 나타낸다.

$$I_{out} = K(W/L)(V_{TH})^2[1+\lambda(V_{DD}-V_{out})] \quad (1)$$

식 (1)식에서 λ를 충분히 작게 할 수 있으며, 전원전압 변동에 의해 거의 영향을 받지 않게 할 수 있고 V_{DD} 이외의 바이어스 전압은 필요하지 않다. 전류모드 CMOS 회로를 구성하는 기본회로는 다음과 같다.

2.1 전류차분회로

전류모드 CMOS에 의한 전류차분회로는 그림 1과 같이 구성한다. 그림 1에서 정전류원으로 표시되는 문턱전류 I_C와 다이오드 특성을 나타내는 M1 트랜지스터로 구성된다. 이 회

* 성현경 : 상지대학교 컴퓨터정보공학부 교수 •공박

로에 대한 동작특성이 식 (2)와 같다.

$$I_0 = \begin{cases} I_C - I_i & iff \quad I_C > I_i \\ 0 & iff \quad I_C \le I_i \end{cases} \qquad (2)$$

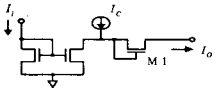


그림 1. 전류차분회로

2.2 전류미러회로

전류모드 CMOS에 의한 전류미러회로는 그림 2와 같이 구성한다. 그림 2의 전류미러회로는 하나의 입력전류 I_i 에 대하여 소자 특성이 동일한 경우 여러 개의 출력전류를 갖는다. 이는 일반적으로 전류모드 회로에서 팬아웃 수가 1이라는 결점을 보완해 준다. 전류이득에 관계되는 MOS 소자의 폭(W)과 길이(L)의 비율이 동일하다고 가정한 경우 출력전류는 입력전류와 같은 값을 갖게 된다.

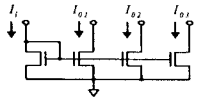


그림 2. 전류미러회로

2.3 전류스위치회로

전류모드 CMOS에 의한 전류스위치회로는 그림 3과 같으며, 패스 트랜지스터 M1의 게이트 전압 V_G가 높게 되면 출력전류가 0이 되고, M1의 V_G가 낮게 되면 전류스위치회로는 전류미러회로로 동작한다.

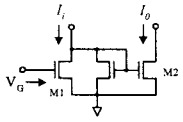
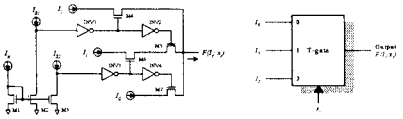


그림 3. 전류스위치회로

3. 전류모드 CMOS에 의한 3치 T-게이트의 구현

전류모드 CMOS에 의한 3치 T-게이트 회로가 그림 4(a)와 같으며, 그림 4(b)는 기호이다.



(a) (b)

그림 4. 3치 T-게이트 (a) 회로 (b) 기호

그림 4(a)의 전류모드 CMOS에 의한 3치 T-게이트 회로에서 I_n는 제어신호이며, 기준 전류원 I_{S1}은 $30\mu A$이고 I_{S2}은 15 μA이다. 입력 전류원은 I_0, I_1, I_2이며, 임의의 전류값을 갖는다. 제어신호로 가해진 입력전류는 전류미러인 M2, M3에 의해 복제되며, 복제된 전류는 기준전류와 비교된다. M4, M5, M6, M7은 패스 트랜지스터로 동작하며, 각각의 입력전류 I_0, I_1, I_2를 ON/OFF 시키는 동작을 한다. 예를 들면 제어신호에 $15\mu A$(논리값 1)가 입력신호로 가해지면 기준 전류원과 비교하여 M4는 OFF, M5는 ON, M6는 ON, M7은 OFF가 되어 입력 I_1 신호만 선택하여 출력으로 나타낸다. 그림 5는 그림 4(a)의 3치 T-게이트 회로의 시뮬레이션 결과이다.

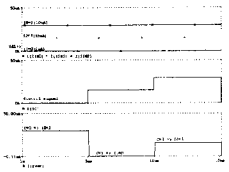


그림 5. 3치 T-게이트 회로의 시뮬레이션 결과

그림 5에서 $I_0 = 30\mu A$, $I_1 = 0\mu A$, $I_2 = 15\mu A$의 전류를 가하고, 제어신호 x를 0μA, 15μA, 30μA로 변화시켰을 경우 3치 T-게이트의 출력전류는 30μA, 0μA, 15μA를 보인다.

4. 전류모드 CMOS에 의한 3치 가산기 및 승산기 구현

이 장에서는 앞장에서 논한 전류모드 CMOS에 의한 3치 T-게이트를 사용하여 2변수 3치 가산기 및 승산기를 구현한다. 제시된 회로들은 $1.5\mu m$ CMOS 공정기술을 사용하여 Spice로 시뮬레이션 하였다. 단위전류 I_u는 $15\mu A$로 하였으며, W/L은 $20\mu m/2\mu m$이고, VDD 전압은 3.3V를 사용하였다. 사용한 MOSFET 모델은 LEVEL 3으로 시뮬레이션 하였다.

4.1 2변수 3치 가산기 및 승산기 구현

2변수 3치 가산은 식 (3)에 의해 구할 수 있으며, 2변수 3치 승산은 식 (4)와 같이 구할 수 있다.

$$F(x,y) = (x+y)mod(3) \qquad (3)$$

$$F(x,y) = (x \cdot y)mod(3) \qquad (4)$$

표 1(a)는 식 (3)에 의한 2변수 3치 가산 진리표이고, 표 1(b)는 식 (4)에 의한 2변수 3치 승산 진리표이다.

<표 1> 2변수 3치 진리표 (a) 가산표 (b) 승산표

(a)

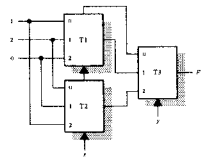
y \ x	0	1	2
0	0	1	2
1	1	2	0
2	2	0	1

(b)

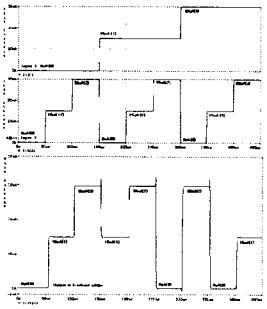
y \ x	0	1	2
0	0	0	0
1	0	1	2
2	0	2	1

4.1.1 2변수 3치 가산기 구현

앞장에서 논한 전류모드 CMOS에 의한 3치 T-게이트를 사용하여 표 1(a)의 2변수 3치 가산표를 실현하는 회로가 그림 6(a)와 같으며, 그림 6(b)는 제어신호 x, y의 값에 대한 가산기의 시뮬레이션 결과이다.



(a)



(b)

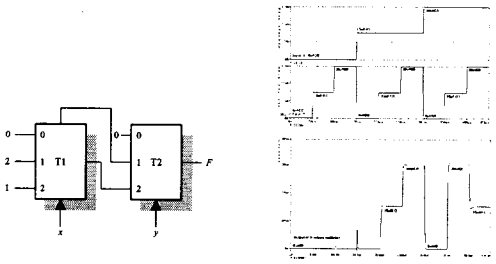
그림 6. 2변수 3치 가산기 (a) 회로도 (b) 시뮬레이션결과

그림 6(a)에서 제어신호 x가 1이면 T1의 출력은 2이고 T2의 출력은 0이 된다. 이 출력들은 T3의 입력으로 가해지며, T3의 0위치에는 x의 값이 그대로 가해진다. 이때 y의 값이 0이면 T3의 0위치에 가해진 x의 값이 선택되어 T3의 출력이 된다. 즉, 제어신호 $x=1$이고, $y=0$이면 T3의 출력 $F=1$이다.

그림 6(b)의 시뮬레이션 결과에서 제어신호 $x=1\,(15\mu A)$, $y=0\,(0\mu A)$인 150ns에서 2변수 3치 가산기의 출력은 $15\mu A$ (논리값 1)을 보인다.

4.1.2 2변수 3치 승산기 구현

앞장에서 논한 전류모드 CMOS에 의한 3치 T-게이트를 사용하여 표 1(b)의 2변수 3치 승산표를 실현하는 회로가 그림 7(a)와 같으며, 그림 7(b)는 제어신호 x, y의 값에 대한 승산기의 시뮬레이션 결과이다.



(a) (b)

그림 7. 2변수 3치 승산기 (a) 회로도 (b) 시뮬레이션 결과

그림 7(a)에서 제어신호 x가 1이면 T1의 출력은 2이고, 이 출력은 T2의 2위치에 입력으로 가해지며, T3의 0위치에는 0의 값이 가해지고 T3의 1위치에는 x의 값이 그대로 가해진다. 이때 y의 값이 2이면 T3의 2위치에 가해진 T1의 출력값이 선택되어 T3의 출력이 된다. 즉, 제어신호 $x=1$이고, $y=2$이면 T3의 출력 $F=2$이다.

그림 7(b)의 시뮬레이션 결과에서 제어신호 $x=1\,(15\mu A)$, $y=2\,(30\mu A)$인 250ns에서 승산기의 출력은 $30\mu A$(논리값 2)을 보인다.

5. 결 론

본 논문에서는 전류모드 CMOS를 사용하여 3치 가산기 및 다치 승산기를 구현하였으며, 먼저 효과적인 집적회로 설계 이용성을 갖는 전류모드 CMOS를 사용하여 3치 T-게이트를 구현하였다. 구현된 다치 T-게이트를 조합하여 2변수 3치 가산표와 승산표를 실현하는 회로를 구현하였다. 구현된 가산기와 승산기들은 $1.5\mu m$ CMOS 표준 기술을 사용하여 Spice로 시뮬레이션을 하였고, 이 회로들에 대하여 동작특성을 보였다. 구현된 3치 가산기와 승산기들에 대한 단위전류 I_u는 $15\mu A$로 하였으며, CMOS의 채널 폭과 길이 W/L은 20 $\mu m/2\mu m$이다. VDD 전압은 3.3V를 사용하였으며, MOSFET 모델은 LEVEL 3을 사용하였다.

본 논문에서 구현한 전류모드 CMOS의 3치 가산기와 승산기는 일정한 회선경로 선택의 규칙성, 간단성, 셀배열에 의한 모듈성의 이점을 가지며, 특히 차수 m이 증가하는 유한체의 두 다항식의 가산 및 승산에서 확장성을 가지므로 VLSI화 실현에 적합할 것으로 생각된다.

참 고 문 헌

[1] S. L. Hurst, "Multiple-Valued Logic - Its Status and Its Future," *IEEE Trans. Computer*, vol. C-33, pp. 1160-1170, Dec. 1984.

[2] K. C. Smith, "Multiple-Valued Logic : a Tutorial and Application," *IEEE Computer Mag.*, pp.17-27, Apr. 1987.

[3] T. Hanyu, M. Kameyama, T. Higuchi, "Prospects of Multiple-Valued VLSI Processors," *IEICE Trans. Electron*, vol. E76-C, No.3, pp.383-392, Mar. 1993.

[4] S. P. Onneweer and H. G. Kerkhoff, "Current-Mode CMOS High-Radix Circuits," *IEEE Proc. of 16th International Symposium on Multiple-Valued Logic*, Virginia, USA, pp.60-69, May 1986.

[5] J. T. Butler, J. H. Pugsley and C. B. Silio Jr., "High-Speed Multiplier Uses 50 Percent Less Chip Area and Power," *IEEE Computer Mag.*, vol. 20, No. 8, pp.109-110, Aug. 1987.

[6] K. W. Current, "Current-Mode CMOS Multiple-Valued Logic Circuits," *IEEE J. Solid-State Circuits*, vol. 29, No. 2, pp.95-107, Feb. 1994.

[7] T. Ike, T. Hanyu and M. Kameyama, "Fully Source-Coupled Logic Based Multiple-Valued VLSI," *IEEE Proc. of 32nd International Symposium on Multiple-Valued Logic*, Boston, Massachusetts, USA, pp.270-275, May 2002.

[8] O. Mirmotahari and Y. Berg, "A Novel D-Latch in Multiple-Valued Semi-Floating-Gate Recharged Logic," *IEEE Proc. of 34th International Symposium on Multiple-Valued Logic*, Toronto, Canada, pp.210-213, May 2004.

[9] T. Uemura and T. Baba, "Demonstration of a Novel Multiple-Valued T-Gate Using Multiple-Junction Surface Tunnel Transistors and Its Application to Three-Valued Data Flip-Flop," *IEEE Proc. of 30th International Symposium on Multiple-Valued Logic*, Portland, USA, pp.305-310, May 2000.