

# 저전력 500MHz CMOS PLL 주파수합성기 설계

## Design of a Low-Power 500MHz CMOS PLL Frequency Synthesizer

강기섭, 오근창, 박종태, 유종근  
 Ki-Sub Kang, Gun-Chang Oh, Jong-Tae Park, Chong-Gun Yu

**Abstract** - This paper describes a frequency synthesizer designed in a 0.25 $\mu$ m CMOS technology for using local oscillators for the IF stages. The design is focused mainly on low-power characteristics. A simple ring-oscillator based VCO is used, where a single control signal can be used for variable resistors. The designed PLL includes all building blocks for elimination of external components, other than the crystal, and its operating frequency can be programmed by external data. It operates in the frequency range of 250MHz to 800MHz and consumes 1.08mA at 500MHz from a 2.5V supply. The measured phase noise is -85dBc/Hz in-band and -105dBc/Hz at 1MHz offset. The die area is 1.09mm<sup>2</sup>.

**Key Words** :PLL, Frequency synthesizer, CMOS, Low-power, Ring-oscillator

### 1. 서론

위상동기루프(phase-locked loop) 회로는 통신 시스템 [1], 마이크로프로세서 [2], 디스플레이등 많은 응용 분야에서 시스템 구성에 필수적으로 사용되어왔다. 저 전력 소모 특성을 얻기 위해 본 논문에서는 고속 동작시 핵심이 되는 VCO(Voltage Controlled Oscillator) 와 프리스케일러의 저전력 설계에 중점을 두었다. 프리스케일러 설계의 경우 고속 동작과 저전력 특성을 만족하기 위해 D-플립플롭의 설계가 중요하다. 기존의 TSPC D-플립플롭들[3],[4] 보다 저전력 소모특성을 갖도록 동적 플립플롭을 설계하였다[5].

설계된 주파수 합성기는 모든 구성 소자를 on-chip화하여 외부 소자의 필요성을 제거 하였고, 다양한 주파수에 동작이 가능하도록 외부 데이터에 의해 동작 주파수를 프로그램 할 수 있도록 하였다. Power-down mode 기능과 Lock-in indicator 기능을 갖도록 설계하였으며, On-chip bandgap reference 회로를 포함한다.

### 2. 회로 설계

설계된 주파수 합성기 회로의 블록다이어그램은 그림 1에 보였다. 설계된 회로는 N, R-counter를 포함한 Dblock과 PFD(Phase Frequency Detector), Charge Pump, Loop Filter, VCO , 프리스케일러, TCXO Buffer등으로 구성된다.

Dblock은 PLL의 동작 주파수를 프로그램하기 위해 사용

되며, 외부 데이터(CLK, DATA, LE)에 의해 프로그램이 가능하다. PFD는 두 개의 D-F/F과 OR 게이트로 구성[5]되어 출력  $f_R$ 과  $f_N$  을 비교하며, Charge Pump는 cascode 구조의 전류원을 사용하였고[5], PFD의 신호에 의해 전류를 Loop Filter에 공급하여 VCO의 발진 주파수를 조절한다. VCO는 ring oscillator 형태로서 인버터와 발진 주파수를 조절하는 가변저항을 3단으로 구성하였다.[5] TCXO buffer 는 크리스털 오실레이터에서 발생하는 주파수를 안정적으로 R-counter에 공급해주는 역할을 한다. 프리스케일러는 VCO의 높은 발진 주파수를 낮춰주는 역할을 한다. 프리스케일러는 dual-modulus 로 'Mode' 신호와 'Psel' 신호에 따라 8/9 또는 16/17로 분주비를 달리하였다.[5]

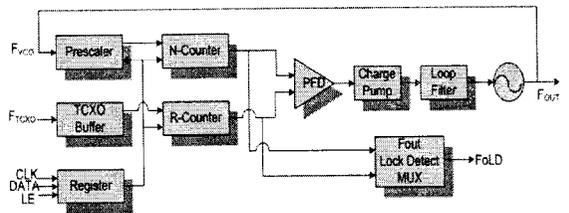


그림 1. 설계된 주파수 합성기의 블록다이어그램

### 3. 모의실험 및 측정 결과

설계된 회로를 0.25 $\mu$ m CMOS 공정변수를 사용하여 HSPICE 및 Spectre 시뮬레이션을 하였다. 그림 2는 프리스케일러를 모의 실험한 결과이다. 첫 번째 파형은 프리스케일러의 clock신호인 VCO 발진 파형이고, 프리스케일러의 분주비를 결정하는 Psel, Mode 신호를 두 번째, 세 번째 파형에 나타내었으며, 그에 따른 프리스케일러의 출력파형을 마지막에

#### 저자 소개

\* 강기섭, \*\* 오근창 : 仁川大學 電子工學科 碩士課程  
 \*\*\*박종태, \*\*\*\*유종근 : 仁川大學 電子工學科 正教授 · 工博

본 연구는 정보통신부의 출연금으로 수행한 IT-SoC 핵심 설계인력 양성 사업의 수행결과이며 IDEC 지원에 의해서도 일부 수행되었음

나타내었다. 설계된 VCO의 제어전압에 따른 발진 주파수 특성을 그림 3에 보였다. 제어전압이 0.8V에서 1.8V까지 변할 때, VCO의 발진 주파수는 선형특성에 가깝게 증가함을 볼 수 있다. 주파수 범위는 250MHz부터 800MHz이다. VCO 이득은 대략 400MHz/V 이다.

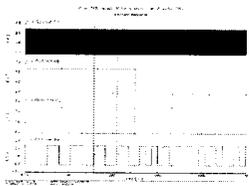


그림 2 프리스케일러

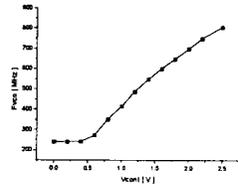


그림3. 주파수 변화

그림 4 (a)는 VCO의 과도상태 특성이다. Enable 신호가 인가되면 VCO가 발진하는 모습을 확인할 수 있으며 발진 진폭은 2.5 Vp-p이다. 또한 그림 4 (b)는 VCO 발진하는 모습을 확대한 것이다.

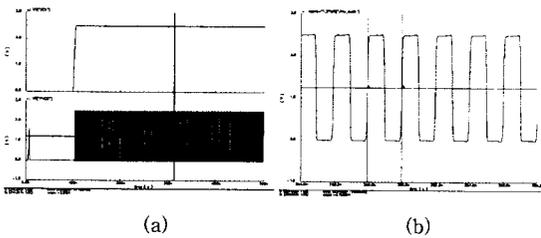


그림4. VCO 과도상태 특성

그림 5는 Default 신호를 인가하여 500MHz 프로그래밍 했을 때 PLL 전체 회로의 시뮬레이션 결과이다. 첫 번째 파형은 R-counter를 통과한 기준 주파수  $f_R$  신호이고, 두 번째 파형은 N-counter를 통과한  $f_N$  신호이다. 이 두 파형을 비교하여 출력된 UpB 신호와 DnB 신호가 세 번째, 네 번째 파형에 나타내었다. UpB 신호가 나올 때 Loop Filter의 출력 전압 파형의 변화를 다섯 번째 파형에서 확인할 수 있다.

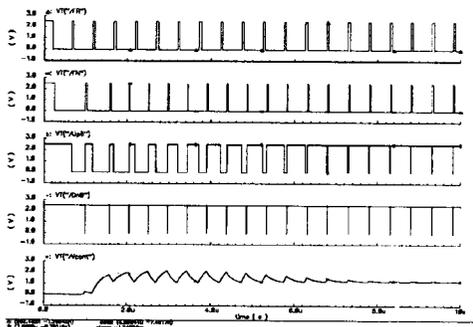


그림 5. 주파수 합성기의 전체 모의실험 결과

설계된 회로는 0.25 $\mu$ m CMOS 공정을 사용하여 칩으로 제작되었다. 칩의 동작 특성을 확인하기 위한 test board를 그림 6에 나타내었다. 그림 7은 주파수 합성기의 최종출력  $F_{out}$  신호를 오실로스코프를 사용하여 측정된 파형이다. 모의실험과 마찬가지로 측정 환경을 default 신호를 인가하여 500MHz에서 동작하도록 하였을 때, 주파수가 500MHz 가 나오는 것을 확인할 수 있고, 진폭은 2.5V 보다는 작게 나오는 것을 확인할 수 있다.

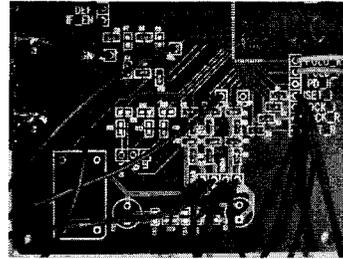


그림6. Test board

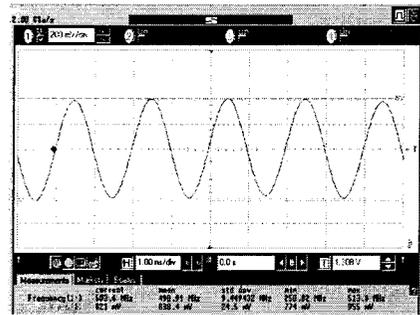


그림7.  $F_{out}$  신호 측정 결과

그림 8은 스펙트럼 분석기를 사용하여  $F_{out}$  신호의 위상 잡음 특성을 확인하기 위한 결과이다. Resolution BW를 10kHz 로 맞추고 측정을 하였을 경우 in-band의 위상 잡음 특성은 -85 dBc/Hz 이고, 1MHz offset에서의 위상잡음 특성은 -105 dBc/Hz 가 되는 것을 확인할 수 있다.

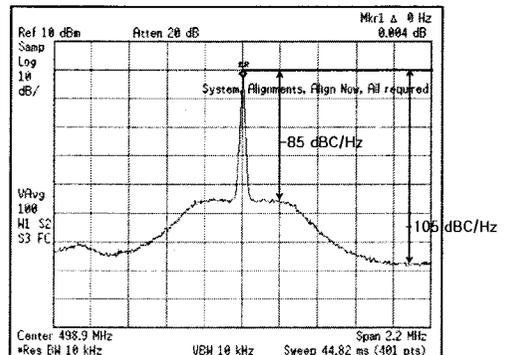


그림 8.  $F_{out}$  위상 잡음 특성

출력과함의 시간 축에서 잡음 특성을 확인할 수 있는 RMS 지터의 경우 18ps (그림 9 (a)), Peak to Peak 지터의 경우 100ps (그림 9 (b)) 가 되는 것을 확인할 수 있었다. 그림 9(b)에 지터의 histogram 을 나타내었다.

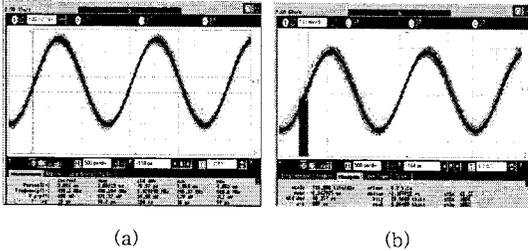


그림 9.  $F_{out}$  의 지터 특성

설계된 PLL은 표 1과 같은 성능을 보이며, 기존의 주파수 합성기[6][7]보다 낮은 전류소모특성을 보인다. 그림 10은 설계된 회로의 layout 이며, 면적은 1.09mm<sup>2</sup> 이다.

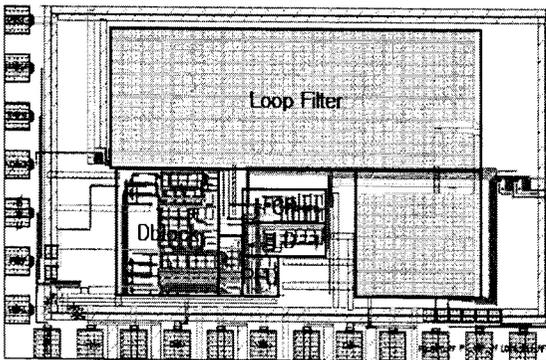


그림 10. 설계된 회로의 Layout

표 1. 성능요약

	This work	[6]	[7]
Process	0.25 $\mu$ m CMOS	0.35 $\mu$ m CMOS	3 $\mu$ m CMOS
Power Supply	2.5V	3.3V	5V
Frequency [MHz]	250~800	110~850	100-750
KVCO	400MHz	-	-
Jitter [RMS]	19ps	30ps	-
Current consumption	1.08mA	12.7mA	30mA
Chip area [mm <sup>2</sup> ]	1.09	2.2	2.63

#### 4. 결론

본 논문에서는 IF 대역에서 local oscillator로 사용 가능한 주파수 합성기 PLL을 일정 위상잡음 특성을 유지하면서 적은 전력 소모 특성을 갖도록 설계하였다. 모든 구성 소자를 on-chip화하여 외부 소자의 필요성을 제거 하였으며, 다양한 주파수에서 동작이 가능하도록 외부 데이터에 의해 동작 주파수를 프로그램 할 수 있도록 하였다. 고속 동작이 가능하고 저전력 특성을 갖도록 프리스케일러와 VCO의 설계에 중점을 두었다.

0.25 $\mu$ m CMOS 공정으로 제작된 칩을 테스트하기 위하여 test board를 구성하고 적절한 테스트 환경을 구성한 후 칩을 측정해 본 결과 제작된 주파수 합성기의 동작 주파수의 범위는 250MHz에서 800MHz 까지 프로그램이 가능하였으며, 위상잡음의 경우 1MHz offset에서 -105dBc/Hz의 특성을 보였습니다. 저 전력으로 설계하였기 때문에 이동통신 및 CATV 등 다양한 분야에 적용될 수 있다.

#### 참 고 문 헌

- [1] 김유환, "CMOS IF PLL 주파수합성기 설계," 대한 전자 공학회 논문지, 제40권, SD편, 제8호, pp.56-67, 2003.
- [2] Ian A. Young, Jeffrey K. Greason and Keng L. Wong " A PLL Clock Generator with 5 to 110 MHz of Lock Range for Microprocessors" *IEEE JSSC*, vol 27, no11, November 1992.
- [3] J. Yuan and C. Svensson, "High-speed CMOS circuit technique", *IEEE JSSC*, vol. 24, no. 1, pp. 62-70, February 1989.
- [4] M-S. Song, J-H. Hur, S-W. Kim, "안정적인 고속 동작을 위한 다이내믹 D Flip-Flop", 대한전자공학회 논문지 SD편, pp.1055-1061, 2002.12.
- [5] 강기섭, 이재경, 오근창, 박종태, 유종근 "고속 저 전력 프리스케일러를 사용한 2.5GHz CMOS PLL 주파수 합성기 설계", 대한전자공학회 추계학술대회논문집II, 제 28권, 제2호, pp.873-876, 2005.
- [6] Chang-Hyeon Lee, McClellan, K, Choma, J, Jr., " A 500MHz supply noise insensitive CMOS PLL with a voltage regulator using DC-DC capacitive converter", Solid-State Circuits Conference 2000. ESSCIRC '00. Proceedings of the 26th European 19-21 pp. 256-259 Sept. 2000
- [7] Yamada T., Tsuda Y., Itoh K., " A 500MHz PLL NMOS LSI", Solid-State Circuits Conference Digest of Technical Papers. 1983 IEEE International vol. 26, pp 78-79, Feb. 1983