

3차원 회로 모델을 이용한 Power LED 분석

Analysis and Design of Power LEDs Using a 3-Dimensional Circuit Model

엄 해 용, 서 중 욱, 신 명 식*, 이 정 현*, 이 수 원*, 유 순 재*
 홍익대학교 전자정보통신공학과, *(주)이즈웰*
 poseidon517@hanmail.net

Abstract

LED(Light-Emitting Diode)내에서의 전류 분포를 계산하기 위한 SPICE 기반의 3차원 회로 모델을 개발하였다. 이 모델은 고전압, 고전류에서 구동되는 고휘도 LED의 전류 밀집(current crowding) 현상을 최소화하기 위한 설계 최적화에 이용할 수 있다. 본 논문에서는 GaN/Al₂O₃ 고휘도 청색 LED 내에서의 전류 분포를 분석하여 전극 설계를 최적화하기 위한 연구를 수행하였다.

1. 서론

최근 고휘도 LED의 응용 범위가 급속히 확대되면서 각종 산업 기기는 물론이고, 일반 조명 분야에서의 활용을 위한 여건이 조성되고 있다. 고휘도 LED의 경우 고전압, 고전류 구동이 불가피하고 이에 따라 특정 지점에 전류가 밀집되는 현상을 최소화하기 위한 설계 최적화가 필수적이다⁽¹⁾. 본 논문은 LED의 내부에서의 전류분포를 정확하게 계산하기 위한 SPICE 기반의 3차원 회로 모델에 관하여 소개한다⁽²⁾. 이를 이용하여 고휘도 LED 내에서의 전류 밀집 현상을 분석하고 LED의 전극 설계를 최적화하여 특성을 개선하고자 한다.

2. 본론

그림 1(a)는 SPICE 기반의 3차원 회로모델의 개념도이며, 그림 1(b)는 LED 픽셀의 SPICE 저항 네트워크이다. LED를 소형의 픽셀의 어레이로 구성하고, 각 픽셀에 이 회로 모델을 적용하여 LED의 내부전류를 계산하며, 그림 2(a)가 이러한 방법으로 계산한 전류분포의 한 예이다. 그림 2(b)는 해당 LED의 발광 특성을 CCD를 이용하여 측정한 예로써, 발광 특성으로부터 추출한 전류분포와 계산된 전류분포와 정확하게 일치함을 확인할 수 있다.

그림 1의 회로 모델을 이용하여 대면적의 고휘도 LED를 분석하고자 그림3에 도시한 것과 같이 접합 면적이 다른 두개의 시험용 GaN/Sapphire 청색 LED를 제작하였다. 그림 3(a)는 활성층 면적이 $6 \times 10^4 \mu\text{m}^2$ 인 $350 \times 350 \mu\text{m}^2$ 크기를 갖는 일반 LED의 평면도를 나타낸 것이며, 그림 3(b)는 총 면적이 $1 \times 1 \text{ mm}^2$ 이고 활성층 면적이 약 $6 \times 10^5 \mu\text{m}^2$ 인 고휘도 LED의 평면도이다. 발광 패턴은 CCD(DTA CHROMA C3 400E)를 이용하여 측정하였으며, 빛을 감쇠시키기 위하여 ND(Neutral Density) 필터(HOYA: ND4 2개, ND400 1개)를 이용하였다.

그림 3(b)에 보인 고휘도 LED의 발광 패턴을 측정된 결과 그림 4에 보인 것과 같이 0.06 A/cm^2 까지는 발광하는 빛의 세기가 전류에 따라 증가하였다가 그 이상의 전류밀도에서는 감소하는 현상이 관찰되었다. 또한 0.06 A/cm^2 까지 그림 5(a)에 보인 것처럼 대체적으로 균일하게 빛이 발광되었으나, 그 이상의 전류밀도에서는 그림 5(b)에 보인 것과 같이 발광패턴의 균일도가 급격히 감소하고 빛이 특정 부위에 밀집하여 방출됨을 알 수 있었다. 이러한 고휘도 LED의 발광패턴

이 불균일해지고 발광 효율이 감소하는 원인을 분석하였다.

3. 결론

LED 내부에서의 전류 분포를 계산할 수 있는 3차원 회로 모델을 개발하였다. 이를 이용하여 고휘도 LED에서 관찰되는 전류 밀집 현상의 원인을 분석하고 전극 설계를 최적화 하였다.

[참고문헌]

1. X. Guo, E. F. Schubert, "Current crowding in GaN/InGaN light emitting diodes on insulating substrates", J. Appl. Phys., V. 90, No. 8, 4191-4195 (2001).
2. 엄해용, 서종욱, "SPICE를 기반으로 한 발광 다이오드의 3차원 회로 모델", Proceedings of 13th Conference on Optoelectronics and Optical Communications, 290-291(2006).

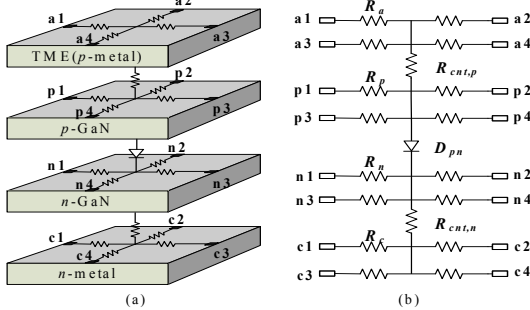


그림 1. (a) LED의 박막층과 접합부 모델의 개념도와 (b) 픽셀 모델 회로.

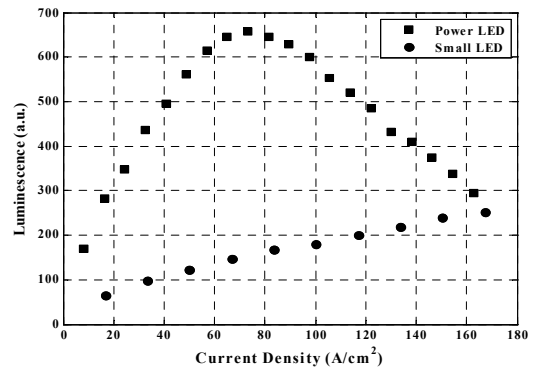


그림 4. 전류밀도에 따른 빛의 세기 변화.

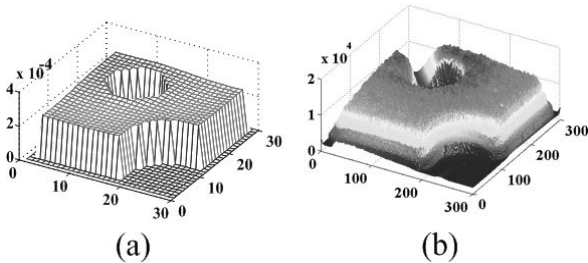


그림 2. (a) SPICE기반의 회로모델을 이용하여 계산한 내부전류분포와 (b) CCD를 통하여 얻은 발광패턴.

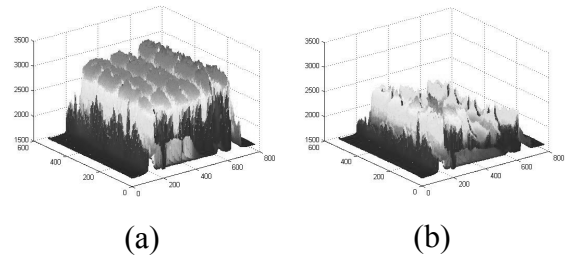


그림 5. Power LED에서 측정된 발광패턴, (a) 0.06A/cm², (b)0.16A/cm².

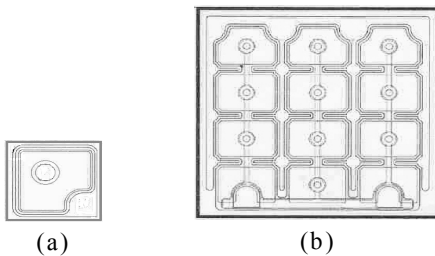


그림 3. (a) 크기가 350µm x 350µm인 LED의 평면도와 (b) 크기가 1mm X 1mm인 넓은 면적 LED의 평면도.