

Si웨이퍼의 이방성 식각 특성 및 Si carrier를 이용한 플립칩 솔더 범프제작에 관한 연구

The characterization of anisotropic Si wafer etching and fabrication
of flip chip solder bump using transferred Si carrier

문 원철*, 김 대곤**, 서 창제**, 신 영의***, 정 승부**

* 성균관대학교/패키징사업단

** 성균관대학교/신소재공학부

*** 중앙대학교/기계공학과

ABSTRACT We researched by the characteristic of a anisotropic etching of Si wafer and the Si career concerning the flip chip solder bump. Connectors and Anisotropic Conductive Film (ACF) method was already applied to board-to-board interconnection. In place of them, we have focused on board to board interconnection with solder bump by Si carrier, which has been used as Flip chip bonding technology. A major advantage of this technology is that the Flexible Printed Circuit (FPC) is connected in the same solder reflow process with other surface mount devices. This technology can be applied to semiconductors and electronic devices for higher functionality, integration and reliability.

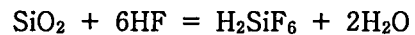
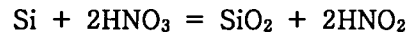
1. 서 론

단결정 Si의 습식에칭 기술에는, 산성용액을 이용한 등방성 에칭 및, 알칼리성 용액을 이용한 이방성 에칭이 있다. Si의 3차원 구조체를 제작하는 마이크로 머신에서는, 이방성 에칭은 중요한 요소 기술이며, 사용하는 에칭액으로는, KOH 수용액, Ethylenediamine · Pyrocatechol(EDP), 4-Tetramethylammonium hydroxide(TMAH) 등이 알려져 있으며, 특히 KOH, TMAH 수용액을 이용해 이방성 에칭 기술은 최근 상세하게 연구가 진행되고 있어 사용되는 약품의 온도나 농도 혹은, 에칭액중에 함유 하는 불순물량에 의해 에칭의 이방성 및, 에칭면의 표면조도가 변화됨이 보고되고 있다.

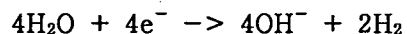
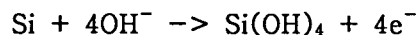
Si의 에칭 기술의 응용으로서, 이방성 에칭을 이용한 다이어프램(DIAPHRAGM)형성이나, 에칭 조건에 따른 이방성의 변화나 보정 마스크 패턴을 이용한 컨틸레버등의 구조체 형성 및, 이방성 에칭과 등방성 에칭을 조합한 구조체의 형상 제어등으로 이용할 수 있다. 그러나 이방성 에칭과 등방성 에칭의 편성에 의한 구조체의 형상 제어 에칭으로는, 이방성 에칭에 의해 형성한 구조

체의 측면부를 등방성에칭에 의해 매끄러운 형상으로 완성해 측면부에의 응력 집중의 완화에 의해 구조체의 강도 저하를 막을 수 있다고 생각할 수 있다.

HF + HNO₃를 이용한 단결정 Si의 등방성 에칭은 이하에 나타내는 2개의 반응식에 의해 기술된다. 초산에 의한 Si의 산화 반응 및, 불화수소산에 의한 산화물의 용해반응이다.



한편, KOH 수용액등의 알칼리성 에칭액을 이용한 Si의 에칭에서는 이하에 나타내는 2개의 반응식에 의해 기술된다.



2. 실험 방법

본 실험에서는 250 μ m이하의 미세한 솔더범프의 형성, 즉 fine pitch용 솔더 범프를 형성하는 방법으로 transformation method를 이용하였다. Fig 1.은 Si carrier를 이용한 솔더범프형성방법을 나타내고 있다, 실리콘에 대한 이방성 식각특성을 이용하여 Si carrier 제작후 식각된 Si carrier의 solder paste를 도포한 후 리플로 공정을 통해 미리 형성된 UBM층에 솔더를 이전 시킨 후 다시 리플로 공정을 하여 솔더범프를 제작하는 실험방법을 나타냈다.

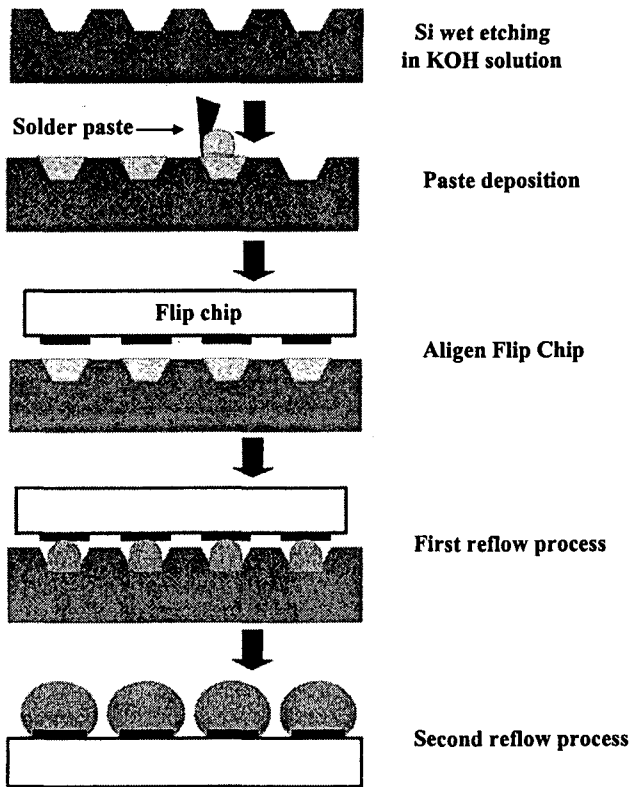


Fig 1. Schematic illustration of solder transformation method.

3. 실험 결과

Fig 2.는 KOH용액중 가해진 온도에 따른 Si 식각률을 나타내며 온도가 증가할수록 빠른 식각률을 보여주는 그래프이다.

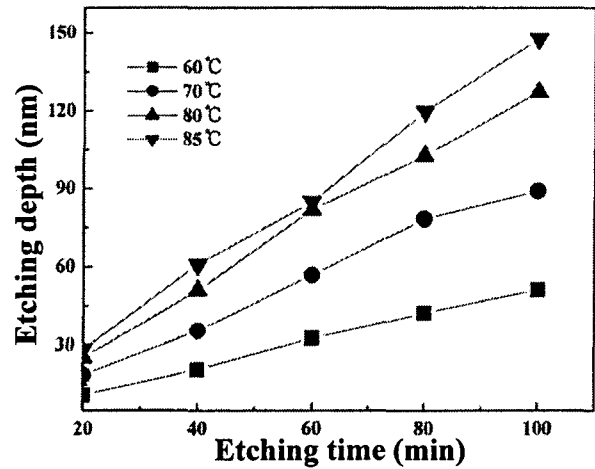


Fig 2. Etching depth and etching time with various substrate in KOH solution.

4. 결 론

본 실험에서는 무전해도금을 이용한 Flip chip UBM형성을 위한 도금의 전처리 조건 및 도금조건에 따른 UBM층의 형성 및 특성과 solder paste를 이용한 솔더 범핑방법에 관해 연구하였다. 그리고 stencil printing 방법으로 약250 μ m의 솔더 범프를 형성하였으며 미세pitch의 솔더범프를 제작하기 위해 Si carrier를 이용한 transformation method를 통해 보다 작은 솔더범프를 제작하였다.

후 기

본 연구는 과학기술부 기초과학연구사업 (R01-2004-000-10572-0)의 연구비 지원으로 수행되었음

참 고 문 헌

1. K. Sato, M. Shikida, Y. Matsushima, T. Yamashiro, K. Asami, Y. Iriye, M. Yamamoto; Sensors and Actuators A 64-1, (1998), p.87.
2. M. Shikida, K. Sato, K. Tokoro, D. Uchikawa; Sensors and Actuators A 80, (2000), p.179.
3. J. H. Ye, K. Kaji, and K. Itaya; J.Electrochem. Soc., 143,(1996), p.388.