

3차원 실장을 위한 Si-wafer의 via hole 딥핑 충전

Filling via hole in Si-wafer for 3 Dimensional Packaging

홍성준*, 이영우*, 김규석*, 이기주*, 김정오**, 박지호***, 정재필*

* 서울시립대학교 공과대학 신소재공학과

** 한국기계연구원

*** 단양솔텍

ABSTRACT 3차원 실장을 하기 위해서 딥핑 방법으로 전기적 신호를 전달할 수 있는 비아를 가진 실리콘 웨이퍼를 제작하였다. 레이저를 이용하여 실리콘 웨이퍼에 개구부가 원형에 가까운 관통 홀을 형성하였다. 관통 홀의 벽에 도금 방법으로 시드 층을 형성하였다. 관통 홀의 충전 금속은 Sn-3.5Ag-0.7Cu 솔더를 사용하였다. 딥핑 방법으로 시드 층과 솔더 사이의 확산 현상 이용하여 전기적 신호를 전달 할 수 있는 비아를 형성하였다. 비아 내부에 일부 기공과 크랙이 발견되기도 했으나 딥핑 방법을 통해서 빠른 시간 내에 비아를 가진 실리콘 웨이퍼를 제작 할 수 있었다.

1. 서 론

최근 전자제품의 경박단소화의 흐름에 맞추어서 새롭게 주목받고 있는 패키징 방법이 3차원 실장 기술이다. 3차원 실장 기술은 기판위에 여러 층을 쌓음으로써 부품이 차지하는 면적 뿐만 아니라 부품의 수도 줄일 수 있다는 장점을 가지고 있다.

3차원 실장 기술에서 가장 중요한 과정 중의 하나가 기판에 관통 홀을 뚫고 금속을 충전 시켜서 전류가 흐를 수 있는 비아(Via)를 형성하는 방법이다. 때문에 전도성 금속을 빠르고, 균일하게 관통 홀에 충전시키는 방법이 많이 연구되고 있다.

본 연구에서는 3차원 실장 기술을 실리콘 웨이퍼에 적용하기 위해서 실리콘 웨이퍼에 관통 홀을 형성하고, 금속을 충전시켜서 비아를 형성하는 방법에 대해서 연구하였다.

2. 실험 방법

2.1 관통 홀(Via-hole)형성 및 충전

관통 홀을 형성하기 위해서 레이저를 이용하였

다. 주파수는 10Hz 인 펄스 레이저로 두께가 500 μm 실리콘 웨이퍼에 지름이 약 200 μm 인 관통 홀을 형성하였다. 관통 홀의 벽에 비아를 채우려는 금속의 시드(seed) 층을 형성하기 위해서 도금 방법을 사용하였다. 비아를 채울 Sn-3.5Ag-0.7Cu 솔더를 250 $^{\circ}\text{C}$ 용융시켰다. 딥핑(dipping) 방법을 이용해서 관통 홀에 금속을 채워 넣어 비아를 가진 실리콘 웨이퍼를 제작하였다.

2.2 분석방법

레이저로 관통 홀을 형성한 후 SEM(Scanning Electron Microcopy)을 이용해서 관통 홀 개구부의 형상을 관찰하였다. SEM으로 실리콘 웨이퍼에 제작된 비아의 전체적인 형상과 관통 홀을 채운 Sn-3.5Ag-0.7Cu 솔더의 상태를 관찰 하였다. 또한 관통 홀의 벽 쪽에 도금 층의 형성 여부를 알아보았다.

3. 결과 및 고찰

레이저를 이용해서 실리콘 웨이퍼에 직경이 약 200 μm 인 관통 홀을 형성하였다. Fig. 1은 관통 홀의 개구부를 SEM을 이용해서 관찰한 사진이다. 개구부 모양이 원형의 홀로 형성되었음을 알 수

있었다. 웨이퍼 표면과 관통 홀의 벽 쪽이 완전히 매끄럽지 않고 약간의 요철이 생겼음을 확인할 수 있었다.

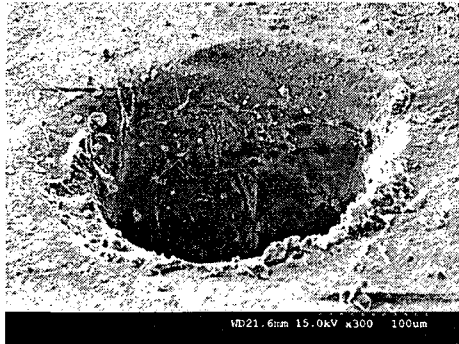
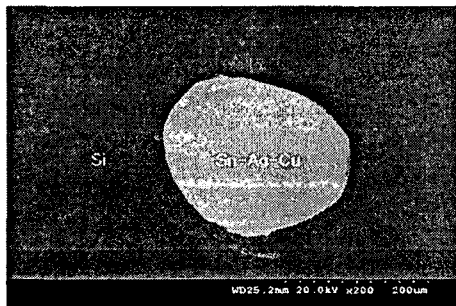
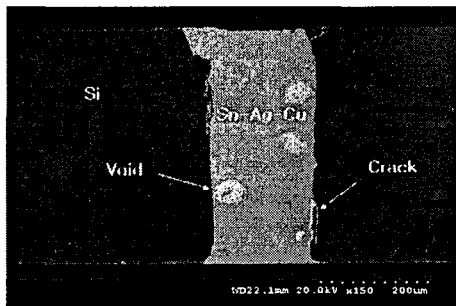


Fig. 1 Si-wafer through-hole by laser

비아가 형성된 부위를 SEM을 통해서 조사한 결과 Fig. 2에 나타난 것과 같이 관통 홀 부위에 전체적으로 Sn-3.5Ag-0.7Cu 솔더가 충전되어 있음을 알 수 있었다. 비아 내부에 일부 기공과 크랙이 관찰되기도 했으나 전체적으로 고르게 채워짐을 확인할 수 있었다.



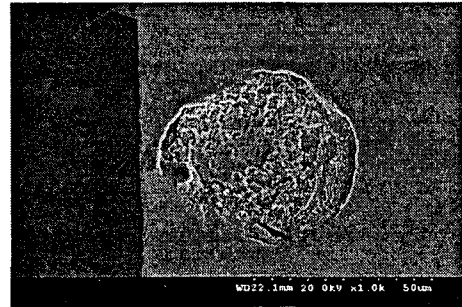
(a)



(b)

Fig. 2 SEM images of via in Si-wafer (a) Surface image of Si-wafer with via (b) Cross-sectional image of Si-wafer with via

더욱 더 자세하게 알아보기 위해서 고배율로 촬영한 그림이다. 덩핑 시에 미처 빠져나가지 못한 기체에 의해서 충전 금속 내부에 기공이 일부 형성되었다. 크랙은 충전 금속과 도금 층 사이의 확산이 제대로 이루어지지 않아서 발생되었다.



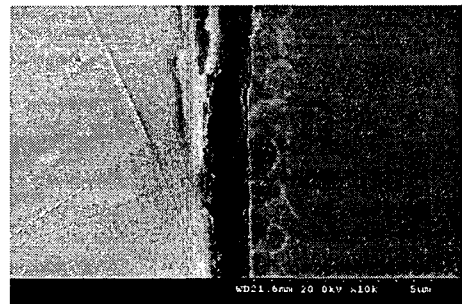
(a)



(b)

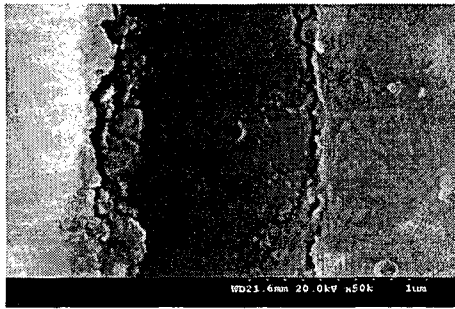
Fig. 3 Void and crack around via

Sn-3.5Ag-0.7Cu 솔더의 시드 층을 형성하기 위해서 도금을 실행하였다. Fig. 4를 통해서 도금 층이 관통 홀의 벽에 어떻게 형성 되었는지 관찰할 수 있었다. 도금 층과 솔더 사이에 확산이 제대로 이루어지지 않은 부분에서는 일부 크랙이 확인되었다.



(a)

Fig. 3은 Fig. 2에서 관찰되었던 기공과 크랙을



(b)

Fig. 4 Plated layers around via in Si-wafer

4. 결 론

실리콘 웨이퍼를 적층하는 3차원 실장을 하기 위해서 비아를 이용한 방법을 선택하였다. 실리콘 웨이퍼에 관통 홀을 형성하였다. 홀 내부에 Sn-3.5Ag-0.7Cu 솔더를 충전시키기 위해서 딥핑 방법을 실행하였다. 비아를 형성하는 연구를 통해서 얻는 결과를 요약하면 다음과 같다.

- 1) 레이저를 통해서 비아를 형성하기 위한 관통 홀을 뚫어 원형의 홀을 형성할 수 있었다.
- 2) 도금을 실행하여 충전 금속의 시드 층이 형성되었음을 알 수 있었다.
- 3) 딥핑 방법을 통해서 도금 층과 충전 금속 간의 확산이 일어나 관통 홀이 충전 되어 전기적 신호를 전달할 수 있는 비아가 형성되었음을 확인할 수 있었다.

후 기

본 연구는 한국과학재단 특정기초연구(R01-2004-000-10572-0)지원으로 수행되었으며, 이에 감사드립니다.

참 고 문 헌

1. Yamamoto S., Itoi, K., Suemasu, T. and Takizawa, T : Si through-hole interconnections filled with Au-Sn solder by molten metal suction method, IEEE Transaction on 19-23 Jan. 2003 Page(s):642 - 645
2. NT Nguyen , KT Ng, E. Boellaard , NP Pham , G. Craciun, PM Sarro, and. JN Burghartz. : Through-Wafer Copper Electroplating for RF Silicon Technology, ESSDERC 2002
3. Takizawa T., Yamamoto S., Itoi, K. and

Suemasu, T. : Conductive interconnections through thick silicon substrates for 3D packaging, IEEE Transaction on 20-24 Jan. 2002 Page(s):388 - 391

4. Noda screen Co., Ltd : Introduction to Yuutei(laser via) plug processing, Sep. 2002
5. Okuno A., Fujita N. : Filling the via hole of IC by VPES (Vacuum Printing Encapsulation Systems) for stacked chip (3D packaging), IEEE Transaction on 28-31 May 2002 Page(s):1444 - 1448.
6. 강춘식, 정재필 : 마이크로 접합, 2002