간단한 데이터 스케줄링 기법을 이용한 2 차원 DWT 처리기 설계

김기영(책임저자)*, 신호철*, 이상범**, 김영섭**

* 단국대학교 전자컴퓨터공학과, **단국대학교 전자공학과 교수

초록

본 논문에서는 리프팅 기반의 DWT 구조의 단점을 개선하고자 플립핑(Flipping)기법과 5 단 파이프라인 구조(5 Stage Pipeline)를 적용하여 임계경로가 획기적으로 줄어든 1 차원 DWT 구조를 제안하고 이를 활용하여 JPEG2000 표준의 손실 압축 모드에서 이용되는 9/7 필터계수의 2 차원 DWT 를 수행 할 수 있도록 열 방향 DWT 처리기를 설계하였다. 2 차원 DWT 는 1 차원 DWT 의 처리 결과에 대해 열상의 열(Column) 방향으로 2 차원 처리를 수행해야 하므로 1 차원 결과를 저장하기 위한 한 영상 사이즈 만큼의 메모리 버퍼를 필요로 한다. 기존 N^2이 필요하던 메모리 사이즈를 14N 으로 줄인 2 차원 구조를 제안한다.

1. 서론

DWT(Discrete Wavelet Transform)는 영상의 경계 검출[1, 2], 객체 검출, 잡음 제거 등의 영상처리 분야에 널리 이용되어 왔다. 더구나 차세대 영상압축 표준인 MPEG-4, JPEG2000 과 같은 표준안에 의해 주파수 변환 기법으로 채택되어 그 응용분야가 더욱 늘어남에 따라 효율적인 하드웨어 구현을 위한 VLSI(Very Large Scale Integration Circuit)알고리즘과 구조에 대한 폭넓은 연구가 진행되고 있다[3].

본 논문의 2 장에서는 플립형 기법[4] 5 파이프라인 구조를 적용한 1 차원 DWT 구조와 열(Column) 방향 DWT 처리기 실험 방법을 논하며, 3 장에서는 실험을 통한 실험결과 및 고찰, 4 장은 제안된 알고리즘의 결론으로 이 논문을 마무리 짓겠다.

2. 제안된 알고리즘

열 방향 DWT 를 구현하기 위한 가장 간단한 방법은 아래의 그림 2-1 과 같이 영상의 모든 행에 대하여 1 차원 DWT 가 수행되기를 기다렸다가 행 방향 처리가 완료되면 열 방향으로 분해를 시작하는 방법이 있다.

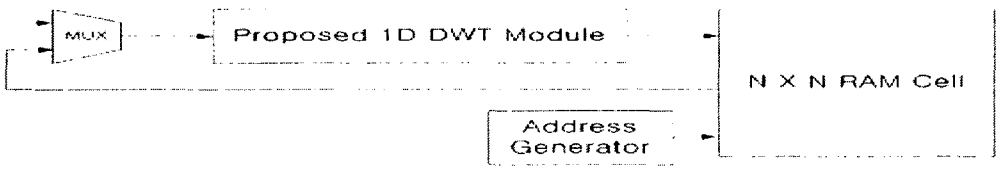

그림 2-1 2 차원 DWT 의 직접 구현 구조

이 경우 영상의 크기가 가로와 세로 각각 N 의 크기라고 했을 때 행 방향의 처리 결과를 임시로 저장할 N^2 만큼의 내부 메모리를 필요로 하며, 상대적으로 많은 전력의 소모가 필수적으로 뒤 따를 수밖에 없고 연산속도 또한 느려지게 된다.

따라서 본 논문에서는 2 차원 변환의 열 방향 처리를 위한 메모리 문제를 해결하기 위해 열 방향 처리기 CP(Column Processor)의 구조를 짝수 행과 홀수 행의 처리 결과가 나오면 바로 열 방향 처리를 시작할 수 있도록 스케줄링 정책을 적용하였고, 그 결과 필요한 메모리 버퍼의 수를 14N 으로 줄일 수 있었다.

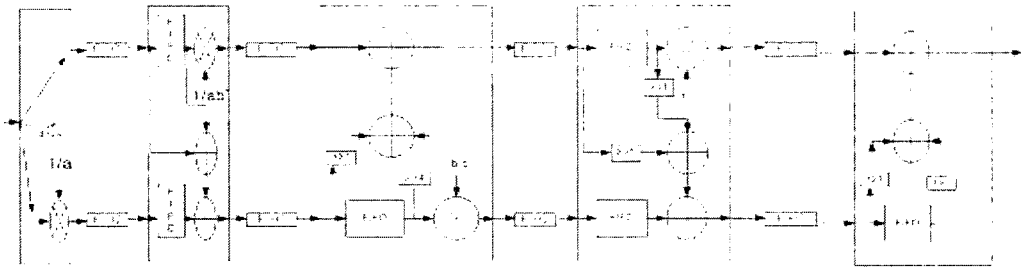

그림 2-2 제안된 열 방향 처리기 구조

그림 2-3 과 같이 제안하는 열 방향 DWT 구조의 데이터 스케줄링 정책을 살펴보면 행 방향 DWT 가 수행 된 짝수 행과 홀수 행의 각 픽셀 데이터에 대해 한 파이프라인 스테이지 처리를 수행하여 쉬프트 레지스터로 구현된 FIFO(First-In First-Out) 메모리에 저장하고, 다음 파이프라인 스테이지에서 이전 짝수 행과 홀수 행의 처리결과와 함께 리프팅 스텝[4]을 수행하도록 하였다. 제안하는 열 방향 DWT 구조는 그림 2-2 와 같이 행 방향 1 차원 DWT 구조의 모든 파이프라인 레지스터와 지연 소자를 N 사이즈의 FIFO 메모리로 교체하여 구현되었다. 따라서 열 방향 처리기에서 필요한 내부 메모리 버퍼의 사이즈를 기존의 N^2 에서 14N 으로 줄였다.

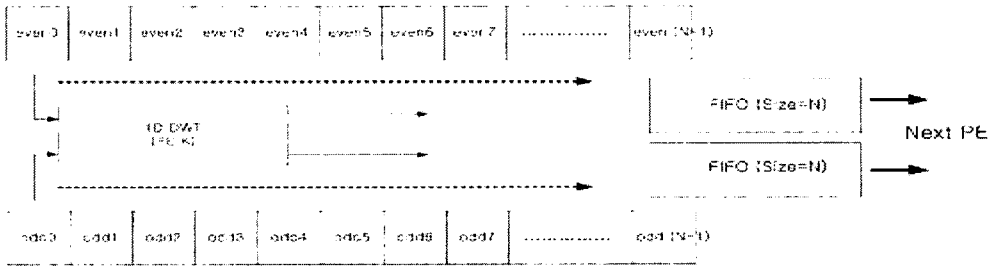

그림 2-3 제안된 열 방향 처리기의 데이터 스케줄링

3. 실험결과 및 고찰(돋움체 11pt, 진하게, 양쪽 혼합 정렬)

제안하는 구조는 Verilog-HDL 을 이용하여 설계하였으며 FPGA 설계 툴인 Xilinx ISE7.1i 를 이용하여 합성 및 P&R 을 수행하였다. 타겟 FPGA 로는 150 만 게이트 용량을 갖는 Spartan3 을 선택하여 P&R 을 수행하고 Post-Place & Route Simulation 모델을 추출하여 Modelsim 상에서 시뮬레이션을 수행하였다. Modelsim 의 시뮬레이션 결과를 검증하기 위해 Visual C++로 제안한 구조를 구현하여 상호 비교하였다.

3.1 설계 결과(행/열 방향 처리기 설계)

행 방향	Target FPGA	Xilinx Spartan 3	열 방향	Target FPGA	Xilinx Spartan 3
	Critical Path / Maximum Clock Frequency	6.939 ns / 144.115 MHx		Critical Path / Maximum Clock Frequency	8.239 ns / 121.378 MHz
	Total Equivalent Gate Counts	19,231 gates		Total Equivalent Gate Counts	247,577 gates

표 3-1 행/열 방향 처리기의 P&R 결과

3.2 설계 검증

본 논문에서 제안한 2 차원 DWT 하드웨어 구조 설계의 시뮬레이션 및 검증을 위한 테스트 벤치는 Verilog-HDL 의 시스템 태스크 함수인 $fopen 과 $readmem 을 이용하여 입력 영상 파일을 읽어 Post P&R 시뮬레이션 모델의 입력 포트에 영상 데이터의 부호 비트 확장을 통해 16 비트의 고정 소수점 포맷으로 변경하여 할당해 주도록 작성되었다. 또한 하드웨어 모델의 출력은 $fopen 과 $strobe 시스템 태스크를 통해 파일로 저장하여 제안한 하드웨어 구조의 Visual C++ 구현모델의 출력과 비교 검증하는 방법을 이용하였다.

그림 3-1 Test Bench 에 의한 결과 화면

그림 3-2 VC++에 의한 결과 화면

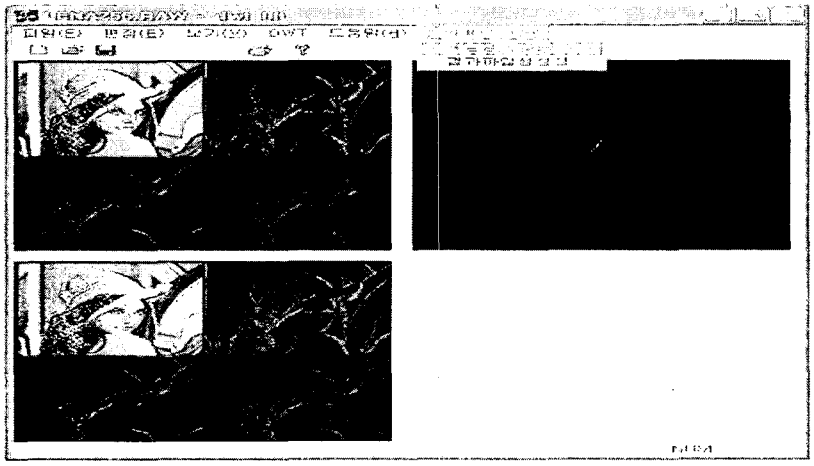

그림 3-3 (그림 3-1)과 (그림 3-2)의 차(Difference) 영상

그림 3-1 은 본 논문에서 설계한 하드웨어에 의해서 시뮬레이션 된 결과 파일을 읽어 출력한 것이며, 그림 3-2 는 제안된 구조를 Visual C++로 구현한 결과를 화면에 나타낸다. 두 결과를 비교하기 위해 차(Difference) 영상을 그림 3-3 에 나타내었다. 차 영상을 구해본 결과 Verilog-HDL 을 이용하여 설계한 하드웨어의 출력 결과가 Visual C++로 구한 2 차원 영상의 1 레벨 DWT 결과와 일치하고 있음을 알 수 있었다.

4. 결론

본 논문에서는 1 차원 행 방향 DWT 연산을 위해 제안된 플립핑 구조를 이용하여 리프팅 스텝 DFG 의 시간 지연 경로 상에 있는 곱셈연산의 수를 줄이고 5 단 파이프라인 구조를 적용하였다. 그 결과 기존 플립핑 구조뿐만 아니라 컨벌루션 기반 DWT 구조보다도 짧은 최대 시간 지연경로 Tm 을 갖게 되어, 그동안 컨벌루션[4] 기반에 비해 긴 시간 지연 경로를 가진 리프팅 스킴 DWT 의 연산속도를 개선할 수 있게 되었다.

또한 제안하는 열 방향 처리기의 경우 쉬프트 레지스터로 구현된 FIFO 메모리를 이용한 간단한 데이터 스케줄링 기법으로 기존에 N^2 의 행 방향 처리결과를 저장하는 메모리 버퍼 사이즈를 14N 으로 줄임으로써 단순히 하드웨어 구현 비용뿐만 아니라 2 차원 DWT 연산을 위해 4 번의 N^2 메모리데 대한 접근 회수를 2 회로 줄여 메모리 접근을 위한 성능상의 또한 소비 전력상의 오버헤드를 줄일 수 있게 되었다.

참고문헌

[1] G. Malla and W. L. Hwang, "singularity detection and processing with wavelets," IEEE Transactions on Information Theory, Vol. 37, pp. 617-643, March 1992.

[2] J. O, Chapa and M. R. Raghuveer, "Matched Wavelets - Their Construction, and Application to Object Detection", IEEE International Conference on Acoustics, Speech and Signal Processing, Atlanta, GA, April 1996.

[3] Tinku Acharya and Ping-Sing Tsai, JPEG2000 standard for image compression : concepts, algorithms and VLSI architectures. A Wiley-Interscience publication, 2005.

[4] C. T. Huang, P. C. Tseng, and L. G. Chen, "Fliping structure : An Efficient VLSI Architecture for Lifting-based Discrete Wavelet Transform", IEEE Transactions on Signal Processing, Vol. 54. No. 4, pp. 1080-1089, April 2004.