

DFT 방법을 위한 새로운 고주파 검사 회로

류지열*• 노석호**

삼성 SDI Co. Ltd.*, 안동대학교 전자공학과**

A New RF Test Circuit on a DFT Technique

Jee-Youl Ryu*• Seok-Ho Noh**

Samsung SDI Co. Ltd.*, Andong National University**

E-mail : jeeyoul.ryu@samsung.com

요 약

본 논문에서는 성능 변수들을 측정하기 위해 검사용 설계 (design-for-testability, DFT) 방법을 기초로 한 새로운 고주파 검사 회로를 제안한다. 이러한 기술은 저잡음 증폭기 (LNA)의 입력 임피던스, 이득, 잡음지수, 입력 전압 정재파비 (VSWR) 및 출력 신호대 잡음비 (SNR)를 제공한다. 이러한 고주파 검사 방식은 DFT 칩에서 측정된 출력 DC 전압과 이론적인 수식을 이용하여 실제 고주파 소자의 중요 사양을 산출할 수 있다.

ABSTRACT

This paper presents a new RF testing scheme based on a design-for-testability (DFT) method for measuring functional specifications of RF integrated circuits (IC). The proposed method provides input impedance, gain, noise figure, input voltage standing wave ratio (VSWR) and output signal-to-noise ratio (SNR) of a low noise amplifier (LNA). The RF test scheme is based on theoretical expressions that produce the actual RF device specifications by output DC voltages from the DFT chip.

키워드

design-for-testability(DFT), 저잡음 증폭기, 이득, 잡음지수, 입력 임피던스

I. 서 론

최근 무선정보통신 시장에 집적회로를 이용한 고주파 소자들이 널리 사용되고 있다. 최첨단 무선통신 시스템에서 이러한 고주파 소자들의 사용 증가로 인해 고밀도, 고속, 저전력, 저가 및 고신뢰성을 필요로 하고 있다. 이러한 성능을 가진 고주파 시스템을 생산하는 데는 고주파 소자들에 대한 신속·정확한 검사방식이 필요하지만, 현재 시행되고 있는 방법들은 검사방식 자체가 복잡할 뿐만 아니라 시간이 오래 걸리고, 가격 증가를 초래한다[1-5].

이러한 문제점을 해결하기 위한 적절한 방법으로 동일한 칩 위에 검사 회로를 삽입하여 고가 장비가 없어도 회로 그 자체의 성능이나 상태를 평가할 수 있는 DFT (design-for-testability, 검사용 설계) 및 BIST(자체내부검사) 방법이 연구되고 있다[1-4,6-7]. 그러나 문헌[6-7]에서 제안한 BIST 방법은 칩 검사를 위한 BIST 회로가 칩 내부에 있기 때문에 칩 전체 면적이 증가할 뿐만 아니라 BIST 회로에 결함이 발생

할 경우 칩 검사가 불가능해지며, 대량생산을 위한 검사방식 적용 등 실용적인 면에서 단점을 안고 있다. 본 논문에서는 대량생산 적용을 위한 방안으로 load 보드위에 설계된 외부 DFT 회로를 이용한 새로운 형태의 고주파 검사방식을 제안한다.

II. 사례 연구

본 연구에서 제안하는 고주파 DFT 회로를 이용한 방법은 고가의 외부 측정 장비를 사용하지 않고도 검사대상이 되는 고주파 소자 (RF DUT, RF Device Under Test) 및 외부의 고주파 검사 회로만을 이용하여 고주파 소자의 중요사양을 측정할 수 있다. 본 연구에서 제안하는 고주파 DUT 회로는 전체 측정 시스템이 간단하고 저가가 되도록 DC 전압을 출력한다. 이렇게 측정된 DC 전압은 고주파 DUT를 위해 본 연구에서 개발한 수식을 이용하여 데시벨과 음 단위로 변환된다.

그림 1은 저잡음 증폭기의 입력 임피던스, 이득,

잡음 지수, 입력 전압 정재파비 및 출력 신호대 잡음 비를 측정하기 위해 본 연구에서 제안하는 고주파 측정 시스템을 나타낸 것이다. 이러한 시스템은 load 보드위에 고주파 저잡음 증폭기와 고주파 DUT 회로로 구성되어 있다. 릴레이 위치는 DFT 회로를 통해 출력 DC 전압, V_{T1} 및 V_{T2} 를 측정하기 위해 제어된다. 외부 고주파 DFT 칩은 검사용 증폭기 (TA; Test Amplifier), 밴드-갭 회로 (band-gap reference) 및 2개의 고주파 피크 검출기 (PD1; Peak Detector 및 PD2)로 구성되어 있다. 그림 2는 고주파 DFT 회로를 나타낸 것이다. DFT 회로는 고가의 외부 측정 장비를 사용하지 않고도 저잡음 증폭기의 성능을 측정하는데 도움을 준다.

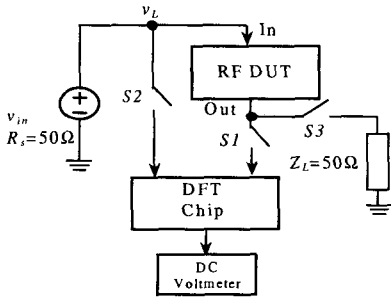


그림 1. 고주파 DUT를 위한 측정 시스템

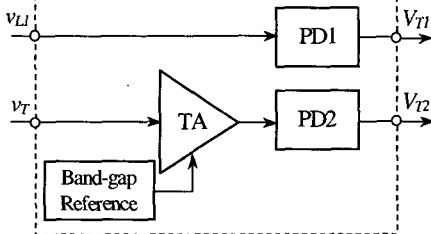


그림 2. 고주파 DFT 칩 하드웨어의 블록 다이어그램

가. 입력 임피던스 (Input Impedance)

그림 1에서 스위치 2와 3을 닫고 스위치 1을 열었을 때 저잡음 증폭기의 임피던스를 측정할 수 있다. 기본 측정 원리는 소스 임피던스(R_s)와 저잡음 증폭기 및 검사용 증폭기의 입력 임피던스들 간의 변화를 측정하는 것이다.

회로 내부에 결함이나 공정상의 미세변동으로 인해 저잡음 증폭기의 입력 임피던스 값에 변동이 있을 경우 그림 2에 나타낸 피크 검출기 2의 출력 직류 전압 V_{T2} 를 측정하여 저잡음 증폭기의 입력 임피던스 변화를 관찰한다. 본 연구에서 제안하는 측정 방법을 증폭기 회로에 적용하기 위해 아래와 같은 두가지 경우를 고려하였으며, 측정은 5GHz와 5.25GHz 사이에서 수행하였고 검사용 증폭기 내부에서 발생할 수 있는 결함이나 미세변동은 없는 것으로 가정한다.

경우 1: 결함이 없는 경우의 저잡음 증폭기
먼저 내부에 결함이 없는 경우 즉, 50ohm의 입력

정합 임피던스를 가진 저잡음 증폭기를 고려한다. 저잡음 증폭기의 입력 임피던스 (Z_1)와 검사용 증폭기의 입력 임피던스 (Z_2)에 인가되는 이론적인 값은

$$V_i = \left| \frac{Z_1}{2Z_1 + R_s} \right| V_{in} \text{ 로 표현된다.}$$

검사용 증폭기의 이득 (G_2)은 출력 전압 스윙을 충분히 증가시키기 위해 3이 되도록 설계되어 있다. DFT 회로는 그림 1에 나타나 있듯이 출력 직류 전압 V_{T2} 를 측정한다. 측정된 V_{T2} 전압을 이용해서 결함이 없는 저잡음 증폭기의 입력 임피던스를 계산하기 위해 식 (1)을 이용한다.

$$Z_1 = \frac{K_1(R_s Z_2)}{K_1(R_s - Z_2) + Z_2} [\Omega] \quad (1)$$

여기서 K_1 은 전압이득으로부터 측정된 상수이다.

경우 2: 결함이 있는 경우의 저잡음 증폭기

저잡음 증폭기는 제작 후 spot 결함(제작된 회로의 어느 한 부분에 점 형태로 존재하는 결함으로 회로의 동작에 치명적인 영향을 미칠 수 있다)으로 인해 저항성 단락이나 개방 결함과 같은 저폭결함 (catastrophic faults)이 발생할 수도 있고, 예기치 않은 공정변수들의 미세변동과 같은 소폭결함(parametric faults)이 발생할 수도 있다[3]. 이러한 경우에 저잡음 증폭기의 입력 정합 특성이 달라지기 때문에 입력 임피던스 크기에 어떤 변화가 발생한다. 결함이 있는 경우에 대한 저잡음 증폭기의 입력 임피던스는 다음 식으로 표현된다.

$$Z_1' = \frac{K_1'(R_s Z_2)}{K_1'(R_s - Z_2) + Z_2} [\Omega] \quad (2)$$

여기서 K_1' 은 결함이 있는 경우의 전압이득으로부터 측정된 상수를 나타낸다.

나. 다른 수식 표현들

결함이 있는 경우와 없는 경우를 고려하면서 저잡음 증폭기의 모든 가능한 고주파 사양에 대한 수식을 유도하였다. 이러한 수식들이 표 1에 요약되어 있으며, 상세한 유도 과정은 참고문헌 [6-7]에 나와 있다.

표 1. 제안된 DFT 기술에 대한 수학적 표현식

| 고주파 사양 | 결함이 없는 경우 | 결함이 있는 경우 |
|---------|--|---|
| 입력 임피던스 | $Z_1 = \frac{K_1(R_s Z_2)}{K_1(R_s - Z_2) + Z_2} [\Omega]$ | $Z_1' = \frac{K_1'(R_s Z_2)}{K_1'(R_s - Z_2) + Z_2} [\Omega]$ |
| 전압이득 | $G_1 = G_{01} \left(1 + \frac{R_s}{Z_1} \right)$ | $G_1' = G_{01}' \left(1 + \frac{R_s}{Z_1'} \right)$ |
| 잡음지수 | $NF = 1 + \left(\frac{Z_1}{R_s + Z_1} \right)^2 \cdot \alpha$ | $NF' = 1 + \left(\frac{Z_1'}{R_s + Z_1'} \right)^2 \cdot \alpha$ |
| 전압 정재파비 | $VSWR = \frac{1 + \Gamma_{in}}{1 - \Gamma_{in}}$ | $VSWR' = \frac{1 + \Gamma_{in}'}{1 - \Gamma_{in}'}$ |

| | | |
|----------|---|---|
| 신호 대 잡음비 | $SNR = \frac{(Z_1 V_m)^2}{2R_1(R_1 + Z_1)^2 \eta} \cdot \frac{1}{NF}$ | $SNR = \frac{(Z_1 V_m)^2}{2R_1(R_1 + Z_1)^2 \eta} \cdot \frac{1}{NF}$ |
|----------|---|---|

III. 결함 모델

본 연구에서는 저잡음 증폭기의 구성 요소인 쌍극성 트랜지스터, 저항, 커패시터 및 인덕터에 대해 다양한 거폭 결함 모델과 미세 결함 모델을 고려하였다 [1, 6-7]. 쌍극성 트랜지스터로부터 발생할 수 있는 결함으로는 베이스-에미터 간, 베이스-콜렉터간, 콜렉터-에미터간의 단락결함과 베이스 개방결함을 들 수 있다. 저항을 포함하여 수동 소자들에 대한 결함모델은 참고문헌[1]에 언급되어 있다.

IV. 회로 분석

본 연구에서 제안하는 DFT 회로의 성능을 증명하기 위해 2단 저잡음 증폭기를 설계하였다. 이것은 IEEE 802.11a local area network에 응용하기 위해 설계되었다. 1V 전원전압에서 동작하며, 저전압 전원 공급에서도 높은 이득과 낮은 잡음지수를 가지도록 첫째 단과 다음 단 사이에 교류 결합 특성을 가진 2단 구조의 CE-CE(공통 에미터-공통 에미터) 토폴로지를 이용하였다.

그림 3은 제안하는 고주파 DFT 회로를 나타낸 것이다. 이러한 회로는 검사용 증폭기와 두 개의 피크 검출기로 구성되어 있다. 인덕터 L_{c01} 은 입출력 임피던스 정합을 위해 사용되었고, 바이어스 저항 R_{05} 와 R_{06} 은 트랜지스터 Q_{04} 가 정류회로로 활성영역에서 동작하도록 사용하였다. 이러한 베이스-콜렉터 다이오드 결합구조는 순방향 바이어스시 베이스에 축적되는 소수 전하의 양이 아주 적기 때문에 고주파 입력 신호의 정류작용에 유리한 특성을 가진다[8-9]. 피크 검출기 출력 전압의 리플을 최소화시키기 위해 R_{07} 와 C_{05} 는 큰 값을 선택하였으며, DFT 회로에 대해서 공정변수 변동 시뮬레이션을 수행하였다.

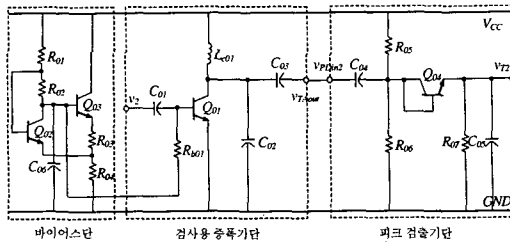


그림 3. 설계된 고주파 DFT 회로

저잡음 증폭기와 DFT 칩에 대한 레이아웃과 포스트 과정을 수행하기 위해 Cadence Virtuoso를 이용하였다. 저잡음 증폭기와 DFT 칩은 Freescale Semiconductor 사의 0.18 μm BiCMOS SiGe 공정으로 제작하였다.

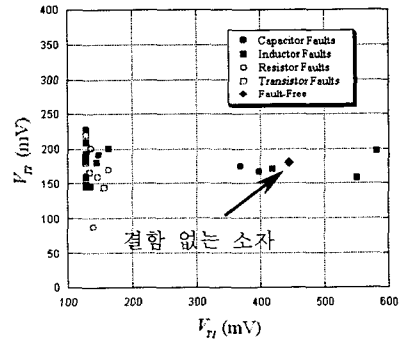
V. 측정 결과

본 연구에서 제안한 DFT 방법을 증명하기 위해 그

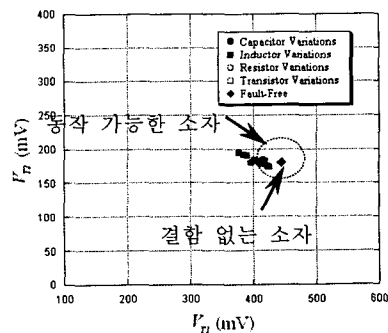
림 1에 나타난 모든 회로 성분들로 구성된 측정 보드를 제작하였다. RF DFT 회로는 표 1에서 열거한 수학적 표현식들을 통해 저잡음 증폭기에 대한 성능 변수들을 계산하는데 사용될 수 있도록 DC 전압 (V_{T1} 및 V_{T2})을 제공한다.

측정에서는 100mV에서 180mV의 진폭을 가진 5GHz의 고주파 입력전원을 사용하였으며, 출력 직류 전압(V_{T1} 과 V_{T2})은 그림 2에 나타난 피크 검출기 1과 2가 정상상태에서 동작하도록 40ms의 정착시간 (settling time) 이후에 상용의 DC 전압계를 사용하여 측정하였다.

그림 4(a)와 (b)는 저잡음 증폭기의 내부에서 발생한 단락이나 개방 결함과 같은 거폭 결함을 포함하여 공정상의 미세 결함들에 대한 출력 직류 전압의 scatter plot을 나타낸 것이다. 결함이 없는 저잡음 증폭기에 대한 출력 직류 전압 V_{T1} 과 V_{T2} 는 각각 415.6mV 및 175.2mV를 보였다. 그림4(a)에서도 알 수 있듯이 거폭 결함들의 대부분은 V_{T2} 의 변화에 대해 더 낮은 값의 V_{T1} 에 집중되어 나타나는 현상을 보였다. 또한 저항과 트랜지스터로부터 발생한 결함의 경우, 결함이 없는 경우와 비교해 볼 때 출력 전압 V_{T1} 이 훨씬 더 원편에 집중되어 나타나는 현상을 보였다. 이 결과는 본 연구에서 제안하는 DFT 방식이 다양한 종류의 결함을 검출하는데 적합함을 보여준다.



(a) 거폭 결함 (catastrophic faults)



(b) 공정변수 결함 (parametric variations)

그림 4. (a) 거폭 결함 및 (b) 공정변수 결함에 대한 scatter plot

그림4(b)는 미세 변동에 대한 결과를 나타낸 것으로, 이러한 결함들은 거품 결함들이 가지는 경향에 비해 상대적으로 작은 변동을 보였고, 결함이 없는 결과 값 근처에 집중되어 나타남을 알 수 있다.

표 2는 그림 4에서 도시된 결과 중 제작 후 실제 회로에서 발생하기 쉬운 몇 가지 대표적인 결함에 대해 V_{T1} 과 V_{T2} 전압 값을 나열한 것으로, 트랜지스터 Q_1 과 인덕터 L_b 에서 발생할 수 있는 결함들을 고려하였다. 이러한 결과는 표 3에서 언급하는 저잡음 증폭기의 입력 임피던스의 크기, 전압이득, 전압이득 잡음지수를 얻는데 사용된다. 표 2로부터 알 수 있듯이 결함이 없는 경우와 결함이 있는 경우 측정된 값에 현저한 차이가 나타났다.

표 2. DFT 회로에 의해 획득된 V_{T1} 과 V_{T2}

| 결함 | 측정 전압 | |
|--------------|---------------|---------------|
| | V_{T1} [mV] | V_{T2} [mV] |
| 결함없는 경우 | 415.6 | 175.2 |
| Q_1 베이스 개방 | 127.0 | 253.0 |
| Q_1 B-E 단락 | 127.6 | 238.3 |
| Q_1 E-C 단락 | 177.7 | 153.1 |
| $L_b + 30\%$ | 412.6 | 190.5 |
| $L_b + 40\%$ | 408.6 | 196.1 |
| $L_b + 50\%$ | 405.0 | 199.9 |

표 3은 표 2에서 열거된 결과들을 이용하여 저잡음 증폭기의 입력 임피던스의 크기, 전압이득, 잡음지수, 입력 전압 정재파비 및 출력 신호대 잡음비를 각각 나열한 것이다.

표 3. DFT 및 기존의 고주파 검사 방식의 비교

| 결함 | 검사 | 외부 장비를 이용한 방법 | | | | | 제한한 off-chip DFT | | | | |
|--------------|----|---------------|--------|-------|--------------------|--------------------|------------------|--------|-------|--------------------|--------------------|
| | | $ Z_{in} $ | G_1 | NF | VSWR _{in} | SNR _{out} | $ Z_{in} $ | G_1 | NF | VSWR _{in} | SNR _{out} |
| | | [Ω] | [dB] | [dB] | [dB] | [dB] | [Ω] | [dB] | [dB] | [dB] | [dB] |
| 결함없는 경우 | | 40.81 | 17.29 | 2.821 | 1.2245 | 76.71 | 41.35 | 16.85 | 2.832 | 1.1872 | 76.96 |
| Q_1 베이스 개방 | | 4116 | -84.48 | 100.3 | 82.333 | -7.60 | 416.5 | -89.47 | 52.50 | 8.3298 | -6.22 |
| Q_1 B-E 단락 | | 100.0 | -39.66 | 35.70 | 2.000 | 49.55 | 198.3 | -42.49 | 21.40 | 3.9658 | 47.61 |
| Q_1 E-C 단락 | | 32.17 | 0.445 | 14.34 | 1.5543 | 63.67 | 32.95 | 2.116 | 9.256 | 1.5174 | 68.92 |
| $L_b + 30\%$ | | 60.72 | 15.08 | 2.723 | 1.2144 | 79.51 | 60.78 | 14.33 | 2.900 | 1.2156 | 79.34 |
| $L_b + 40\%$ | | 66.34 | 14.78 | 2.947 | 1.3267 | 79.84 | 67.44 | 13.81 | 3.193 | 1.3488 | 79.70 |
| $L_b + 50\%$ | | 72.48 | 14.46 | 3.192 | 1.4496 | 80.10 | 72.58 | 13.43 | 3.466 | 1.4516 | 79.88 |

표 3에 열거되어 있듯이 결함이 없는 저잡음 증폭기의 경우, 제한된 DFT 방법은 기존의 외부 고가 장비를 이용한 검사방법과 입력 임피던스의 크기, 전압이득, 잡음지수, 입력 전압 정재파비 및 출력 신호대 잡음비에 대해 각각 매우 작은 오차를 보였다. 이러한 결과들은 본 연구에서 제안하는 DFT 검사 방법이 저잡음 증폭기의 성능 검사에 적합함을 암시한다.

본 연구에서 제안하는 자체내부검사 방법을 이용

한 결과 거품 결함에 대해서는 100%의 결함 검출능력을, 미세 변동에 대해서는 90.5%의 결함 검출능력을 각각 보였다.

VI. 결 론

본 논문은 5GHz 저잡음 증폭기의 입력 임피던스의 크기, 전압이득, 잡음지수, 입력 전압 정재파비 및 출력 신호대 잡음비를 측정할 수 있는 새로운 형태의 저가 고주파 DFT(Design-for-Testability, 검사용 설계) 회로 설계 및 검사 기술을 제안하였다. 이러한 방법은 입력 임피던스 정합과 출력 전압 측정을 위해 이용되었다. DFT 회로는 1V의 공급전압에서 동작하도록 설계되었으며, 0.18 μ m SiGe 공정으로 제작되었고, DFT 회로는 검사용 증폭기와 두 개의 피크 검출기로 구성되었다. 본 방법에서는 저잡음 증폭기의 성능을 측정하기 위해 동일 load 보드 위에 DFT 회로를 장착하였다. 본 연구에서 제작된 DFT 회로가 기존의 고가 검사 장비 대신 고주파 회로의 결함 검사나 성능 검사에 유효하게 적용될 수 있으리라 기대한다.

참고문헌

- [1] J.-Y. Ryu, B. C. Kim, S.-T. Kim, and V. Varadarajan, "Novel Defect Testing of RF Front End Using Input Matching Measurement," *9th IEEE IMSTW*, Vol. 9, pp. 31-34, June 2003.
- [2] D. Lupea, U. Pursche and H.-J. Jentschel, RF-BIST: Loopback Spectral Signature Analysis, *IEEE Proc. of the 2003 DATE Conference and Exhibition*, pp. 478-483, Mar. 2003.
- [3] J. Dabrowski, BiST Model for IC RF-Transceiver Front-End, *2003 Proceedings of the 18th IEEE Int. Sym. on DFT in VLSI SYSTEMS*, pp. 295-302, Nov. 2003.
- [4] B. R. Veillette and G. W. Roberts, A Built-in Self-Test Strategy for Wireless Communication Systems, *Proceedings of the 1995 ITC*, pp. 930-939, Oct. 1995.
- [5] M. Soma, "Challenges and Approaches in Mixed Signal RF Testing," *IEEE Proc.*, pp. 33-37, 1997.
- [6] J.-Y. Ryu, B.C. Kim and I. Sylla, "A New BIST Scheme for 5GHz Low Noise Amplifiers," *IEEE 9th European Test Symposium*, pp. 228-233, 2004.
- [7] Jee-Youl Ryu and Seok-Ho Noh, Novel Defect Testing of RF Front End Using Input Matching Measurement *Conference of The Korean Institute Of Maritime information & Communication Science*, Vol. 7, No. 2, pp. 818-823, October 2003.
- [8] G. Gonzalez, *Microwave Transistor Amplifiers: Analysis and Design* 2nd Edition, Prentice Hall, pp. 212-293, 1997.
- [9] Gray, Hurst, Lewis and Meyer, *Analog and Design of Analog Integrated Circuits* 4th Edition, New York: John Wiley & Sons, Inc., 2001.