Cell 마이크로프로세서 설계 개념과 아키텍쳐 분석

문상국

목원대학교 정보전자영상공학부

Design Concept and Architecture Analysis of Cell Microprocessor

Sangook Moon

Mokwon University, School of Information-Electronics-Image Engineering

E-mail : smoon@mokwon.ac.kr

요 약

마이크로프로세서 제조업체의 대명사로 불리는 인텔이 비메모리 시장을 거의 독점하고 있는 가운데, IBM, Sony, Toshiba 이 세 개의 기업이 도전적으로 힘을 합하여 차세대 엔터테인먼트 프로세서라고 불리는 멀티코어 기반의 Cell 프로세서를 개발하였다. Cell 프로세서는 기존의 Power 라는 아키텍쳐를 기반으로 하는 코어 PPE (Power Processor Element)를 중심으로 8개의 데이터 처리용 코어 SPE(Synergistic Processor Element)를 포함하고 있으며, SIMD(Single Input Multiple Data) 데이터 처리 방식을 지원하여 데이터 처리량이 많은 멀티미디어나 게임 어플리케이션을 처리하는 데 최적화되도록 설계된 프로세서로서, 기본적으로는 Power 마이크로프로세서 아키텍쳐 및 구조에 대한 혁신적인 확장 기능을 포함하고 있다. 본 논문에서는 현존하는 프로세서 중 가장 성능이 우수하다고 평가받는 Cell 마이크로프로세서의 설계 개념과 그 구조에 대하여 분석한다.

ABSTRACT

While Intel has been increasing its exclusive possession in the system IC semiconductor market, IBM, Sony, and Toshiba founded an alliance to develop the next entertainment multi-core processor, which is named CELL. Cell is designed upon the Power architecture and includes 8 SPE (Synergistic Processor Element) cores for data handling, and supports SIMD architecture for optimal execution of multimedia, or game applications. Also, it includes expanded Power microarchitecture. In this paper, we analyzed and researched the Cell microprocessor, which is evaluated as the most powerful processor in this era.

키워드

cell, 마이크로프로세서, Power architecture

Ⅰ. 서 론

새로운 멀티미디어 프로세서를 설계하는 데 있어서, 가장 우선적으로 고려되어야 할 사항은 게임과 멀티미디어 응용에서의 탁월한 성능, 사용자와 네트워크에 대한 실시간 반응성, 광범위한 플랫폼에의 적용으로 하였고, 또한 이 모든 계획들을 구현하여 2005년 이내 제품으로 소개하는 것을 목표로 프로세서 설계가 진행되었다.

1.1. 게임, 멀티미디어 응용에서의 탁월한 성능

게임이나 멀티미디어 응용에서의 탁월한 성능은 메모리 대기시간 (latency)이나 대역폭, 전력, 단순히 파이프라인 단계를 늘려 얻은 빠른 주파수에서의 수확체감 (diminishing return) 등이 원인이 되어 제한이 되어 왔다.

첫번째, 가장 큰 원인은 증가된 메모리 대기시

간으로 인한 메모리 대역폭의 한계이다. "메모리 벽 (memory wall)"이라고도 알려져 있는 이 문제는, DRAM의 대기시간이 프로세서의 높은 주파수를 따라가지 못해 프로세서의 빠른 속도로 기대되는 이득의 효용성이 점점 줄어든다는 점이다. 따라서, 유효 (effective) 대기시간은 시대를 거듭할수록 증가하게 된다. 따라서, 요구되는 프로세서의 구조는 메모리 대기시간을 줄인 구조로, 동시에 많은 메모리 작업을 가능하게 함으로써 유효 메모리 대역폭을 넓힐 수 있어야 한다.

두번째, 전력과 전력밀도 면에서도, 새로운 냉각기술이 필요한 시대가 왔다. 기술적인 측면에서 트랜지스터의 크기가 너무 작아져서 단순한 스케일 비율로 축소하는 설계방식은 더 이상 사용할 수 없게 되었다. 따라서 고성능을 유지하는 동시에, 전력면에서 효율성을 향상시키는 방안이 필요하다.

세번째로 프로세서의 성능을 제한하는 요인은, 단지 파이프라인을 세분화하여 단계 수를 늘림만으로써는 프로세서의 성능 향상을 추구하지 못하는 수확체감의 시점에 도달했다는 것이다. 이는 캐쉬 미스에 따른 명령어 보급 대기시간 (latency)이 길어지는 만큼, 빨라진 프로세서 클럭속도로 얻는 성능향상이 이에 따라가지 못함으로 발생하는 현상이다. 실제로 한 클럭 사이클에 한 개 혹은 두 개의 명령어를 이슈 (issue)하는 프로세서가 그보다 많은 개수의 명령어를 이슈하는 프로세서보다 높은 주파수를 효율적으로 사용한다고 알려져있다. 따라서, 파이프라인 단계의 개수를 최소화하는 동시에 명령어 이슈를 효율적으로 수행하는 마이크로아키텍쳐에 대한 연구가 필요하다.

1.2. 사용자와 네트워크에 대한 실시간 반응성

처음부터, Cell 프로세서는 사용자들에게는 가능한 최고의 경험을 주고, , 네트워크에 대해서는 가능한 최상의 반응성을 가질 것이라고 기대되었다. 게임 개발에 있어서, 사용자들을 만족시키기 위해서는 영상에 대한 끊김없는 모델링을 지원함은 물론, 음향효과나 감각에 대한 피드백을 실시간으로 지원해야 한다. 따라서 Cell 프로세서는 광범위한 실시간 연산에 대한 지원이 필요하다. 이는 프로세서가 실시간 운영체제는 물론, 인터넷 접속을 위한 응용프로그램을 구동시키기위한 비실시간 운영체제까지 동시에 지원해야 한다는 것을 의미한다.

1.3. 광범위한 플랫폼에의 적용

Cell 프로젝트는 차세대 엔터테인먼트 시스템을 위한 프로세서를 개발한다는 목적 하에 주도되었다. 하지만, 미래의 여러 가전 플랫폼이 뒤섞인 '디지털 홈' 시대를 고려해 볼때에, 사용자와 광대역 네트워크를 최적으로 지원하기 위해서는 광범위한 어플리케이션에 대한 플랫폼의 지원을 고려해야 한다. 따라서 Cell 프로세서는 Broadband Processor Architecture (BPA)의 개념을 확장하는 동시에 이 구조에 최적화된 소프트웨어를 개발하기 위하여, 공개 소프트웨어 개발 커뮤니티를 지원하고 있다.

1.4. 2005년 이내 소개

Cell 프로세서를 만들기 위한 협력사들의 공동된 목표는 프로세서의 향상된 성능, 반응성, 보안성, 그리고 이를 2005년도에 소개하는 것이었다. 그러기 위해서는 고성능의 프로세서를 4년 이내에 만들어야 했고, 그러기 때문에 이 모든 성능을 어느 정도 따를 수 있는 기존 아키텍쳐 모델이 필요했고, 따라서 Power Architecture를 Cell 프로세서의 기본 모델로 삼았다.

II. 설계 개념과 아키텍쳐

BPA는 64비트Power 아키텍쳐를 확장시킨 것으로, DMA (Direct Memory Access)와 실시간 관리를 위한 유닛을 구비한 보조 프로세서들을 수반한다. 1세대 Cell 프로세서는 2중 쓰레드 (thread), 명령어 2중 이슈, 64비트PPE (Power Processor Element) 와 8개의 보조 프로세서인 SPE (Synergistic Processor Element), 내장 메모리 제어기, 설정 가능한 I/O 인터페이스로 이루어져 있다. 이 유닛들은 연접해있는 EIB (Element Interconnect Bus)를 통하여 연결되어 있다. (그림 1)

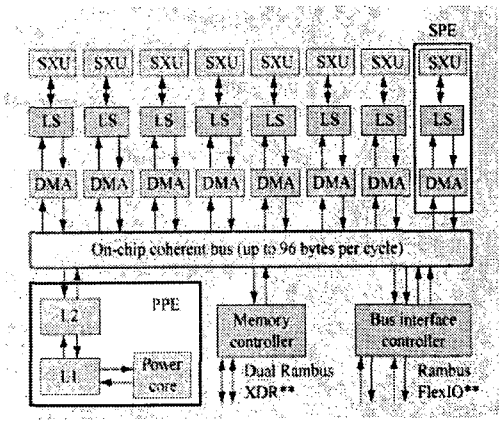

그림 1. Cell 프로세서의 블록도 (http://www.research.ibm.com/journal/rd/494/kahle.html)

설계에 있어서 중요한 특징은 다음과 같다.

• 빠른 동작속도와 낮은 공급전원 : 프로세서로 하여금, 최소 전압으로 구동되게 하고, 따라서 최소 전력을 소비하며, 동시에 고속의 주파수를 유지하면서 고성능을 나타내는, 이 모든 회로를 구성하는 요소들이 최적으로 균형을 이루는 고속의 동작속도를 보인다.

• Power Architecture 호환성 : BPA 아키텍쳐는 64비트 Power 아키텍쳐와 완벽하게 호환되므로, virtualization, 대용량 페이지 사이즈 지원 등과 같은 최신 Power 아키텍쳐의 특징을 포함함으로써 기존의 운영체제를 사용할 수 있는 장점이 있고, 약간의 수정을 통한 기존 Power 응용프로그램도 작동이 가능하다.

SIMD (Single Instruction, Multiple Data) 아키텍쳐 : 최근 주가 되는 PC 프로세서들이 멀티미디어 응용에 탁월한 성능을 보이는 SIMD 명령어 지원을 채택하고, SIMD를 염두에 두지 않은 코드들까지 SIMD 명령어를 지원하도록 컴파일하는 기술이 등장하였다. PPE와 SPE에 SIMD 명령어 지원 기능을 채택함에 따라, Cell로의 소프트웨어 이전 (migration)을 단순화 할 수 있도록 하였다.

• PPE (Power processor element) : PPE는 64비트 Power 아키텍쳐와 호환되며, 빠른 동작 주파수와 전력소모의 효율성에 최적화된 구조를 가지고 있다. 이전 아키텍쳐의 파이프라인 단계의 처리시간을 거의 반으로 줄인 것에 비해, 전체 파이프라인의 단계 수는 23단밖에 되지 않는다. 마이크로아키텍쳐는 지연시간을 최소화 하기 위하여 "짧은 배선 (short-wire)"을 사용했다는 특징을 가진다. 명령어를 순차적으로 이슈하는 (in-order) 2중 이슈 구조로 되어 있으며, 명령어 이슈 기회를 최대화하고 파이프라인 단 수를 줄이기 위하여 동시에 두 개의 계산 쓰레드로부터 명령어를 인터리브 (interleave)한다. 32KB의 1차레벨 캐쉬를 명령어와 데이터에 대해 각각 가지고 있으며 512KB 크기의 2차레벨 캐쉬를 가진다. 프로세서는 크게 3개의 유닛으로 구성되며, 명령어 fetch, decode, branch, issue, completion을 담당하는 IU(Instruction Unit), 고정소수점 명령과 모든 로드/스토어 (load/store) 형태의 명령을 담당하는 고정소수점 실행 유닛 (XU; fiXed point Unit), 벡터 연산과 부동소수점 연산을 담당하는 벡터 스칼라 유닛 (VSU; Vector Scalar Unit)으로 이루어진다.

• SPE (Synergistic processor element) : SPE에는 새로운 명령어 세트를 구현하였으며, 이 명령어 세트는 계산량이 많은 미디어 어플리케이션에 있어서의 전력소모와 성능 제어에 최적화 되어 있다. 지역 저장용 메모리로서 256KB의 단일 포트 SRAM을 가지고 있으며, 명령어와 데이터를 저장한다. 데이터와 명령어는 내장된 메모리 제어 유닛에 의해 DMA 명령을 통하여 시스템 메모리로부터 전달된다. PPE, SPE가 모두 Power 아키텍쳐의 페이지 테이블과 세그먼트 테이블을 따르기 때문에, 모든 주소들이 공유될 수 있고, 따라서 운영체제는 메모리를 공유하고 자원 관리를 일관된 방식으로 할 수 있다. 내장된 DMA 유닛은 1) SPE에서 큐에 DMA 명령어를 넣거나, 2) 지역 저장용 메모리에 명령어 목록을 넣어두고 차후 하나의 "DMA 목록" 명령어를 실행하거나, 3) 시스템의 다른 프로세서가 store 혹은 DMA-write 명령어를 사용하여 지역 DMA 큐에 명령어를 삽입하는, 세가지 방식 중 하나로 프로그램 된다.SPE의 실행 유닛은 128 비트의 데이터 폭을 가지며, 128 엔트리의 대형 레지스터파일이 존재하여 컴파일러가 큰 규모의 명령어를 재정렬 (reorder) 할 수 있도록 한다. 사이클 당 2개 까지의 명령어가 이슈되는데, 한 이슈 슬롯에는 고정/부동 소수점 연산을, 다른 이슈 슬롯에는 로드/스토어와 바이트 치환 연산, 분기 연산을 담당한다. 단순한 고정 소수점 연산은 2 연산 사이클이 소모되며, 단정도 (single-precision) 부동 소수점 연산과 로드 명령어 실행시에는 6 연산 사이클이 소모된다 (그림 2).

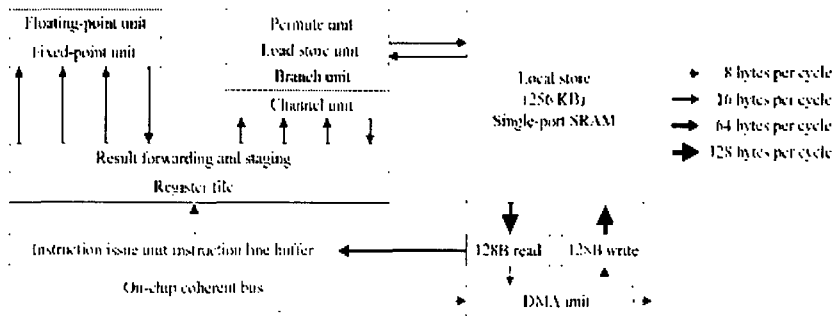

그림 2. SPE 블록 다이어그램

• 높은 대역폭의 통일성 있는 구조 : 메모리 대기시간으로 제한되는 성능을 개선시키기 위해서는 메인 메모리와, PE간, 그리고 Cell 프로세서 내의 인터페이스들의 대역폭을 개선해야 한다. 1세대 Cell 프로세서에서 저비용으로 선택한 방법은 차세대 램버스 XDR DRAM을 채택하는 것이었다. 이 메모리는 32비트 메모리 채널당 12.8GB/s의 속도를 구현하는데, Cell에서는 메모리 채널이 2개이므로 도합 25.6GB/s의 대역폭을 갖는다.

• 높은 대역폭의 유연한 (flexible) I/O : Cell 프로세서는 높은 대역폭을 가지는 맞춤형 (configurable) 인터페이스를 채택하여, 본격적인 멀티프로세서로의 여러 형태로 재구성할 수 있도록 하였다. 인터페이스로는 1바이트 크기의 Rambus RRAC FlexIO가 있어, 7개의 보내기용 링크와 5개의 받기용 링크를 제공한다. (그림 3)

풀커스텀 (Full-custom) 구현 : 1세대 Cell 프로세서는 저전력을 고려하여 최적화된 풀커스텀 디자인으로 구현되었다. 하지만 다양한 기능의 래치의 사용, 배선에 특별히 중점을 둔 커스텀 디자인, 합성된 제어 로직을 다시 커스텀 디자인으로 변경하는 기법, 전력 배분과 열 소실을 고려한 전열엔지니어링 기법, PPE와 SPE 개수에 따른 디자인의 모듈화, 복수의 클럭을 쓰지 않는 대신 10ps 의오차 (skew)만을 허용하는 클럭 채택 방식 등 기존 SoC (System on a Chip)들과는 달리, 풀커스텀 레이아웃에 많은 차이점을 둔다.

• 광범위한 편재형 (pervasive) 기능 : 프로세서 내에 power-on reset 셀프 테스트, 범용 테스트, 하드웨어 디버깅, 열/전력 관리와 모니터링하는 기능을 내장한다. 이 구조는 프로세서가 최대 주파수로 동작하는 경우에도 사이클별 래치 상태를 모니터 할 수 있다.

이 외에도, 패키징방식으로 FC PBGA (flip-chip plastic ball grid array)를 개발하여 효율적인 전력 배분을 할 수 있게 하였고, 90nm의 CMOS SOI 공정을 사용하는 특징을 가지고 있다.

III. 결 론

현재 고성능 프로세서 기술은 IT 산업 전 분야에 걸쳐 요구되고 있다. Cell과 같은 고성능 프로세서는 비메모리 반도체 분야의 핵심 컴포넌트로서 서버, 워크스테이션과 PC의 중앙처리 장치뿐만 아니라, 3D graphic 게임기, 디지털 음향기기, 디지털 비디오 기기, 디지털 TV 등의 멀티미디어 기기의 주 연산 장치로서 중요한 핵심 부품의 위치를 차지하고 있다.

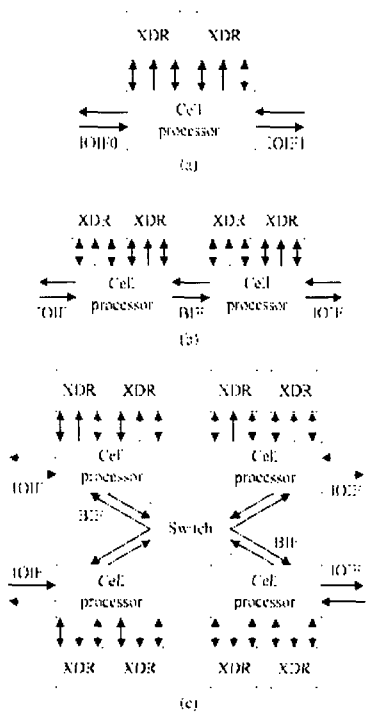

그림 3. Cell 시스템의 가능한 재구성 다이어그램

본 고에서 살펴본 바가 비록 Cell 프로세서의 모든 면을 평가한 것은 아니지만, 이 개략적인 설명과 전체적인 설계 방법에 대한 개념이 전달되도록 가능한 자세히 분석하였다. 현재, 넓은 의미에서 성능을 비교하는 것이 아직은 이르지만, 이제까지 구현된 어플리케이션으로서 영상처리의 멀티미디어 코덱이나 스트리밍 암호 어플리케이션에 대해서는 단연코 Cell이 가장 최고치의 성능을 보여준다.

참고문헌

[1] J. A. Kahle, Mn N. Day, H. P. Hofstee, C. R. Johns, T. R.Maeurer, D.Shippy, "Introduction to the Cell multiprocessor", IBM Journal of Research and Development, pp. 589 ~ 604.

[2] http://www.research.ibm.com/journal/rd/494/