

Ballistic FinFET Quasi-2D 모사실험 연구

이정호

홍익대학교 전자공학과

비휘발성(Non-volatile) 메모리에 사용되는 단위(Unit) 소자인 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)의 경우 메모리 집적화에 가장 큰 문제가 되는 부분은 소자 자체의 크기를 작게 만드는 스케일 다운(Scale down)이다. MOSFET의 경우 단채널 효과(Short channel effect)로 인해 소자의 채널 길이를 줄이는 방법에는 한계가 있다. MOSFET 소자를 단위 소자로 사용하여 비휘발성 메모리를 만들 경우 플로팅(Floating) 게이트와 제어 게이트로 구성된 2중 다결정 실리콘 게이트 구조를 사용한다. 플로팅 게이트 EEPROM에서는 플로팅 전극 아래에는 터널링(Tunneling) 게이트 산화막이 존재하는데 소자의 스케일 다운에 따라 이 산화막의 두께를 8[nm] 이하로 얇게 구성할 경우 많은 문제점들이 발생한다.[1] 플로팅 게이트 내부에 전자가 없으면 MOSFET처럼 게이트에 인가한 전압으로 채널에 전자가 모여 전류가 흐르기 시작하게 되며, 반대로 플로팅 게이트에 전자가 축적되면 제어 게이트에 인가된 전압에 의해 채널을 줄어들게 만들어 전류 흐름을 방해하게 된다. 플로팅 게이트에 전자가 있을 경우 전류를 흐르게 하기 위해서는 제어 게이트에 인가한 전압이 전자가 없을 경우보다 높아야 한다. 비휘발성 메모리 소자에서 플로팅 게이트에 전자를 주입하기 위해서는 드레인 전압으로부터 전계에 의한 에너지를 얻는 소위 열 수송자(Hot carrier)를 주입함으로써 얻어진다. 이때 플로팅 게이트에 축적된 전자는 밖으로 빠져나올 수 없는 성질을 이용하여 두 가지 상태 '0'과 '1'을 정의할 수 있고 이 두개의 상태를 이용해 비휘발성 메모리 소자로 사용할 수 있게 된다. 기존의 MOSFET은 채널길이를 50 ~ 30[nm]까지 줄일 수 있는데 이는 게이트 산화막 두께를 1[nm]까지 줄일 수 있기 때문이다. 또한 플래시 메모리를 프로그램할 때 열전자(Hot electron)를 주입하는 방식으로 이루어지는데 높은 에너지를 갖는 열전자가 산화막을 터널링해서 이동할 경우 산화막에 손상이 생기기 때문에 소자의 내구성을 보장하기 위해서는 일정 수준 이상의 산화막 두께가 요구된다. 반면 산화막의 두께가 얇을 경우에도 터널링 현상이 발생하여 전자들이 채널로 빠져나가게 되어 유지(retention) 특성이 나빠지게 된다.

본 논문에서는 단순히 소자의 채널을 줄이는 메모리 집적도를 개선하는 문제점을 해결하고자 소자의 구조를 바꾸어 메모리 소자의 스케일 다운 특성을 개선하기 위한 SOI(Silicon on Insulator) 웨이퍼 상에 채널이 될 실리콘 필름을 폭 50[nm]보다 작은 수직 구조물을 만들고 양쪽에 게이트 전극을 배치하는 이중 게이트 FinFET의 타당성을 검토하고자 이를 수치해석적 방법에 근거하여 모사실험을 시도 하였다.

[참고문헌]

1. E. F. Runnion, S. M. Cladstone IV, R. S. Scott, D. J. Dumin, Clemson, L. Lie, J. Mitros, "Limations on Oxide Thickness in Flash EEPROM Applications", *Reliability Phys Symposium*. 93 (1996).