

Strained-SOI (sSOI) n-/p-MOSFET에서 캐리어 이동도 증가

김관수, 정명호, 최철중*, 조원주

광운대학교 전자재료공학과, 한국전자통신연구원 IT 융합 부품 연구소*

Carrier Mobility Enhancement in Strained-Si-on-Insulator (sSOI) n-/p-MOSFETs

Kwan-Su Kim, Myung-Ho Jung, Chel-Jong Choi*, Won-Ju Cho

Department of Electronic materials engineering, Kwangwoon Univ

Nano-Bio Electronic Devices Team, Electronics and Telecommunications Research Institute*

Abstract : We fabricated strained-SOI(sSOI) n-/p-MOSFETs and investigated the electron/hole mobility characteristics. The subthreshold characteristics of sSOI MOSFETs were similar to those of conventional SOI MOSFET. However, The electron mobility of sSOI nMOSFETs was larger than that of the conventional SOI nMOSFETs. These mobility enhancement effects are attributed to the subband modulation of silicon conduction band.

Key Words : Strained-Si, SOI, Mobility enhancement, Subband modulation

1. 서론

반도체 소자가 100 nm 이하로 줄어들면서 MOSFET의 미세화에 따른 소자제작 공정 및 동작 특성의 문제점이 심각하게 대두되고 있다. 따라서 이러한 한계를 극복하기 위해 새로운 소자 기술이 필요하게 되었다. 특히 새로운 물질과 새로운 소자구조를 이용한 MOSFET은 물리적 한계를 극복하고 채널에서의 캐리어 이동도를 향상시킬 수 있다. 이러한 점에서 Silicon-on-Insulator (SOI) 기술과 strained-Si 기술의 조합은 고속 CMOS 기술에서 매우 전망이 높다. 격자상수가 큰 SiGe위에 Si를 형성함으로써 Si층에 tensile strain을 발생시키며, conduction band의 subband splitting을 발생하게 되어 electron mobility를 향상시킨다. 그러나 hole의 경우에는 compressive strain이 발생하였을 때 mobility가 증가된다 [1,2].

본 논문에서는 tensile strain이 형성되어있는 strained SOI (sSOI) 기판을 이용하여 n-/p- MOSFET을 제작하고, electron과 hole의 이동도 특성은 conventional SOI n-/p-MOSFET과 비교 분석하였다.

2. 실험

sSOI의 두께가 40 nm인 SOITEC사의 기판을 이용한 sSOI n-/p-MOSFETs의 제작과정은 그림 1에 나타내고 있다. Mesa isolation을 이용해 소자간 분리를 한 후, 880 °C에서 10분간의 열산화시켜서 8 nm 두께의 게이트 산화막을 성장시켰고, 게이트 전극으로 LPCVD를 이용하여 약 100 nm의 인이 도핑된 poly-Si를 증착하였다. 게이트 패턴 후, 플라즈마 도핑 방법을 이용하여 소스와 드레인을 형성하였다. 880 °C, N₂ 분위기에서 30 초간 급속 열처리 공정을 수행하였으며, 마지막으로 H₂/N₂ 분위기에서 30 분간 후속 열처리 공정을 수행하였다.

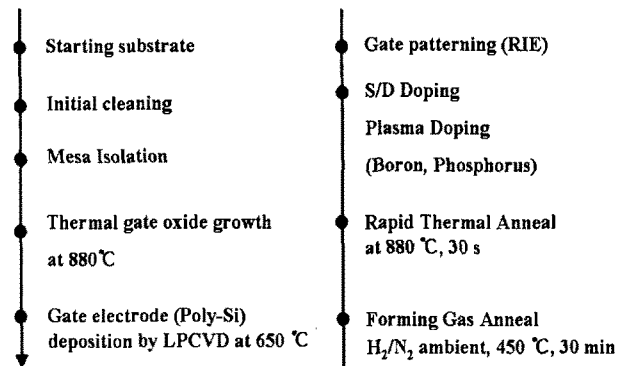


그림 1. sSOI n-/p-MOSFET 제작 과정.

3. 결과 및 고찰

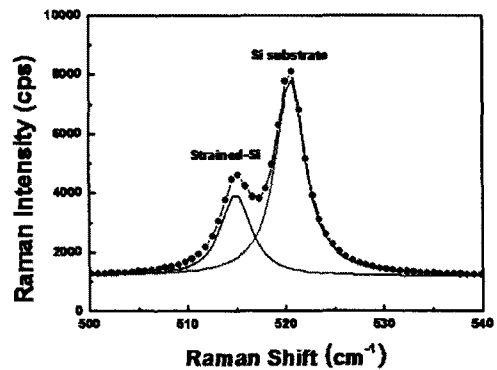
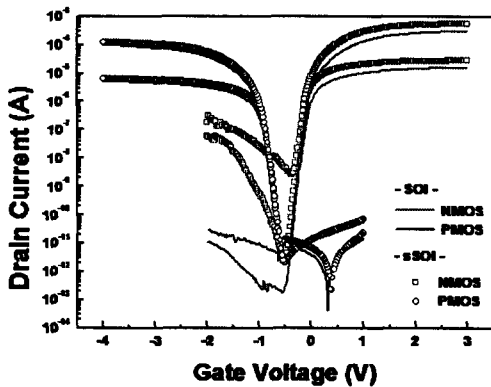


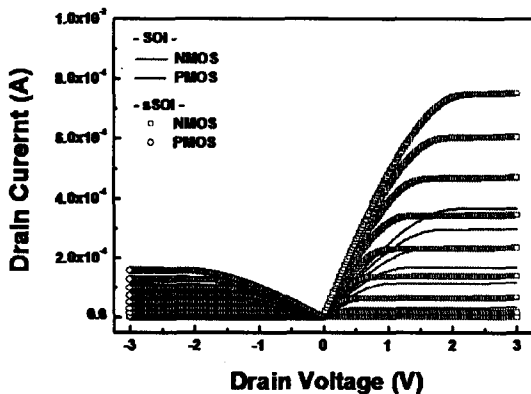
그림 2. sSOI wafer의 Raman spectrum

그림 2는 sSOI wafer의 Raman spectrum을 나타내고 있다. Si의 경우 520.6 cm⁻¹에서 peak이 나타났으며, sSOI의

경우 514.9 cm^{-1} 에서 새로운 peak이 나타났으며, 이 결과로부터 약 0.7 %의 tensile strain이 걸려 있음을 확인하였다.



(a) Subthreshold 특성



(b) Output 특성

그림 3. sSOI/SOI n-/p-MOSFET의 전기적 특성

표 1. sSOI/SOI n-/p-MOSFET의 전기적 특성

	n-MOSFET		p-MOSFET	
	sSOI	SOI	sSOI	SOI
V_{th} (V)	-0.192	-0.114	-0.884	-0.910
Swing (mV/dec)	64	69	67	71
μ_{FE} (cm^2/Vs)	1227	587.2	273.1	180.0

그림 3과 표 1은 후속 열처리 공정 이후의 sSOI/SOI n-/p-MOSFETs의 전기적 특성을 나타내고 있다. sSOI와 SOI의 경우 70 mV/dec 근처의 매우 우수한 subthreshold swing 특성을 나타내고 있다. 또한, sSOI n-MOSFET의 경우 sSOI p-MOSFET보다 높은 On current 특성과 출력 특성을 나타내고 있다. 이와 같은 sSOI MOSFET의 전기적 특성의 향상은 0.7%의 tensile strain에 의하여 electron과 hole의 이동도가 향상되었기 때문이다. 특히, sSOI n-MOSFET에서 electron의 Field effect mobility (μ_{FE})는 $1227 \text{ cm}^2/\text{Vs}$ 로 sSOI p-MOSFET에서의 hole mobility보다 약 4.5 배 크다는 것을 확인할 수 있다.

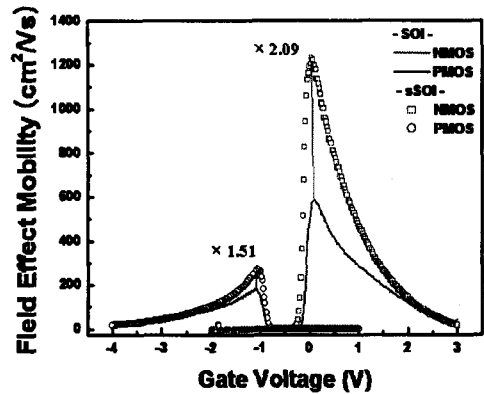


그림 4. sSOI/SOI n-/p-MOSFET의 carrier 이동도 특성

그림 4는 sSOI/SOI n-/p-MOSFET에서의 electron과 hole의 mobility 특성을 나타내고 있다. sSOI n-MOSFET에서 electron의 μ_{FE} 는 약 2.09 배 증가하였으나 hole 경우에는 1.51 배의 증가를 나타내었다. 이와 같은 electron의 우수한 mobility 향상은 0.7 %의 tensile strain에 의해 conduction band의 subband modulation에 따른 band splitting 때문이다.

4. 결론

본 연구에서는 40 nm의 두께를 가지고 0.7 %의 tensile strain이 존재하는 sSOI n-/p-MOSFET를 제작하고 그 특성을 살펴보았다. sSOI n-/p-MOSFET은 우수한 subthreshold 특성을 가지며 SOI n-/p-MOSFET보다 우수한 carrier mobility 특성을 가짐을 확인하였다. 특히, electron의 경우 $1227 \text{ cm}^2/\text{Vs}$ 로 훨씬 우수한 mobility 특성을 나타내며 SOI에서보다 약 2.09배 증가함을 보였다. 그러나, hole의 경우 $273 \text{ cm}^2/\text{Vs}$ 로 약 1.51배의 증가를 나타내었다. 이와 같은 electron mobility의 우수한 향상은 strain에 의한 conduction band에서의 subband splitting 때문이다.

참고 문헌

- [1] S. I. Takagi, "Sub-band structure engineering for advanced CMOS channel", Solid-State Electronics, 49, 2005, pp. 684-694
- [2] T. Mizuno, "High performance strained-Si p-MOSFETs on SiGe-on-insulator substrates fabricated by SIMOX technology", IEDM, 1999, pp.943-936