

SANOS 메모리 셀 트랜지스터에서 Tunnel Oxide-Si Substrate 계면 트랩에 따른 소자의 전기적 특성 및 신뢰성 분석

박성수*, 최원호*, 한인식*, 나만기*, 엄재철**, 이승석**, 배기현**, 이희덕*, 이가원*
 충남대학교*, 하이닉스 반도체(주)**

Analysis of the Interface Trap Effect on Electrical Characteristic and Reliability of SANOS Memory Cell Transistor

Sung-Soo Park*, Won-Ho Choi*, In-Shik Han*, Min-ki Na*, Jae-Chul Om**, Seaung-Suk Lee**, Gi-Hyun Bae**, Hi-Deok Lee*, and Ga-Won Lee*
 ChungNam National Univ*, Hynix Semiconductor Inc.**

Abstract: In this paper, the dependence of electrical characteristics of Silicon-Al₂O₃-Nitride-Oxide-Silicon (SANOS) memory cell transistors and program speed, reliability of memory device on interface trap between Si substrate and tunneling oxide was investigated. The devices were fabricated by the identical processing in a single lot except the deposition method of the charge trapping layer, nitride. In the case of P/E speed, it was shown that P/E speed is slower in the SONOS cell transistors with larger interface trap density by charge blocking effect, which is confirmed by simulation results. However, the data retention characteristics show much less dependence on interface trap. Therefore, to improve SANOS memory characteristic, it is very important to optimize the interface trap and charge trapping layer.

Key Words: SANOS, Charge pumping method, Interface Trap, P/E speed, Data Retention

1. 서 론

최근에 SANOS (Silicon-Al₂O₃-Nitride-Oxide-Silicon)는 blocking oxide로 Al₂O₃의 high-k 물질로 하여, 가저감으로써 tunnel-oxide에 걸리는 전계를 높여 저 전압 구동을 가능케 하고 신뢰성 특성도 향상되고 있다[1]. 이러한 장점에도 불구하고 cycling 횟수에 따른 tunnel oxide/Si 계면 트랩 밀도 (N_{it})의 증가가 소자의 신뢰성에 영향을 끼친다는 보고도 되어왔다[2]. 따라서 N_{it}에 대한 분석은 매우 중요하다고 볼 수 있다. 이에 본 논문에서는 Charge Pumping Method (CPM)를 이용하여 N_{it} 농도 및 Capture cross section을 추출하고 측정 및 시뮬레이션을 통해 SANOS 메모리 소자의 P/E (program/erase) speed와 Data retention 특성에 미치는 영향을 분석하였다.

2. 실험

실험에 측정된 소자는 N-channel SANOS 소자의 구조는 소자 특성과 신뢰성 특성을 평가하기 위해 각각 다른 공정 조건으로 nitride layer를 형성 하였고 이를 split 1, split 2로 정의하였다. 또한 N_{it}를 추출하기 위해 CPM을 이용하였다. P/E 방법은 일반적으로 사용되는 FN (Fowler-Nordheim) 방법을 적용하였으며 전압 조건은 V_g/V_d/V_s/V_b = 16V/0V/0V로 인가 하였다. 더욱이 N_{it}가 P/E speed에 미치는 영향을 검증하기 위해 시뮬레이션 TCAD 시뮬레이터를 이용하여 N_{it} 변화에 따른 V_{th} 변화가 1.2V인 program 시간과 Date retention 특성을 분석하였다.

3. 결과 및 고찰

제작된 소자들의 전기적 특성 및 CPM를 이용하여 추출한 N_{it}와 Capture cross section은 표 1과 같다.

표 1. Nitride 증착 조건에 따른 N_{it} 와 capcure cross section 및 전기적 특성

		단위/ 측정 조건	split 1	split 2
Trap	Mean Trap Density	cm ² eV ⁻¹	6.4810 ¹⁰	3.6010 ¹¹
	Capture Cross section	cm ²	2.0910 ⁻¹⁴	2.1110 ⁻¹³
Electrical Characteristics	V _{TH}	V	1.703	2.836
	Mobility	cm ² /V-sec	598.943	183.547
	Subthreshold Slop	mV/dec	66.56	68.73
	On Current	μA/um	2.02 x 10 ²	3.97 x 10 ¹
	Off Current	A/μm	7.83 x 10 ⁻¹³	8.03 x 10 ⁻¹¹
	P/E speed	μs	120/70	3000/400000

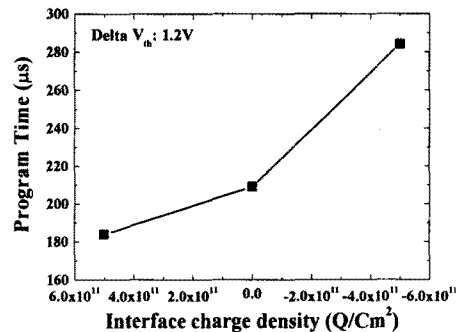


그림 1. Tunnel oxide/Si 기판에 존재하는 계면 트랩 밀도에 따른 Program 속도에 대한 시뮬레이션 결과.

표 1에서 P/E Speed를 측정된 결과를 살펴보면 N_{it}가

많은 그룹의 경우 느린 speed 특성을 보인다. 이의 원인 중의 하나로 N_{it} 가 많을 경우 같은 P/E 조건에서 더 많은 전하가 계면에 트랩 되어 기판의 전하가 trapping layer로 이동하는 것을 방해하는 charge blocking 효과가 있을 수 있다. 그림 1은 계면에 트랩 된 전하의 양에 따른 Program 속도 변화를 시뮬레이션한 결과로 실험 결과와 같이 계면에 음의 전하가 증가 할수록 program 속도가 느려지는 것을 확인 할 수 있다.

그림 2에 FN program 이후의 split 별 Data retention 특성을 비교하여 나타내었다. Nitride 증착 조건에 따라서 역시 Data retention 특성도 매우 상이하게 나타나고 있으며 앞선 P/E 속도의 결과와는 반대로 계면 트랩이 적은 경우 동일한 시간 내에서 ΔV_{th} 가 크고 급격하게 증가하는 것을 볼 수 있다.

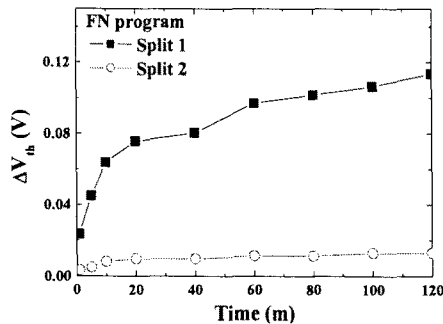


그림 2. Split에 따른 Data retention 측정

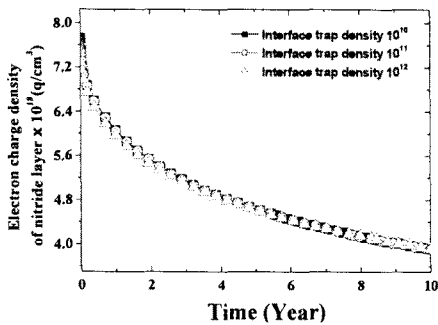


그림 3. 계면 트랩 농도에 따른 Data retention 시뮬레이션

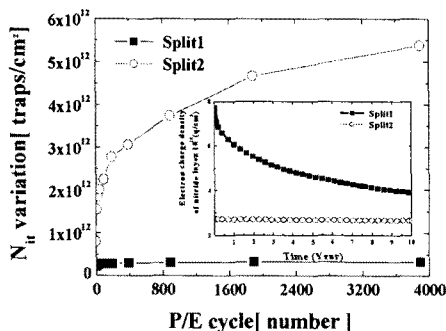


그림 4. P/E cycling 횟수에 따른 N_{it} 의 변화 및 계면, Nitride 트랩 농도 및 Capture cross section을 고려한 시뮬레이션

그림 2의 Data retention의 측정 결과를 검증하기 위해

계면 트랩 농도에 따른 Data retention 특성을 시뮬레이션을 하였으며 그림 3에서 보여 주듯이 계면 트랩의 영향이 거의 나타나지 않았다. 이에 Nitride 트랩 농도 및 Capture cross section을 조정하여 다시 시뮬레이션을 진행한 결과를 그림 4에 함께 나타내었다. 시간에 따른 V_{th} 의 변화는 Nitride 층에 트랩 된 전하의 변화를 의미하는데 보통 P/E cycling 후 N_{it} 의 발생으로 인해 전하 손실이 발생하는 것으로 알려져 있다[3]. 이를 확인하기 위해 P/E cycling 횟수에 따른 N_{it} 변화를 CPM을 이용하여 측정한 결과와 계면 트랩 밀도에 따른 data retention을 그림 4에 나타내었다. P/E cycling에 따라 N_{it} 의 증가는 일관되게 나타나고 있으나 Data retention 특성이 우수한 split 2가 오히려 훨씬 더 많은 N_{it} 을 가지고 있는 것으로 나타났다. 따라서 P/E cycling 후의 Data retention 특성의 열화는 그림 4의 N_{it} 변화에 따른 Data retention 시뮬레이션 결과에서 보듯이 N_{it} 변화 보다는 Nitride 층 자체 특성의 열화에 의해 더 크게 영향을 받고 있는 것으로 여겨진다.

4. 결론

본 논문에서는 서로 다른 Nitride 트랩 층을 가지는 SANOS 소자의 전기적 특성 및 신뢰성에 대해서 분석하였다. CPM을 이용한 N_{it} 를 구하여 P/E 속도의 상관관계를 조사 하였으며, 신뢰성 분석을 위해 cycling 횟수에 따른 Data retention의 특성의 차이를 분석하였다. Nitride 증착 방법이 다른 경우에도 초기 N_{it} 와 cycling에 따른 N_{it} 차이가 크게 나타나고 있으며 charge blocking 효과로 인해 P/E 속도에 영향을 미침을 시뮬레이션을 통해 확인해 보았다. Data retention 특성과 같은 신뢰성의 경우는 앞의 측정 결과로부터 알 수 있듯이 Si/SiO₂ 계면 보다 Split간의 charge trapping layer 막질의 차이에 따라 앞선 P/E 속도와 매우 상반된 다른 결과를 보임을 확인하였다. 따라서 SANOS 구조의 메모리의 소자특성과 신뢰성 특성을 개선시키기 위해서는 Si과 tunneling oxide의 계면뿐만 아니라 charge trapping layer의 최적화가 매우 중요하다고 할 수 있다.

참고 문헌

- [1] Kerber A. et. al, "Strong Correlation between Dielectric Reliability and Charge Trapping in SiO₂/Al₂O₃ Gate Stacks with TiN Electrodes", Symp. on VLSI Tech., 11-13, June 2002, Page: 76-77
- [2] Furnémont A. et. al, "Root Cause of Charge Loss in a Nitride-Based Localized Trapping Memory Cell", IEEE Trans. Electron Devices, Vol. 54, No. 6, Jun., 2007
- [3] W. J Tsai et. al, "Cause of Data Retention Loss in a Nitride-Based Localized Trapping Storage Flash Memory Cell", Reliability Physics Symposium Proceedings, 2002. 40th Annual, Dallas, Texas, 2002.