

## ALD 방법으로 증착된 Hf-silicate 박막의 열처리온도에 따른 전기적 특성

서영선, 김남훈, 노용한\*  
성균관대학교

### Electrical properties of hafnium silicate deposited by atomic layer deposition as a function of annealing temperature

Youngsun Seo, Nam-Hoon Kim and Younghan Roh\*  
Sungkyunkwan University

**Abstract:** In order to investigate the electrical properties of Hf-silicate as a function of annealing temperature, Hf-silicate deposited by atomic layer deposition (ALD) was studied. After Hf-silicate film deposition, annealing was proceeded at 500 °C and 700 °C. The hysteresis of C-V curves and trapping charge densities were decreased after annealing process. As annealing temperature became higher from 500 °C to 700 °C, the capacitance equivalent thickness (CET) was increased from 1.66 nm to 1.76 nm and the leakage current at -1 V was decreased from  $1.70 \times 10^{-4}$  to  $5.68 \times 10^{-5}$  A/cm<sup>2</sup>.

**Key Words :** Hf-silicate, ALD, CET, hysteresis, high-*k*

#### 1. 서 론

반도체 회로의 고집적화가 이루어짐에 따라 MOSFET (metal oxide semiconductor field effect transistor)의 크기가 감소함에 따라 이에 상응하는 게이트 산화막 (gate oxide)의 두께 감소가 요구되고 있다. 그러나 그 동안 사용되어 오던 SiO<sub>2</sub>는 수 nm 이하의 두께에서는 직접 터널링 현상에 의한 누설전류 때문에 그 한계를 보이고 있다 [1,2]. HfO<sub>2</sub>는 Si와의 계면에서 우수한 열적 안정성을 가지고 있으면서도 SiO<sub>2</sub>보다 큰 유전상수, 상대적으로 큰 밴드갭 (5.68 eV)등의 장점을 가지고 있어서 SiO<sub>2</sub>를 대체할 물질로 부상하고 있다 [1]. 그러나 비정질의 HfO<sub>2</sub>의 경우 상대적으로 낮은 온도 (~500°C)에서 결정화되는 경향이 있어서 결정 경계면에서의 누설전류를 유발하고 박막두께를 불균일하게 한다 [3]. 반면에 Hf-silicate는 HfO<sub>2</sub>보다 유전율은 작지만, 보다 큰 밴드갭과 전자 터널링의 유효우게 때문에 같은 EOT에서 보다 작은 누설전류가 발생한다 [4]. Hf-silicate박막을 증착시키는 여러 방법 중에서 ALD(atomic layer deposition)법은 저온공정이 가능하며 우수한 두께 균일도를 나타내며 particle의 생성 또한 적다. 그리고 박막의 두께와 조성을 정확하고 간단하게 조절 할 수 있는 장점이 있다 [5]. 본 실험에서는 ALD 방법으로 증착한 3nm의 Hf-silicate 박막의 열처리 온도에 따른 전기적 성질을 살펴보았다.

#### 2. 실험

HfSi<sub>x</sub>O<sub>y</sub> 박막을 증착하기 전 p형 Si 웨이퍼의 자연 산화막과 오염물질을 제거하기 위해 희석된 HF (HF:H<sub>2</sub>O=1:100) 수용액으로 세척하였다. HfSi<sub>x</sub>O<sub>y</sub> 박막은 ALD 방법으로 450 °C에서 증착하였다. 75:25 비율의 Hf[OC(CH<sub>3</sub>)<sub>2</sub>CH<sub>2</sub>OCH<sub>3</sub>]와 Si[OC(CH<sub>3</sub>)<sub>2</sub>CH<sub>2</sub>OCH<sub>3</sub>]와 RPO (remote plasma

oxygen)을 전구체(precursor)로 사용하고, carrier gas로는 N<sub>2</sub>를 사용하였다. RPO는 불순물의 양을 줄여서 전기적 성질을 향상시키는데 사용되었다 [6]. 공정압력은 100 Pa로 유지시키고 각 공정변수들은 최종두께가 3.5 nm가 되도록 설정하였다. HfSi<sub>x</sub>O<sub>y</sub> 증착 후 RTA (rapid thermal annealing)를 이용해서 O<sub>2</sub>분위기에서 500 °C와 700 °C로 1분간 열처리를 하였다. 열처리 후 thermal evaporator를 사용하여, 금속-게이트 면적  $2.4 \times 10^{-4}$  cm<sup>2</sup>의 shadow mask를 통해 산화막 표면에 팔라듐 (Pd)을 100 nm의 높이로 증착시켰다. HfSi<sub>x</sub>O<sub>y</sub> 박막의 전기적 성질을 살펴보기 위해 C-V (capacitance vs voltage) 특성과 J-V (current density vs voltage) 특성을 측정하였다. capacitance는 HP4275A LCR미터를 이용하여 1 MHz의 주파수로 측정하였고, 누설전류 특성은 HP4145B를 이용하여 측정하였다.

#### 3. 결과 및 검토

그림 1은 HfSi<sub>x</sub>O<sub>y</sub> 박막의 열처리 온도에 따른 C-V 측정값으로 최대 capacitance (C<sub>ox</sub>)는 각각 346 pF (as-deposited), 500 pF (500 °C RTA), 470 pF (700 °C RTA)이었다. As-deposited와 500 °C, 700 °C에서 열처리된 샘플의 V<sub>FB</sub> (flat band voltage)는 각각 0.4, 0.46, 0.88 V (그림2)로 열처리 온도가 증가할수록 C-V 곡선이 양의 방향으로 이동함을 알 수 있다. 이러한 V<sub>FB</sub>의 이동은 산소의 빈자리로 인해 생긴 산화막내의 양전하가 열처리에 의해 감소하였기 때문이다 [7,8]. 또한, 열처리 온도가 증가할수록 hysteresis 현상이 줄어들어 700°C에서는 거의 확인할 수 없다. 그리고 trapping 전하량은 각각  $7.79 \times 10^8$  (as-deposited),  $4.53 \times 10^8$  (500 °C RTA),  $3.53 \times 10^7$  C/cm<sup>2</sup> (700 °C RTA) 으로 열

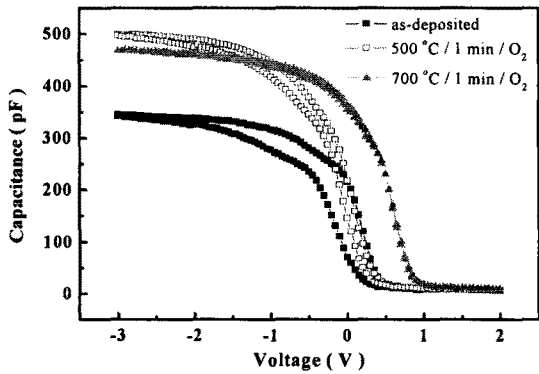


그림 1. 열처리 온도에 따른 HfSi<sub>x</sub>O<sub>y</sub> 박막의 C-V 곡선.

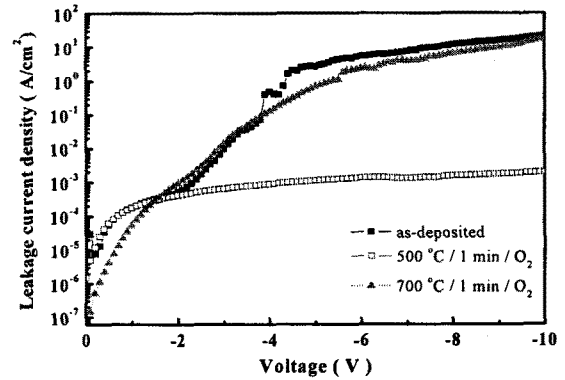


그림 3. 열처리 온도에 따른 HfSi<sub>x</sub>O<sub>y</sub> 박막의 J-V 곡선.

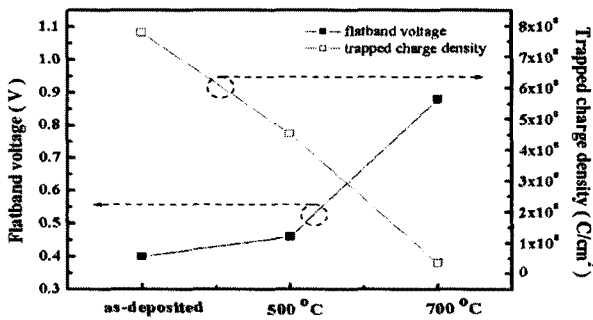


그림 2. 열처리 온도에 따른 V<sub>FB</sub>와 trapping 전하량.

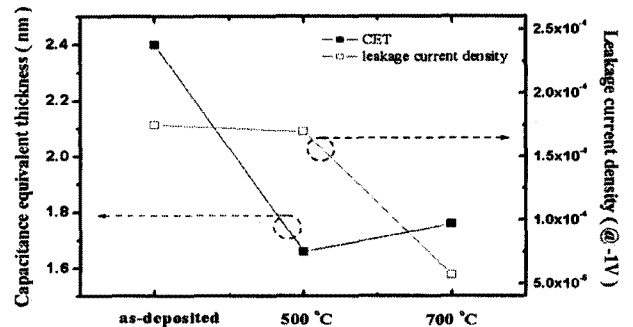


그림 4. 열처리 온도에 따른 CET와 누설전류밀도.

처리온도가 증가할수록 감소하고 700 °C에서 그 추이가 급격함을 알 수 있다. 이러한 결과는 열처리를 실시함으로써 hysteresis 현상의 원인이 되는 산화막내의 trapping 전하량을 감소시켜주었기 때문이라 판단된다.

그림 3은 각 샘플의 게이트 전압에 따른 누설전류밀도 (J-V)를 측정된 것이다. 0 ~ -1.8 V에서는 as-deposited 샘플과 500 °C의 값은 큰 차이가 없으나 700 °C의 값은 앞의 두 샘플의 값보다 작다. 그러나 보다 높은 bias에서의 누설전류 값은 500 °C에서는 거의 수렴되었고 as-deposited와 700 °C에서의 값은 계속 증가함을 알 수 있다. 700 °C 열처리의 경우 trapped 전하의 감소로 인해 낮은 bias에서는 누설전류가 열처리 전에 비해 감소하였지만, 보다 높은 bias에서는 박막의 결정화로 인한 누설전류가 발생되었을 것으로 판단된다.

그림 4의 CET (capacitance equivalent thickness)는 측정된 C<sub>ox</sub> 값을 이용해  $t_{eq} = (\epsilon_0 \times \epsilon_{SiO_2} \times A) / C_{MAX}$ 의 관계식에 의해 계산되었다 [9]. 각각 계산된 CET 값은 2.4 nm (as-deposited), 1.66 nm (500 °C RTA), 1.76 nm (700 °C RTA) 이었다. 그리고 -1 V에서의 누설전류를 측정된 값은 각각  $1.75 \times 10^{-4}$  (as-deposited),  $1.70 \times 10^{-4}$  (500 °C RTA),  $5.68 \times 10^{-5}$  A/cm<sup>2</sup> (700 °C RTA)이었다.

#### 4. 결론

ALD 방법으로 증착된 3nm의 Hf-silicate의 열처리 온도에 따른 전기적 성질을 알아보았다. 열처리를 통해서 박막의 C-V곡선의 hysteresis 현상이 감소하고, trapping 전하량이 감소하는 것을 확인하였다. 열처리 온도가 500 °C에서 700 °C로 증가할 때의 CET 측정값은 1.66nm에서 1.76nm로 증가하였고, -1V에서의 누설전류는  $1.70 \times 10^{-4}$  에서  $5.68 \times 10^{-5}$  A/cm<sup>2</sup>로 감소하였다. 이로써 열처리를 통해서 Hf-silicate 박막의 전기적 성질이 향상되었음을 알 수 있다.

#### 참고문헌

- [1] S. Sayan *et al.*, *J. Vac. Sci. Technol. A* **20** (2002) 507.
- [2] C. M. Perkins *et al.*, *Appl. Phys. Lett.* **78** (2001) 2357.
- [3] Wilk G D *et al.*, *J. Appl. Phys.* **89** (2003) 5243.
- [4] Duennas S *et al.*, *Microel Rel* **45** (2005) 949-52.
- [5] J. Kim and K. Young, *J. Electrochem. Soc.*, **152**(4) (2005) F45-F48.
- [6] Kazuhiko Yamamoto *et al.*, *Appl. Phys. Lett.*, **83** (2003) 2229-2231.
- [7] K. J. Choi *et al.*, *J. Electrochem. Soc.*, **149** (2002) F18.
- [8] V.K. Bhat *et al.*, *Semicond. Sci. Technol.*, **15** (2000) 883.
- [9] Mckee R A *et al.*, *Phys. Rev. Lett* **81** (1998) 3014.