

ELA 기판을 사용한 NVM 소자의 전기적 특성 분석

오창건, 이정인, 이준신
성균관대학교 정보통신공학부

Analysis on the Characteristics of NVM Device using ELA on Glass Substrate

Chang-Gun Oh, Jeoung-In Lee, J. Yi

School of information and communication engineering, Sungkyunkwan University

Abstract : ONO(Oxide-Nitride-Oxide) 구조는 기억소자의 전하보유 능력을 향상시키기 위해 도입된 게이트 절연막이다. 본 연구에서는 ELA(Excimer Laser Annealing) 방법으로 비정질 실리콘을 결정화 시켜서 그 위에 NVM(Nonvolatile Memory) 소자를 만들어 전기적 특성을 측정하여 결과를 나타내었다. 실험 결과 같은 크기의 V_D 에서 V_G 를 조절함으로써 I_D 의 크기를 조절할 수 있었다. V_G - I_D Graph에서는 I_{on} 과 I_{off} , 그리고 Threshold Voltage를 알 수 있었다. I_{on}/I_{off} Ratio는 10^2 - 10^4 이다. V_D - I_D Graph에서는 게이트에 인가하는 Bias의 양을 통해서 Threshold Voltage의 크기를 조절할 수 있었다. 이는 Trap되는 Charge의 양을 임의로 조절할 수 있다는 것을 의미하며, 이러한 Programming과 Erasing의 특성을 이용하여 기억소자로서의 역할을 수행하게 된다.

Key Words : ELA(Excimer Laser Annealing), NVM(Nonvolatile Memory), ONO(Oxide-Nitride-Oxide)
Threshold Voltage, I_{on}/I_{off} Ratio

1. 서론

기억소자의 전하보유 능력을 향상시키기 위한 새로운 절연막으로 MNOS의 질화막 위에 산화막을 성장시키는 다층절연막 ONO(Oxide-Nitride-Oxide)가 도입되고 있다.[1,2] Capacitor 전극사이에 들어갈 Dielectric Material로서 Oxide-Nitride-Oxide의 3층 구조를 형성하여 단층구조에서 발생할 수 있는 Pinhole을 방지하고 Breakdown 특성을 향상시키는 한편 Nitride Dielectric Constant가 Oxide에 비해 훨씬 크기 때문에 Capacitance를 증가시킨다. 이런 ONO계를 형성할 때 일반적으로 MNOS의 질화층을 산화하는데 이 산화로 인해 질화막과 산화산화막 계면에는 새로운 계면 Trap이 형성되고 이것이 기억 Trap으로 작용하여 ONO가 기억소자의 구실을 하게 된다.[3] 결정화 공정에 쓰이는 ELA(Excimer Laser Annealing)기술은 라인 형태의 XeCl Excimer Laser를 비정질 실리콘 위에 조사하여 비정질 실리콘을 순간적으로 용융시킨 후 고화하는 과정을 반복하여 결정화하는 방식이며 이 때, 레이저 에너지 밀도의 변동은 결정화된 P-Si 막의 결정립 크기와 결정성에 변화를 주어 국부적으로 라인 빔 형태의 불균일한 영역을 남기게 된다. 앞으로는 결정화 공정 자체에서 균일도를 확보하는 것이 중요한 상황이며 향후 기술 개발의 방향이 될 것으로 보인다.

2. 실험

먼저 낮은 온도에서 플라즈마를 이용하여 유리 기판 위에 비휘발성 메모리를 제작한다. 제작 순서는 화학기상증착(PECVD) 방법으로 500Å 두께의 비정질 실리콘을 증착한

다. 그 후에 ELA 방법으로 비정질 실리콘을 결정화 시킨다. 그 위에 Oxide-Nitride-Oxide의 ONO구조를 만든다. ONO구조는 2.7nm의 터널 산화층, 3.5nm의 전자 트랩층, 그리고 12.5nm의 절연 산화층의 형태로 만들었다. 이 때, 균등한 터널 산화층을 만들기 위해 N_2O 플라즈마를 다결정 실리콘 표면에 노출시키는 방법을 사용했다. Electron을 Trap하는 영역은 SiN_x 필름으로 만든다. SiN_x 필름을 사용한 이유는 Electron을 많이 Trap하기 위함이다. 게이트 메탈은 알루미늄으로 증착시키고, 소스-드레인 영역은 p^+ 로 도핑한다.

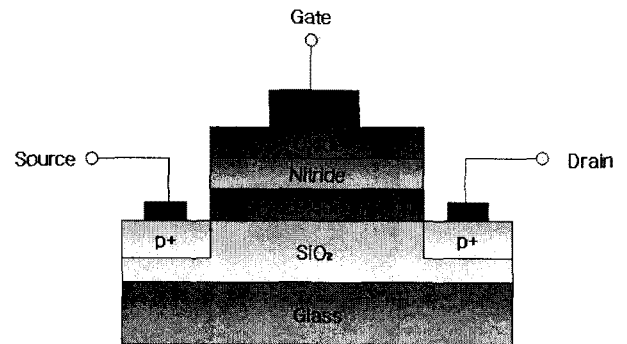


그림 1. 소스/드레인은 p^+ 로 도핑하고 게이트 메탈로 알루미늄을 사용한 ONO 구조의 비휘발성 메모리를 나타낸 그림.

3. 결과 및 고찰

V_D 가 일정할 때 I_D 의 세기는 V_G 에 의하여 조절된다.

그림 2는 V_G 를 달리하였을 때 V_D 와 I_D 와의 관계를 나타낸 Graph이다. 높은 전압을 게이트에 인가할수록 같은 크기의 V_D 에서 I_D 또한 커지는 것을 보여주고 있다.[4]

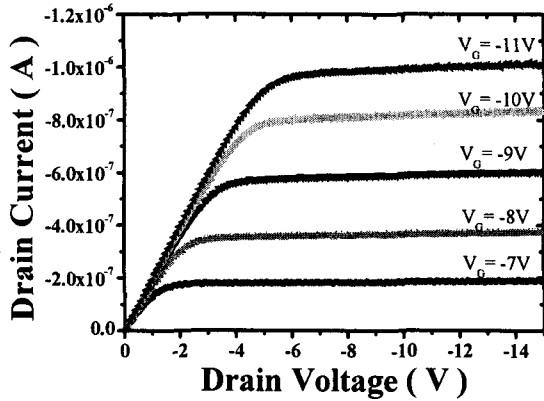


그림 2. V_D - I_D Graph. V_G 를 조절함으로써 I_D 값을 조절할 수 있다. V_G 를 -7V로 인가하면 I_D 는 -2.0×10^{-7} A에서 포화되고 V_G 를 -11V로 인가하면 I_D 는 -1.0×10^{-6} A에서 포화된다.

그림 3은 V_D 의 크기를 달리하여 V_G 과 I_D 의 관계를 나타낸 Graph이다. 이를 보면 I_{on}/I_{off} Ratio가 10^3 - 10^4 정도임을 알 수 있다.

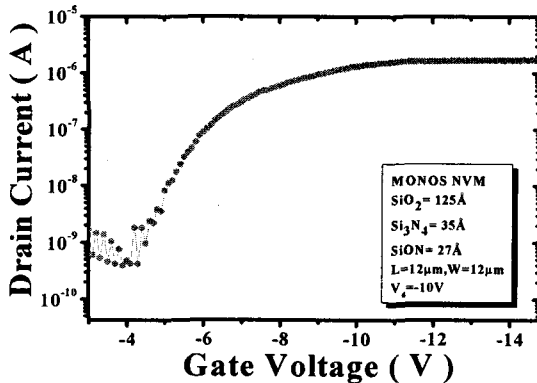


그림 3. V_G - I_D Graph. I_{on}/I_{off} Ratio가 10^3 - 10^4 를 나타내고 있다.

그림 4는 게이트에 인가하는 Bias를 조절해가며 드레인 전류의 변화를 측정 한 Graph이다. -20V의 Stress를 인가하고 100초 뒤 측정하면 Threshold Voltage는 약 7V로 Programming하고, +10V의 Stress를 인가하고 100초 뒤 측정하면 Threshold Voltage는 약 3.5V로 Erasing된다. 이러한 V_G 와 I_D 의 관계를 이용하여 가두어 두는 Charge의 양을 조절함으로써 Threshold Voltage 크기에 따른 On 또는 Off의 기억소자로써의 역할을 담당할 수 있게 된다.

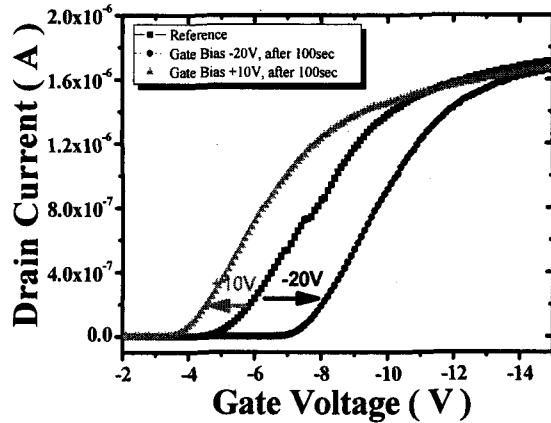


그림 4. V_G - I_D Graph. -20V의 Stress를 인가하고 100초 뒤 측정했을 때 Threshold Voltage가 7V가 되었고, +10V의 Stress를 인가하고 100초 뒤 측정했을 때 Threshold Voltage가 3.5V가 되었다.

4. 결론

I_D 와 V_D 는 V_G 에 의해서 컨트롤된다. 또한 V_G - I_D Graph에서 I_{on}/I_{off} Ratio는 10^3 - 10^4 정도로 나왔다. 게이트에 인가하는 Stress의 양을 조절하여 Threshold Voltage를 달리해주면 Programming 상태와 Erasing 상태로 변화되어 Trap되는 Charge의 양을 조절해줄 수 있게 된다. 이러한 특성을 이용하여 원하는 정보를 저장하는 Nonvolatile Memory의 역할을 수행한다.

감사의 글

본 논문 작성에 도움을 주신 정보통신소자연구실 여러분들께 감사드립니다.

참고 문헌

- [1] B.Eitan, P. Pavan, I. Bloom, E. Aloni, A. Frommer, and D. Finzi, "NROM: a novel localized trapping, 2-bit nonvolatile memory cell", IEEE Electron Device Letters, Vol. 21, No. 11, p. 543, 2000.
- [2] S. Tiwari et al. "A Silicon Nanocrystals based memory", Appl. Phys. Lett. Vol. 68, p.1377, 1996.
- [3] H. A. R. Wegener, A. J. Lincoln, H. C. Pao, M. R. O'Connell, and R. E. Oleksiak, "The variable threshold transistor, a new electrically alterable, non-destructive read-only storage device", IEEE IEDM Tech. Dig., Washington, D. C., p. 70, 1967.
- [4] Adel S.Sedra, Kenneth C.Smith "Microelectronic Circuits Fifth Edition", p.271, 2004.