

반도체 제품의 CVD Barrier Metal기인 Contact 불량 연구

박상준, 윤주병, 이경우, 이상익, 김진성, 채승기, 채희선, 노용한*
삼성전자(주) 반도체 총괄, 성균관 대학교*

Defect Characterization & Control for the Metal Contact with CVD Barrier Metal in Memory Device

Sang-Jun Park, Joo-Byoung Yoon, Kyung-Woo Lee, Sang-ick Lee, Jin-Sung Kim, Seung-Ki Chae, Hee-sun Chae, Yong-han Roh*
Samsung Electronics Semiconductor Business, Sungkyunkwan Univ.*

Abstract : 반도체의 최소 회로 선폭이 감소함에 따라 Contact 저항이 크게 증가하게 된다. Contact 저항을 낮추기 위하여 Tungsten Metal Contact을 일반적으로 사용하며, Si 기판과의 Ohmic 접촉 및 WF6의 Fluorine과 Si 반응을 억제하기 위한 Barrier Metal로 Ti/TiN 이중막을 사용한다. 본 논문에서는 90nm급 이하 제품의 CVD Ti/TiN Barrier Metal이 유발하는 불량 현상과 원인 규명에 대하여 연구하였으며, Ohmic Contact형성을 위해 TiSix 형성 최적화 방안에 대해 정리하였다.

Key Words : DRAM, Metal Contact, Ohmic Contact, CVD Barrier Metal

1. 서론

반도체 DRAM(Dynamic Random Access Memory) 제품의 최소 회로 선폭이 감소함에 따라 Contact size는 감소하고 Contact의 접촉 저항은 급격히 증가하게 된다. 접촉 저항은 반도체 제품의 성능을 저하시키는 큰 요인으로 낮은 접촉 저항이 요구되어 Metal Contact을 사용한다. Tungsten을 이용한 Si 접촉은 금속과 Si 접촉의 가장 유용한 방법 중에 하나이지만 반응 물질인 WF6의 Fluorine이 기판 Si와 쉽게 반응하는 문제점이 있다.

금속 Si 접촉에서 Ohmic contact을 형성함에 있어 접촉 저항을 감소시키고 원하지 않는 반응을 억제하기 위해 일반적으로 Ti/TiN 이중막이 Barrier metal로 사용되어진다.

PVD(Physical Vapor Deposition) Ti/TiN 공정이 초기에 사용되었으나 100nm 최소 회로 선폭 이하에서는 CVD (Chemical Vapor Deposition) 공정이 사용되어진다.

또한 반도체에서 사용되는 일반적인 Ohmic Contact 형성은 두 Layer간 Tunneling을 통한 Carrier 이동을 이용하는 것으로 이러한 경우 고농도의 Ion Implantation 공정이 함께 진행되어야 한다. Barrier Metal Ti와 Si의 반응 Layer인 TiSix Layer는 Ohmic Contact 형성을 위해 중요한 Layer인 동시에 Contact 기인 불량을 유발하는 원인이 되고 있다.

본 논문에서 제품의 최소 회로 선폭이 90nm 이하 제품에서의 CVD Ti/TiN Barrier Metal(이하 BM)이 유발하는 불량을 분석하고 해결하는 방법을 연구하였다. 또한 Small metal contact에서 BM의 Ti와 기판 Si의 반응물인 TiSix 형성을 최적화하는 방안에 대해 논의하였다.

2. 실험

2.1 실험장치

본 연구의 계면 구조는 FEG(Field Emission Gun)를 사용하여 300kV로 동작하는 HR-TEM(High Resolution Transmission Electron Microscope: TECNAI G2)을 이용하였다. 깊이 따른 조성 분석은 AES(Auger Electron Spectroscopy: PHI 5900, 5keV)를 사용하였으며 진공은 Depth profiling 분석(2x10⁻⁷ Torr)을 제외하고는 10⁻⁹Torr 수준을 유지하였다.

3. 결과 및 고찰

Metal contact 공정 기인 불량 현상 중에서 대표적으로 Contact 저항 증가와 누설 전류 증가에 의한 불량 유형이 있다.

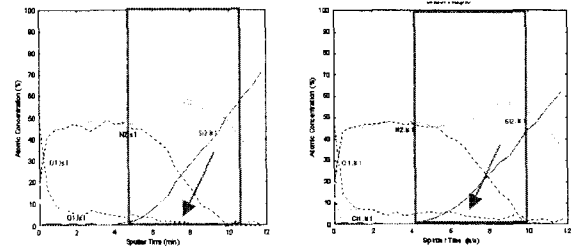
3.1. CVD BM을 사용한 Small Contact 저항 증가

보통 접촉 저항의 증가는 Metal과 Si 계면의 불순물에 의한 TiSix 형성 불량과 CVD BM 공정의 Ti Source 부족, 낮은 증착 온도, 부적절한 Plasma Power 등에 의해 발생한다.[그림 1]



그림 1. 계면 불순물에 의한 TiSix 형성 불량

Metal과 Si 계면의 불순물은 Ion implantation (IIP), Over oxidation에 의해 발생 가능하다. 또한 BM 증착 전 세정 공정이 적절하지 못하여 세정 능력이 감소했을 경우에도 발생할 수 있다.



(a) IIP 미진행

(b) IIP 진행

그림 2. IIP 진행 유무에 따른 Depth Profile

그림 2에서와 같이 Plug IIP 유무에 따른 TiN/ TiSix/ Si 기판의 AES 조성 분석을 진행하였다. IIP 공정으로 Damage Layer가 발생하고 추가 산화가 진행된다. AES 분석 결과 Plug IIP를 진행했을 때 TiSix 영역에서 Excess oxygen 성분이 확인되었다. 결국 IIP 공정의 농도 및 Energy 조건은 Metal Contact에서 계면 불순물 형성에 영향을 줄 수 있다. 고농도와 High Energy 조건은 반도체 FAB 환경에서 계면 Oxide Layer를 쉽게 형성할 수 있는 Damage Layer를 Si 기판에 만든다. Oxide Layer가 두껍게 형성되면 일반적인 세정 공정으로 제거하기가 어려워진다. 따라서 TiSix Profile을 향상시키기 위해서는 IIP damage 해소 및 세정 공정 강화가 요구되어진다.

계면 불순물 형성의 또 다른 원인은 Contact의 세정 능력을 저하시키는 협소한 Critical Dimension(이하 CD)이다. 특히 aspect

ratio 증가로 Ti source 가 Contact 의 Bottom 까지 공급 되기가 어렵다. 따라서 Sub-micro Size 의 Contact 에서 이상적인 TiSix profile 을 형성하기가 대단히 어렵다.

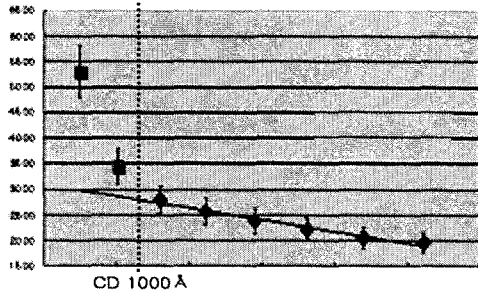


그림 3. Contact Bottom CD와 저항 상관 관계

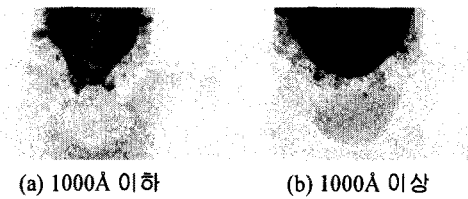


그림 4. Contact Bottom CD에 따른 TiSix Profile

그림 3 는 접촉 저항이 Contact Size 에 영향을 받는 것을 나타낸다. 1000Å 이상의 Contact Size 에서는 접촉저항과 선형 관계를 나타내나(R2=0.973) 1000Å 이하에서는 접촉 저항이 급격하게 증가한다. Contact Size 에 따른 접촉 저항의 증가는 TEM 분석을 이용한 TiSix 형성 정도 차이를 통해 확인할 수 있었다.[그림.4] Contact Size 1000Å 이하 에서는 Si 기판과 BM 계면의 불순물로 인해 TiSix 형성이 불량하였다. 이는 Small contact size 에서 접촉 저항이 높은 전기적 현상과 잘 일치된다 할 수 있다.

3.2. CVD BM 을 사용한 Contact 누설 전류 증가

누설 전류에 의한 불량은 일반적으로 협소한 Metal contact 에서 TiSix 가 과도하게 형성되어 Plug IIP 에 의한 Junction 을 벗어났을 경우 발생한다. 누설 전류에 의한 불량은 통상 wafer center 영역에서 발생하는데 이는 고온과 Plasma 가 wafer center 영역에 집중되는 CVD BM 증착 설비 특성에 의한 영향도 있다.

Contact 불량에서 가장 문제가 되는 부분은 저항성 불량과 누설 전류 불량이 동시에 발생하는 경우이다.[그림 5] 이런 경우는 대부분 TiSix 형성이 이물질에 의하여 억제되고 부분적으로 과도성장하기 때문에 발생한다. 불량 분석을 하면 대부분은 이물질에 의하여 TiSix 형성이 안되어 있다. TiSix 가 형성되는 일부 부위에서는 과도하게 성장하게 되며 이 경우 반응에 부족한 Si 을 TiSix 가 형성되지 않는 부분으로부터 소모하게 되어 계면 Void 가 형성되기도 한다.[그림 5(b)]

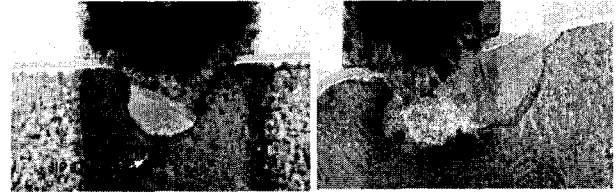


그림 5. 저항성 불량 및 누설 전류 불량 동시 발생 경우

3.3. Metal Contact 공정 Optimization

Metal 과 Si 계면 이물질 층을 감소시키기 위해 IIP, Clean, Etch 공정과 함께 계면 전처리 공정을 도입하여 TEM 으로 구조 평가를 진행한 결과 Contact BM 증착 전에 진행하는 전처리 공정이 가장 우수한 TiSix Profile 을 형성함을 확인하였다.[그림 6]

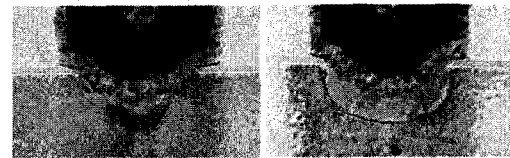


그림 6. 계면 전처리 적용 전(a), 후(b)

계면 Cleaning 을 위해 IIP Dose 와 Energy 를 낮추고 Clean 공정을 강화하는 것은 Metal 과 Si 계면의 Dopant 감소를 초래 해 결국 Contact 계면 저항이 증가하는 문제가 발생한다. 따라서 BM 증착 전에 진행되는 Contact 계면 전처리 공정이 가장 적합한 Metal Contact 불량 개선 공정임이 확인되었다.

4. 결론

이번 연구를 통하여 Metal 과 Si 접촉에서의 대표적인 불량 현상인 Contact 저항과 누설 전류에 대한 불량을 분석하고 해결 방법을 모색하였다. 공정 Damage 및 Cleaning 부족으로 계면에 이물질이 잔존하게 되면 TiSix 의 이상성장으로 불량이 유발됨 을 알 수 있었다. Plug IIP, Cleaning, Contact CD, Etch Damage 등 이 중요한 불량 원인임을 확인하였으며 계면 전처리 공정을 도입하여 최적의 개선안을 도출하였다.

참고 문헌

- [1] Y. Mitsui et al., "Developments of new concept analytical instruments for failure analyses of sub-100 nm devices." Microelectronics Reliability, vol. 41, pp. 1171-1183, 2001.
- [2] G. Benstetter et. al., "A review of ULSI failure analysis techniques for DRAMs. Part I: Defect localization and verification." Microelectronics Reliability, vol. 42, pp. 307-316, 2002.
- [3] M. Ruprecht et. al., "A review of ULSI failure analysis techniques for DRAMs. Part II: Defect isolation and visualization." Microelectronics Reliability, vol. 43, pp. 17-41, 2003.