

# 저항 네트워크 모델을 통한 LED 전극의 최적화 배치에 대한 연구

공명국, 김도우\*

(주)칩플러스, \*한국폴리텍여자대학

## A Study on LED Electrode Optimal Disposition by Resistor Network Model

Myeong-kook Gong, Do-woo Kim\*

ChipPlus Co., \*Korea Women's Polytechnic College

**Abstract :** We investigated a resistor network model for the horizontal AlInGaN LED. Adding the proposed current density dependent relative quantum efficiency, the power simulation can be also obtained. Comparing the simulation and the measurement results for the LED with the size of 350 $\mu$ m, the model is reasonable to simulate the forward voltage and the light output power. Using this model we investigated the optimization of the position and the number of the finger electrodes in a given chip area. It shows that the center disposition of the p-finger electrode in p-area is optimal for the voltage and best for the power. And the minimum number of the n-finger electrodes is best for the power.

**Key Words :** LED, resistor network model, relative quantum efficiency model, electrode disposition

### 1. 서론

최근 AlInGaN계 LED 응용의 다양화로 칩의 크기 설정 및 균일한 전류분포에 의한 적정 순전압 및 높은 광출력을 얻기 위한 빠르고 정확한 모의실험 도구가 요구되고 있다. LED 칩의 설계는 크기 설정과 미세전극 배치로 비교적 높은 투명 P용접촉층에 전류확산을 고르게 하여 순전압과 광출력을 높이는 것이 목적이다.

이를 위해 LED의 저항 네트워크 모델과 광출력 모델을 제시하였다. 가로, 세로 350 $\mu$ m 크기의 LED를 제작하여 순전압, 광출력 실험결과와 비교하여 모델의 정확성을 검증하고 전극의 최적화 배치에 대하여 고찰하였다.

### 2. 실험

일반적인 AlInGaN계 수평형 LED 에피층은 절연기판, 완충층 위에 그림 1과 같이 N반도체층, 발광층, P반도체층으로 되어 있다. N전극을 N반도체층이 노출되도록 식각하여 배치하고 P전극의 밑에 투명 P용접촉층을 증착 및 열처리하여 형성하여 LED를 제조한다.

일반적으로 LED의 회로모델은 접촉저항  $R_C$ 에 직렬로 다이오드를 연결하고, 나머지 면저항인 P, N 저항은 수평으로 연결하여 저항, 다이오드 네트워크로 구성한다.[1] 그러나, LED의 다이오드 전압모델을  $V_F = V_{F0} + I_F R_D$  ( $V_{F0}$ : 문턱(cut-in)전압,  $I_F$ : 전류,  $R_D$ : 접촉저항)와 같이 문턱전압과 전류의 일차식으로 근사하면 그림 2와 같이 단순한 저항 네트워크 모델을 얻을 수 있다.

그리고, 광출력 모델은  $P = CP_0 I_F \eta$  ( $C$ : 비례상수,  $P_0$ : 기준광출력,  $\eta$ : 상대양자효율)와 같으며, 전류에 따른 광출력 특성으로부터 기준전류밀도  $J_0$ 에 대한 상대적인 값으로 용이하게 얻을 수 있다. 여기서는  $\eta = (J/J_0)^{-\alpha} (J/J_0)^{\gamma} + \beta$ 와 같은 식을 제시하여 근사하여 모델에 삽입하여 주었다.

시험 다이(die)로부터 P용접촉층 면저항 237  $\Omega/\square$ , P접

촉 비저항 2.4  $m\Omega cm^2$ , N반도체 면저항 14.8  $\Omega/\square$ , 금속 면저항 0.033  $\Omega/\square$ 를 별도로 확보하였다. 그리고, 그림 3의 LED의 측정결과와 모의실험 결과로부터  $V_{F0} = 2.91 V$ ,  $P_0 = 9.21 mW$ ,  $\alpha = 2.2$ ,  $\beta = 0.005$ ,  $\gamma = 2$ ,  $J_0 = 30 A/cm^2$ 를 구하였다.

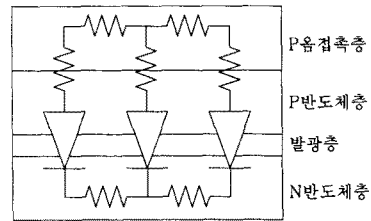


그림 1. LED 에피층 구조와 일반적인 회로 모델.

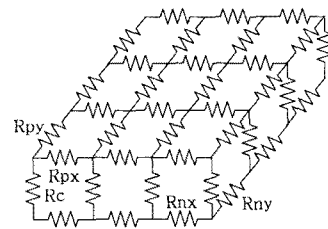


그림 2. 제시된 LED 저항 네트워크 모델.

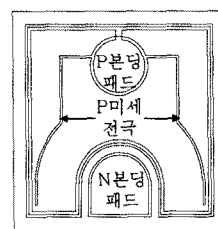


그림 3. 검증용 350 $\mu$ m LED 도면.

그림 4는 350 $\mu\text{m}$  LED 모의실험 결과에 대한 전위 곡면 및 광출력 곡면을 나타내었다. 대형인 LED의 특성 때문에 왼쪽 반의 곡면만을 모의 실험하였다. 전위곡면은 저항 네트워크 모델로부터 노드(node) 전압식을 구성하여 어드미턴스(admittance) 매트릭스를 구하여 계산하였으며, 광출력곡면은 접촉저항  $R_c$ 를 통과하는 전류를 기준으로 전류 밀도와 전류량을 계산하여 발광층에서의 광출력곡면을 나타내었다. 또한, 전류에 따른 순전압과 광출력을 모의실험한 결과와 실측치를 비교하여 그림 5에 나타내었다. 두 결과가 비교적 잘 일치하고 있음을 알 수 있다.

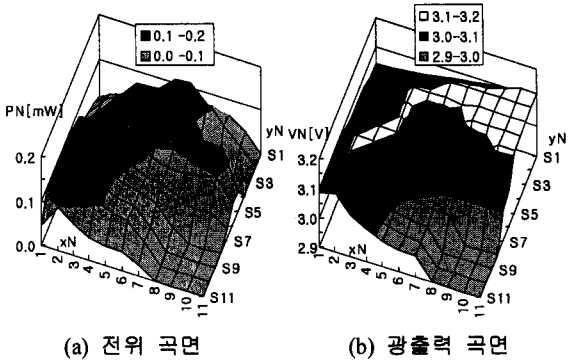


그림 4. 350 $\mu\text{m}$  LED 모의실험 결과.

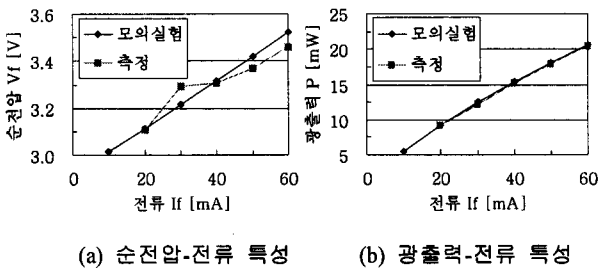


그림 5. 350 $\mu\text{m}$  LED 모의실험 및 측정결과.

다음은 전극의 최적화배치를 알아보기 위하여 이 모델을 사용하여 N미세전극이 한 개 일 때 P미세전극의 위치에 따른 순전압 및 광출력을 모의실험하였다. 그림 6에 모의실험 도면이 나타나 있으며, 표 1의 (1)~(5)에 결과를 요약하였다.

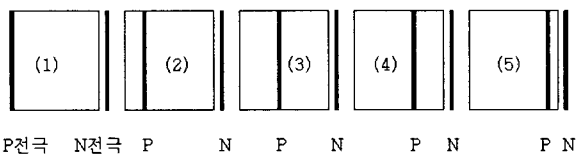


그림 6. P전극 최적화 모의실험 도면.

또한, P전극을 P영역 가운데 위치시키고, N전극의 개수를 늘려가면서 모의실험하였다. 그림 7에 모의실험 도

면이 나타나 있으며, 표 1의 (6), (7)에 결과를 요약하였다.

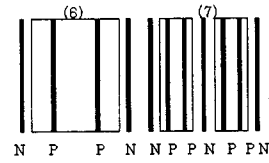


그림 7. N전극 배치 최적화 모의실험 도면.

표 1. 전극 배치 최적화 모의실험 결과.

항목	(1)	(2)	(3)	(4)	(5)	(6)	(7)
$V_F$ [V]	3.65	3.38	3.32	3.27	3.26	3.09	3.03
$P$ [mW]	7.84	8.66	8.91	8.64	7.80	7.82	7.35

### 3. 결과 및 검토

표 1의 (1)~(5) 결과로부터 순전압과 광출력의 두 가지를 모두 고려하면 P전극을 P영역의 가운데에 배치하는 것이 유리함을 알 수 있다. 표 1의 (3), (6), (7)의 결과로부터 N전극의 개수가 늘어날수록 순전압과 광출력이 모두 감소한다. 따라서, 순전압 목표치에 근접하도록 N전극의 개수를 최소화시키고, P전극은 영역의 가운데에 배치하면 광출력이 최대가 됨을 알 수 있다. 이 결과는 P전극을 가운데에 놓는 것이 유리하다는 기존 결과[1]와 일치한다.

### 4. 결론

다양한 사양요구에 적합한 LED의 설계를 위하여 전압 및 광출력 모의실험을 위한 저항 네트워크 모델, 상대양자효율 모델을 제시하고 350 $\mu\text{m}$  LED의 측정결과로부터 모델의 정확성을 검증하였다. 제시된 모델로 전극의 배치에 대한 최적조건을 모의실험하였다. 그 결과 P미세전극은 P영역의 중간에 배치하는 것이 전류효율의 균일도의 상승으로 순전압 및 광출력 측면에서 유리하였다. N전극의 개수는 순전압 목표치에 근접하도록 최소화 시키는 것이 최대출력을 낼 수 있었다. 따라서, 제시된 저항 네트워크 모델과 상대양자효율 모델로부터 칩의 크기 및 전극의 설계에 따른 순전압 및 광출력을 모의실험하는 것이 가능함을 알 수 있었다.

### 감사의 글

칩의 제조와 측정으로 도움을 주신 (주)칩플러스의 윤복현부장께 감사를 드립니다.

### 참고 문헌

- [1] A. Ebong, S. Arthur, X.A. Cao, S. LeBoeuf and D.W. Merfeld, Solid-State Electronics Vol. 47, Issue 10, p. 1817, 2003.