

TWO-CHANNEL 방식의 디지털 광센서 설계

한만혁, 한도희, 윤준호, 안희태
아주대학교 전자공학과

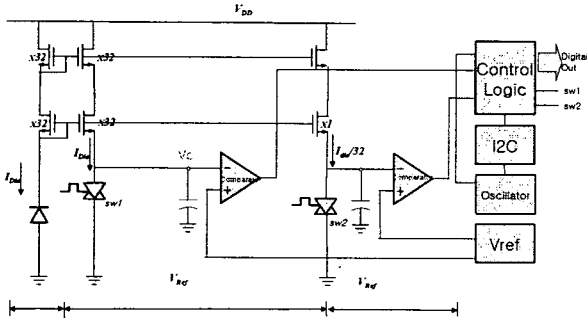
LIGHT TO DIGITAL SENSOR DESIGN OF TWO-CHANNEL SYSTEM

M.H Han, D.H Han, J.H Yoon, H.T Ahn
AJOU UNIVERSITY SUWON 443-749 KOREA

Abstract - TWO-CHANNEL 방식의 디지털 광센서는 I2C의 출력을 가지고 있다. 하나의 CMOS 집적회로에 포토다이오드와 기존의 아날로그-디지털 변환기(ADC)로 구성되어 있었던 방식과는 달리 2개의 비교기(Comparator)로 2개의 채널을 형성하게 된다. 인간의 눈과 비슷한 반응을 얻기 위해 16-bit의 유효 범위를 갖는다. 이 광센서는 광원의 넓은 파장에 적합하게 설계 되었다.

1. 서 론

전자공학이 우리의 삶을 보이지 않는 곳에서 엮어온 것처럼 센서는 그 중요성이 점점 증가하고 있다. 광센서는 그중 가장 간단하면서도 저렴한 것 중에 하나다. 빛을 감지하는 방법에는 여러 가지가 있다. 예전부터 Photo resistor, Photo diode, Photo transistor 등의 소자가 사용 되어 왔고 최근에는 하나의 칩에 집적되고 있다. 본 논문에서는 포토다이오드와 current-mirror, 두 개의 비교기를 사용하여 I2C의 출력 인터페이스를 갖는 광센서에 대한 설계에 대해 다루고 있다. 이 광센서 디바이스의 근본적인 응용분야는 모바일 폰이나 PDA 등의 백라이트 제어에 사용되기 위한 주변 환경의 광량을 측정하는 것이다. 다른 응용분야로는 LED DISPLAY의 명암 대비 제어와 카메라 노출 제어 등에 사용할 수 있다. 다음의 그림1은 센서의 설계 블록 다이어그램이다.

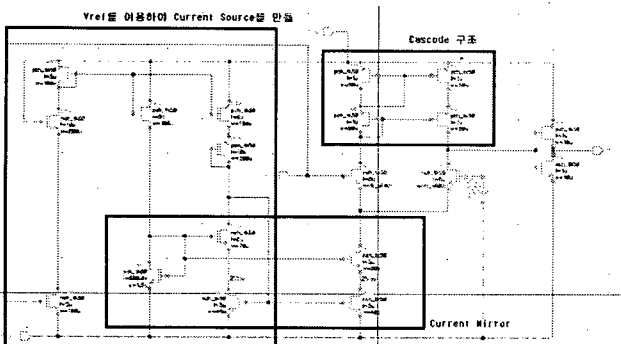


〈그림 1〉 TWO-CHANNEL 디지털 광센서 시스템

본 논문의 내용을 정리하자면 다음과 같다. 2장에서 제안하는 시스템의 세부적인 회로 설계 내용과 각각의 블록에 대한 결과를 기술하였다. 그리고 마지막으로 3장에서는 전체적인 내용을 요약표를 통해 정리하였다.

2. 본 론

2.1 비교기(Comparator)

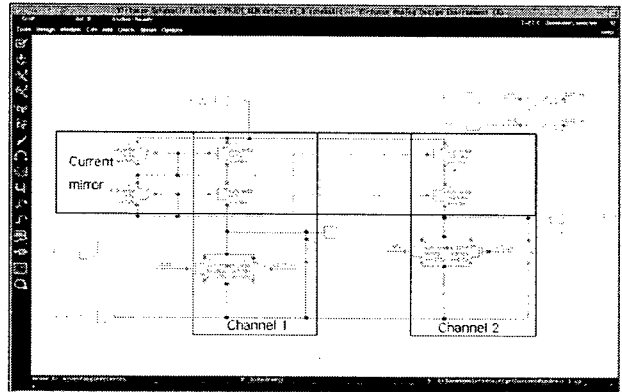


〈그림 2〉 비교기 회로

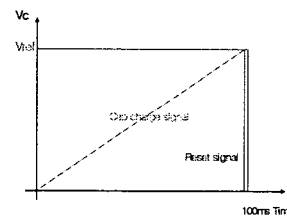
Comparator는 위의 diagram에서 보듯이 크게 3가지의 block으로 나눌 수 있다. Current source부분, current mirror와 cascode로 구성된다. Current source는 reference 회로를 이용하여 전력소비를 최소화 하였고 low

biasing 회로를 이용한 current mirror를 설계하여 cascode 방식에서의 headroom을 확보 하였다. cascode 방식을 이용한 이유는 보다 높은 gain을 얻기 위해서이다. 높은 gain을 확보해야 하는 이유는 vdd, process, temperature 에 대해서 오차를 최소화 할수 있기 때문이다.Process, temperature, vdd별 simulation시에는 입력 전압에 대하여 DC Simulation을 진행하였다. Reference 전압 1.12V에서 출력이 On되는 것을 확인하였다.

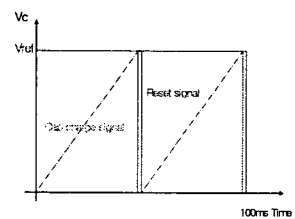
2.2 Detection & charging 회로



〈그림 3〉 Detection & charging 회로



〔그림 4〕 1lux 조도의 예



〔그림 5〕 2lux 조도의 예

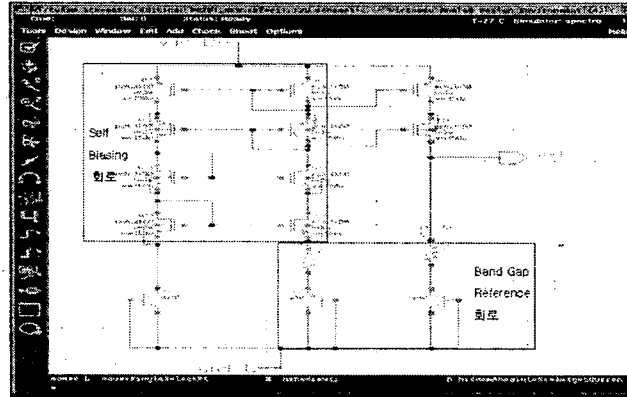
「단계별 동작원리」
Phase1에서는 Switch 1,2 가 Off 되면 Capacitor 는 Current mirror 만 연결되어 전류 값에 해당 되는 Slope 을 가지고 충전하게 된다. Capacitor의 전압과 Vref(1.12V) 와 비교 하여 충전이 완료되면 Comparator의 출력이 반전 되며 이 Reset 신호를 Control_Logic에서 Counting 하여 Digital Out 값으로 내보낸다.

Phase2에서는 Switch 1,2 가 On 되면 Capacitor 는 Ground와 연결되어 방전된다. Capacitor 양단의 전압식 $V = \frac{1}{C} \int Idt$ 에 따라서 C노드의 전압과 reference의 전압이 같아지면 $V_{ref} = \frac{1}{C} \int Id_{Dio} dt = \frac{1}{C} I_{Dio} t$ 가 되고 이것을 정리하면 $t = \frac{CV_{ref}}{I_{Dio}}$ 가 된다. 이것은 charge되는 시점부터 reset되는 시점까지의 시간(t)는 I_{Dio} 에 대해 반비례 하게 된다.

큰 전류가 흐를수록 Charge 될 때의 Slope이 커져 Reset 횟수가 증가 하게 된다. 위에 예를 들은 그림의 경우처럼 일정한 시간(100ms)동안 조도가 1lux 경우는 1회 Reset 되고 2lux의 경우는 2회 Reset 되게 된다. 시간은 100ms로 한 이유는 60Hz의 교류 전원을 사용하는 인공조명 환경에서 $1/60 \times 6 = 100ms$ 의 시간, 즉 리플 주기의 정수배 에 해당하는 시간을 설정하여 리플 현상의 영향이 평균적으로 제거된 RMS 값에 해당하는 조도에 맞는 Digital_Out 값을 가질 수 있기 때문이다. 2 Channel 방식을 이용하며 강한 조도일 경우 Channel 2를 선택하여 Idio/32 로 Scaling 된 전류를 이용하여 Capacitor 크기가 커지는 것을 방지하고 소비전력 또한 줄일 수 있다.

Current mirror단에서는 Cascode 구조를 이용하여 VDD에 둔감한 회로 구성하고 Diode의 전류와 1:1, 32:1의 비율의 전류를 채널1과 채널2에 각각 흐르게 한다. Channel 1에서는 Idio(Diode 입력전류)와 1:1 비율의 전류가 흘러 입력 전류가 1nA~2048nA 범위에서 유효하게 동작한다. Channel 2 : Idio(Diode 입력전류)와 32:1 비율의 전류가 흘러 입력 전류가 1nA~2048nA 범위에서 유효하게 동작하게 한다. Idio : Channel : Channel 2 = 1 : 1 : 1/32의 비율의 전류가 흐르고 이것은 Transistor size(W/L)를 약 32:32:1로 하여 구성한다. Switch를 구성하는 nmos pmos의 Transistor의 Size는 Charge injection 현상을 방지하기 위해 위와 같이 결정하였다.

2.3 Reference 회로



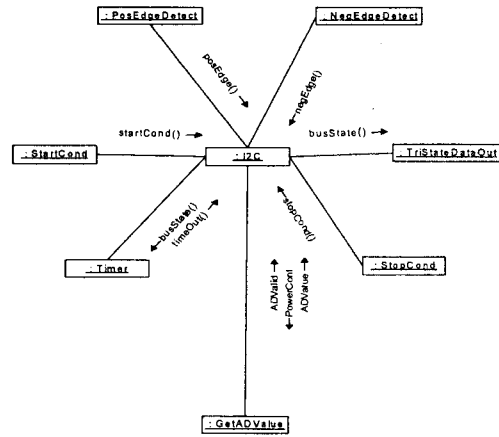
<그림 4> Reference회로

Self biasing 회로는 Cascode 구조의 self biasing 회로를 이용하여 VDD에 둔감한 회로로 구성되었고 Band gap reference 회로는 BJT의 사이즈와 Resistor의 비를 이용하여 상온에서 온도상수가 최적화된 회로로 구성하였다.

2.4 Control logic

Design Spec은 Light Sensing 회로를 제어하고 Comparator의 신호를 받아서 Capacitor를 Charge/Discharge하기 위한 신호를 입력하여 Comparator의 Reset신호를 Count하는 것이다. 다음으로 I2C Module에 Sensing된 조도 값을 전달하여 IDLE Mode (Power save 모드)로 들어가는 신호를 받아서 칩의 상태를 초기화 시키고 I2C Module에 Sensing된 조도 값을 전달하고, 유효한 값인지를 표시한다.

2.5 I2C



<그림 5> I2C통신 다이어그램

버스의 StartCondition(StopCondition)을 감지하여 I2C 모듈에 StartCond(StopCond) 신호를 보낸다. StartCond(StopCond) 신호는 비동기적(I2C로부터 Ack등의 응답신호를 받지 않는다.)이다. Timer는 버스의 상태가 일정 시간동안 변하지 않으면 다시 IDLE상태로 갈 수 있도록 timeOut 비동기 신호를 보낸다. I2C의 버스 상태 정보를 받아 상태의 변화를 감지한다. I2C는 4MHz의 내부 클럭으로 동작되고 버스의 상태를 감시한다. TriStateBufferOut I2C의 버스 상태에 따라 버스의 데이터 선을 하이 임피던스 또는 임의의 데이터를 출력하도록 한다. 내부 클럭에 동기화되어 동작한다. PosEdgeDetect는 I2C Clock의 상승 Edge를 확인하여 I2C에 신호를 보낸다. NegEdgeDetect I2C Clock의 하강 Edge를 확인하여 I2C에 신호를 보낸다. GetADCValue는 ADC값을 받아 ADC값이 유효한지를 확인한다.

3. 결 론

본 연구의 목적은 기존의 intergrating ADC를 이용한 복잡한 구조의 광센

서에 비해 보다 간단하면서도 높은 해상도(resolution)를 갖는 광센서의 개발하는 것이다. 또한 기존의 광센서는 인공 교류 광원의 50Hz,60Hz의 리플을 제거하지 못 하였지만 이 연구에서는 동작주기를 인공광원 주파수의 정수배가 되게 함으로서 그 문제를 해결하였다. 본 연구에서는 0.35µm tripple-well double-poly CMOS 공정을 사용하며, 동작전압의 범위는 2.7~5.5V이다. 아래의 표는 설계된 광센서 사양 및 측정결과이다.

Human Eye	opt filter
Max lux range	1 ~ 65535
A/D Digital Output	16 bit
Temp Compensate	X
Rejects 50/60 Hz	0
SMBus or I2C	I2C 400kHz
Internal OSC freq	2MHz
active Power	1 mW
Conversion Time	100 ms
Output Data	2 byte
Supply Operation	2.7 ~ 5.5
Slave address	hardwired 0111001
Operating temp(°C)	-40 ~ 85
Chip size(mm)	1.5 * 1.5

칩 유효면적의 제한성을 가지는 집적 회로의 성격상 큰 Capacitance를 이용하지 못 하는 한계를 극복하기 위해 2 Channel 방식을 이용하여 좁은 면적으로도 1~65535lux의 광범위한 한 조도를 감지 할 수 있고 실내의 인공조명 환경에서 불가피 하게 발생하는 광원의 Ripple 현상을 제거 할 수 있다.

[참 고 문 헌]

- [1] Behzard Razabi, "Design of Analog CMOS Integrated Circuit", McGRAW HILL, 2000
- [2] P.R Gray and R.G.Meyer, "MOS Operational Amplifier Design-A Tutorial Overview", IEEE Journal of Solid-State Circuits, 1982
- [3] P.R Gray, R.G.Meyer, S.H Lewis, P.J. hurst, "Analysis and Design of Analog Integrated Circuits", JOHN WILEY &SONS,2001 pp253-343
- [4] 박홍준, "CMOS 아날로그 집적회로 설계(하)", 시그마프레스,1999
- [5] Kaushik Roy, Shart C.Prasad "Low-Power CMOS VLSI Circuit Design", JOHN WILEY &SONS, 1999
- [6] E.A.Vittoz, "The Design of High-Performance Analog Circuits on Digital CMOS Chips, IEEE Journal of Solid-State Circuits, 1985
- [7] B.-S Song and P.R Gray, "Precision Curvature-Compensated CMOS Bandgap Reference", IEEE Journal of Solid-State Circuits, 1983
- [8] M.G.R.Derauwe, O.N.Leuthold, E.A.Vittoz, H.J.Oguey, and A.Decombes "CMOS Voltage References Using Lateral Bipolar Transistor" IEEE Journal of Solid-State Circuits, 1985