

# Current Memory의 성능 개선을 위한 Dummy Switch의 Width에 관한 연구

## A Study on Width of Dummy Switch for performance improvement in Current Memory

조하나<sup>1</sup>, 홍순양<sup>2</sup>, 전성용<sup>3</sup>, 김성권<sup>4</sup>

<sup>1</sup> 전남 목포시 죽교동 571-2 목포해양대학교 대학원 전자통신공학과  
E-mail : iris41777yairis@hotmail.com

<sup>2</sup> 서울시 강남구 역삼동 742-23 도원빌딩 TOMATO LSI Inc.,  
E-mail : justin@tomatolsi.com

<sup>3</sup> 서울시 강남구 역삼동 742-23 도원빌딩 TOMATO LSI Inc.,  
E-mail : syjeon@tomatolsi.com

<sup>4</sup> 전남 목포시 죽교동 571-2 목포해양대학교 해양전자통신공학부  
E-mail : skkim12632@mmu.ac.kr

### 요 약

최근 Analog Sampled-Data 신호처리를 위하여 주목되고 있는 SI(Switched-Current) circuit은 저전력 동작을 하는 장점이 있지만, 반면에 SI circuit에서의 기본 회로인 Current Memory는 Charge Injection에 의한 Clock Feedthrough이라는 치명적인 단점을 갖고 있다. 따라서 본 논문에서는 Current Memory의 문제점인 Clock Feedthrough의 일반적인 해결 방안으로 Dummy Switch의 연결을 검토하였고, Austria Mikro Systeme(AMS)에서 0.35 $\mu$ m CMOS process BSIM3 Model로 제작하기 위하여 Current Memory의 Switch MOS와 Dummy Switch MOS의 적절한 Width를 정의하여야 하므로, 그 값을 도출하였다. Simulation 결과, Switch의 Width는 2 $\mu$ m, Dummy Switch의 Width는 2.35 $\mu$ m로 정의될 수 있음을 확인하였다.

Key Words : Switched-Current circuit, Current Memory, Clock Feedthrough, Current-mode FFT LSI

### 1. 서 론

최근 Analog Sampled-Data 신호 처리를 위하여 SI(Switched-Current) circuit이 주목되었다. SI circuit은 SC(Switched-Capacitor) circuit과 달리 선형적 capacitor를 필요로 하지 않고 Digital CMOS process를 할 수 있다는 이점이 있다. 또한 SI circuit은 voltage operational amplifier로 동작하는 SC circuit에 반대되는 Current Mirror 증폭기로, 저전력 공급 전압이 요구된다는 장점을 갖는다. 그러나 SI circuit은 harmonic distortion이 SC circuit보다 더 나쁘기 때문에 Charge Injection에 의한 Clock Feedthrough의 문제에 대하여 매우 제한적이다. 이것이 바로 SI circuit의 주된 약점이다.

Current-mode FFT LSI의 설계 과정에서 SI circuit의 기본 회로인 Current Memory는 Current를 지연시간동안 기억하는 중요한 device이다. 그러나 Clock Feedthrough의 단점을 안고 있기 때문에, 이 문제점을 해결하기 위해서 일반적으로 Dummy Switch를 사용하고 있다. 또한 Austria Mikro Systeme(AMS)에서 제작된 0.35 $\mu$ m CMOS process BSIM3 Model[5]에서는 Current Memory의 Switch와 Dummy Switch의 적정 Width값이 정의되어야 한다.

따라서 본 논문에서는 Current Memory를 설계하고, 이 때 발생하는 Clock Feedthrough에 대하여 언급한다. Clock Feedthrough은 Current Memory MOS의 gate와 source의 양단 전압을 변동시키므로, Current Memory의 기본 동작인 전류를 지연 시간동안 저장할 수 없는 문제점을 갖는다. 따라서 해결 방안으로 Dummy Switch를 연결하였고, Clock Feedthrough의 최소화를 위하여 Switch와 Dummy Switch의 Width 값을 도출하고자 한다.

### 2. Current Memory의 기본원리

SI(Switched-Current) circuit은 Current를 처리함으로써, Signal Ratio와 Signal Delay와 같은 Sampled-Data 동작을 구할 수 있다[1].

먼저 Signal Ratio는 Current Mirror를 이용하여 얻을 수 있다. 여기서 Current Mirror는 Fig.1(a)에서 보는 것과 같이 두 MOS transistor( $M_1$ ,  $M_2$ )의 width가 같고, 두 MOS transistor( $M_1$ ,  $M_2$ )의 source와 gate 양단에 걸리는 전압  $V_{gs}$ 가 같을 때, 두  $M_1$ ,  $M_2$ 에 흐르는 전류가 같다. 또한 Fig.1(b)은  $M_1$ ,  $M_2$ 의 width가 2:1로 다르고,  $M_1$ 과  $M_2$ 의 source와 gate 양단에 걸리는 전압

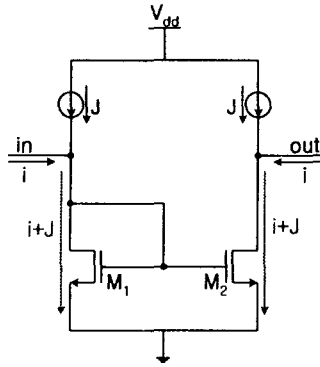


Fig. 1(a) Current Mirror의 기본동작(M1:M2=1:1)

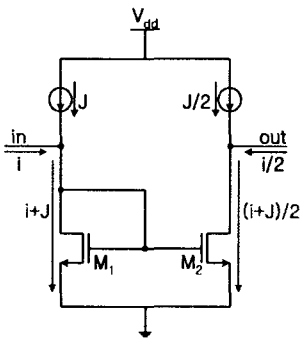


Fig. 1(b) Current Mirror의 Signal Ratio(M1:M2=2:1)

$V_{gs}$ 가 같을 때,  $M_1$ 과  $M_2$ 에 흐르는 전류는 2:1이 된다. 따라서 MOS transistor의 width의 Ratio에 따라 current의 ratio가 결정됨으로써, Signal Ratio를 구할 수 있다.

Signal Delay는 Memory Cell을 이용하여 구할 수 있다[2]. Memory Cell은 일정한 시간동안 Current Signal을 유지하며, Current Memory라고 한다. 또한 이는 MOS transistor로 구현되고, 이를 Memory MOS라고 한다. Current Memory의 동작원리는 Fig.2와 같다. Fig.2(a)는 SW1이 ON(clock phase  $\phi_1$ )되는 Track Mode로 Memory MOS에 input signal  $I_{in}$ 과 전류원에서 흐르는 전류  $J$ 가 합해진 전류  $J+I_{in}$ 이 흐르게 되고, 이 때의  $V_{gs}$ 를 Memory MOS의 source와 gate 사이의 기생 capacitor에 저장한다. 그 후, Fig.2(b)에서 보는 것과 같이 SW1과 SW2를 모두 OFF 하였을 경우, 전류원의 전류  $J$ 만 Memory MOS에 흐르게 되고, 이 때 기생 capacitor는  $V_{gs}$ 를 유지한다. 지연 시간이 흐른 후, SW1을 OFF된 상태에서 SW2를 ON(clock phase  $\phi_2$ ) 시키면, 기생 capacitor에 저장되어있는  $V_{gs}$ 에 의해 Memory MOS에 Fig.2(a)에서와 같은 전류  $J+I_{in}$ 을 출력한다. 따라서 Memory MOS는 지연 시간 동안 입력받은 신호를 저장하고 있다가 출력시키는 동작을 한다[6].

Current Memory는 switch로부터 Charge Injection에 의해 Clock Feedthrough라는 문제에 직면하게 된다. 다음 장에서는 Clock Feedthrough에 일반적인 해결방법인 Dummy Switch의 연결을 검토하였다.

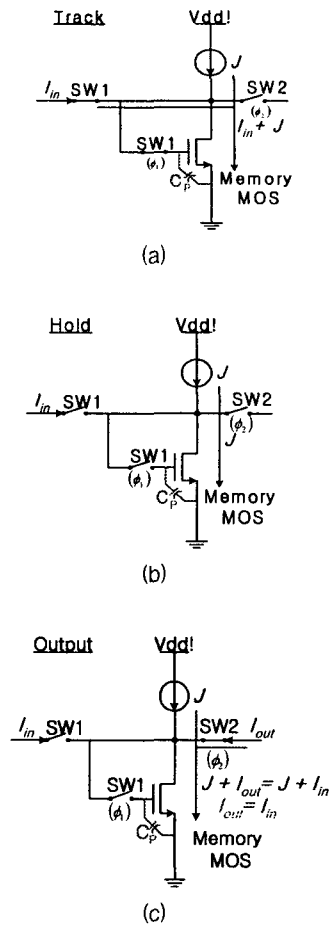


Fig. 2 Current Memory의 동작원리

### 3. Clock Feedthrough과 해결방안

#### 3.1 Clock Feedthrough

Clock Feedthrough은 Memory MOS의 capacitive node에 연결된 switch가 OFF 되는 동안 이 node의 전하가 누설되는 현상이다[3]. Fig.3(a)은 Clock Feedthrough을 갖는 Current Memory를 도식화해놓은 것으로,  $M_m$ 은 Memory MOS이고,  $M_s$ 는 Memory MOS의 gate에 연결되어 있는 SW1이다.  $C_{gs}$ 는 Memory MOS의 기생 capacitor이고,  $C_{gd}$ 는 SW1의 기생 capacitor이다.  $M_s$ 가 연결된다면( $V_{clk} : High$ ), Current Memory의 track mode와 같이 동작하지만,  $M_s$ 의 연결이 끊어진다면( $V_{clk} : Low$ ),  $M_s$ 의 기생 capacitor  $C_{gd}$ 가 Fig.3(b)에서 보는 것과 같이  $C_{gs}$ 와 병렬 연결된 것처럼 동작한다. 이때, capacitive node의 전하를  $C_{gd}$ 로 끌어당기게 된다.

$$Q = C_{gs} \cdot V_{GS} = (C_{gs} + C_{gd}) \cdot V_{GS}' \quad (1)$$

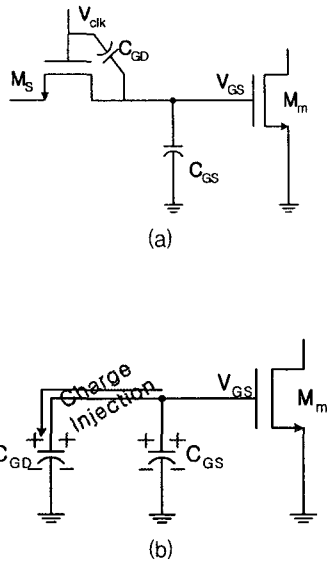


Fig. 3 Clock Feedthrough

$$V_{GS}' = \frac{C_{GS}}{C_{GS} + C_{GD}} \cdot V_{GS} \quad (2)$$

즉, capacitive node의 전하는 항상 일정하고,  $C_{GS}$ 와  $C_{GD}$ 가 병렬 연결되어 있기 때문에 식(1)과 같다. 따라서 식(2)에서 보는 것과 같이 Clock Feedthrough에 의해 Memory MOS의 gate-source 양단의 전압이 변동이 생기게 된다. 그러므로 input signal을 지연 시간동안 저장할 수 없는 문제점이 발생하게 된다.

### 3.2 Clock Feedthrough의 해결방안

Clock Feedthrough은 Current Memory의 gate와 source의 양단 전압 [ $V_{GS}$ ]을 변동시키는 문제점을 가지고 있다. 따라서 이를 해결하기 위한 방법으로 Dummy Switch의 연결을 검토하였다[3]. 이때 Dummy Switch(Dummy MOS)는 Fig.4(a)에서 보는 것과 같이 Switch MOS( $M_S$ )와 반대 동작을 하도록 연결한다. Dummy MOS를 연결하면 Fig.4(b)처럼  $C_{GD}$ 로 끌어당기는 전하가 Dummy MOS의 기생 capacitor의 전하에 의해 상쇄된다. 따라서 본 논문에서는 Clock Feedthrough의 감소를 위해 Dummy MOS의 연결을 제시하고, Austria Mikro Systeme(AMS)에서 0.35um CMOS process BSIM3 Model로 제작하기 위하여 Current Memory의 Switch MOS와 Dummy Switch MOS의 적절한 Width를 정의한다.

### 4. Dummy Switch MOS의 Width를 도출하기 위한 Simulation

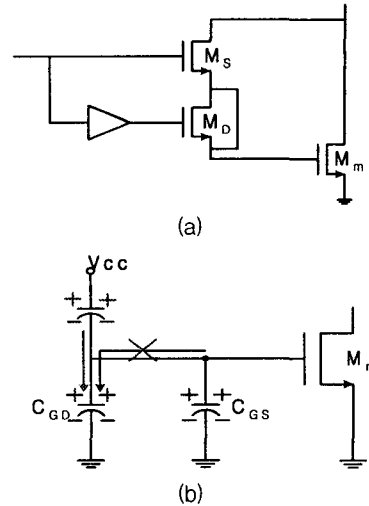


Fig. 4 Clock Feedthrough을 해결하기 위해 Dummy MOS를 연결한 Current Memory

Fig.5는 Dummy MOS를 갖는 Current Memory의 schematic이다. Dummy Switch를 연결한 Current Memory의 원리를 보듯이 Switch의 Width( $W_S$ )가 Dummy Switch의 Width( $W_D$ )보다 더 작아야 한다. Switch의 Width가 더 크다면, Dummy Switch MOS는 Switch의 전하를 상쇄시킬 수 없고, Switch로 Clock Feedthrough이 발생하게 된다. 따라서 Switch의 Width를  $2\mu\text{m}$ 로 고정시키고, Dummy Switch의 Width를 Switch보다 더 크게  $2\mu\text{m} \sim 3\mu\text{m}$ 의 범위로 변화시켜가면서 simulation하였다. 다음  $V_{dd}=3.3\text{V}$ ,  $V_{bias1}=2.4\text{V}$ ,  $V_{bias2}=1.8\text{V}$ ,  $V_{bias3}=1.0\text{V}$ 로, input signal을  $50\mu\text{A}$ 로 설정하여 simulation 하였다. 이 때, input signal [ $I_i$ ]과 output signal [ $I_o$ ]을 비교한 결과 Table.1과 같다. 따라서 Switch MOS의 Width가  $2\mu\text{m}$ , Dummy Switch MOS의 Width가  $2.35\mu\text{m}$ 일 때, input signal과 output signal의 오차(offset)가 가장 최소가 됨을 확인할 수 있었다. 또한 Fig.7(a)은 Width를 Switch MOS는  $2\mu\text{m}$ , Dummy Switch MOS는  $2.35\mu\text{m}$ 로 적용하여 Current Memory의 전압변동을 simulation한 결과이다. 그림에서 보는 것과 같이 전압이  $769.88\text{mV}$ 로 입력될 때,  $770.24\text{mV}$ 로 출력되므로,  $0.36\text{mV}$ 의 매우 적은 오차를 발생하였다. Fig.7(b)도 Fig.7(a)에서와 마찬가지로 Width를 적용하여 Current Memory의 input signal과 output signal의 변동을 simulation한 결과이다. 이 때 input signal을  $49.27\mu\text{A}$ 로 입력하였을 경우, 지연 시간  $25\mu\text{s}$  이후  $49.63\mu\text{A}$ 가 출력됨으로써  $0.36\mu\text{A}$ 의 작은 오차가 발생함을 확인할 수 있었다.

따라서 Switch MOS는  $2\mu\text{m}$ , Dummy Switch MOS의 Width가  $2.35\mu\text{m}$ 로 정의할 수 있음을 확인하였다.

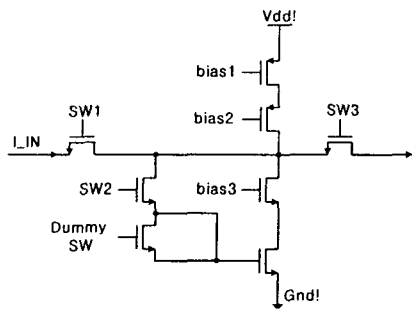


Fig. 5 Dummy MOS를 갖는 Current Memory의 schematic

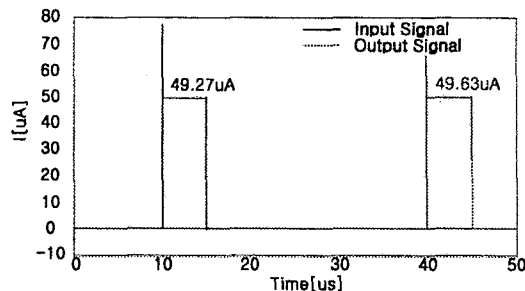


Fig. 7(b) Current Memory의 input signal과 output signal의 변동 simulation 결과

Table. 1 Dummy MOS의 Width 변화에 따른 Output signal 변동

Ws[um]	Wd[um]	Ii[uA]	Io[uA]	offset[uA]
2	0	0	0	0
2	2	50	46.47	3.53
2	2.15	50	46.94	3.06
2	2.2	50	47.26	2.74
2	2.25	50	47.92	2.08
2	2.3	50	48.03	1.97
2	2.35	50	49.68	0.32
2	2.4	50	51.38	-1.38
2	2.45	50	52.07	-2.07
2	2.5	50	52.84	-2.84
2	2.55	50	53.47	-3.47
2	2.6	50	54.18	-4.18
2	2.65	50	54.86	-4.86
2	2.7	50	55.09	-5.09
2	2.75	50	55.65	-5.65
2	3	50	58.27	-8.27

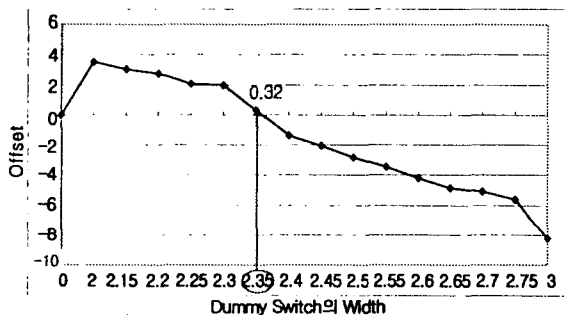


Fig. 6 Dummy MOS의 Width 변화에 따른 Output signal 변동

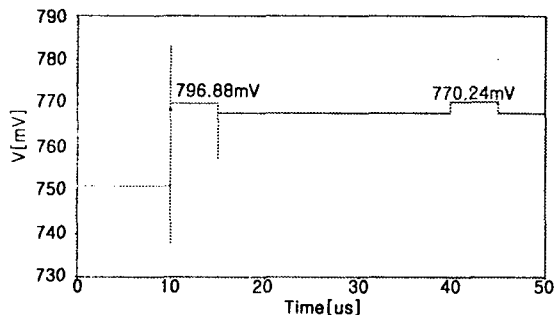


Fig. 7(a) Current Memory의 전압변동 simulation 결과

### 5. 결 론

SI(Switched-Current) circuit은 Digital CMOS 처리는 물론, 저전력 공급 전압을 요구한다는 이점을 갖기 때문에, 최근 Analog Sampled-Data 신호 처리에 주목을 받고 있다. 그러나 이 SI circuit의 기본 회로인 Current Memory는 Clock Feedthrough이라는 까다로운 문제점을 갖고 있다. 따라서 본 논문에서는 Current Memory를 설계하고, Current Memory의 문제점인 Clock Feedthrough의 일반적인 해결방안으로 Dummy Switch의 연결을 검토하였다. 또한 Austria Mikro Systeme(AMS)에서 0.35um CMOS process BSIM3 Model로 제작하기 위하여 Current Memory의 Switch MOS와 Dummy Switch MOS의 적절한 Width를 정의하여야 하므로, 그 값을 도출하였다. Simulation 결과, Switch의 Width는 2um, Dummy Switch의 Width는 2.35um로 정의될 수 있음을 확인하였다.

### 참 고 문 헌

- [1] Ganesh Kumar Balachandran and Phillip E. Allen, "Switched-Current Circuits in Digital CMOS Technology With Low Charge-Injection Errors," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL.37, NO.10, OCTOBER 2002.
- [2] G. K. Balachandran and P. E. Allen, "A fully differential switched-current memory cell with low charge-injection error," *IEE Proc. Circuits, Devices, Syst.*, vol.148, no. 3, pp. 157-164, June 2001.
- [3] H. C. Yang, T. F. Fiez, and D. J. Allstot, "Current-feedthrough effects and cancellation techniques in switched-current circuits," in *Proc. IEEE Int. Symp. Circuits and Systems*, Vol. II, May 1990, pp. 3186-3188.
- [4] J. B. Hughes and K. W. Moulding, " $S^2I$ : A switched-current technique for high performance," *Electron. Lett.*, vol. 29, no. 16, pp. 1400-1401, June 1993.
- [5] Seong-Kweon Kim, "Design of Voltage to Current Converter for Low Power OFDM Application,"