

# Sentaurus를 이용한 트렌치 제작 공정

이상호 · 정학기 · 이재형 · 정동수 · 이종인  
군산대학교 전자정보공학부

## The Trench Design Using Sentaurus Tool

Sangho Lee · Hakkee Jung · Jaehyung Lee · Dongsoo Jeong · Jongin Lee  
School of Electronic and Information Eng., Kunsan National University  
E-mail: hkjung@kunsan.ac.kr

### 요 약

본 연구에서는 Shallow trench isolation(STI)를 형성하기 위한 과정을 제시할 것이다. 소자간 분리를 위한 전통적인 방법으로 LOCOS(Local Oxidation of Silicon) 방식이 사용되어왔으나, 소자가 미세해짐에 따라 LOCOS 방식에서 나타나는 단차와 Birds Beak이라는 횡 방향의 산화에 의한 활성 영역의 손실을 무시할 수 없게 되어 새로운 소자 분리 방법이 필요하게 되었으며 이러한 요구에 의해 도입된 Isolation 기술이 Shallow Trench Isolation(STI) 기술이다. 다양한 etching options은 중요한 부분이다. 이 경우에 trench etching의 방향은 점점 좁아지는 측면을 경사지게 하면서 협곡을 만드는 효과적인 방법을 사용할 것이다. 본 연구에서는 좁은 협곡(Shallow trench)의 절반만 시뮬레이션 될 것이다. 만약 모든 협곡의 시뮬레이션을 필요로 한다면 다변의 etching은 사용될 수 있다. STI 공정의 핵심은 trench etch를 좁게하면서 반도체 소자를 어떻게 하면 잘 분리할 수 있는가에 있다.

### I. 서 론

증착은 상압 또는 저압상태에서 주로 CVD방법에 의해, Si 기판 위에 Film막(Oxide, Nitride 등)을 성장시키고 IC, LSI 등 MicroFabrication에 쓰이는 기본적인 기술로서 석판인쇄술이라고 불리는 리소그래피 방법을 사용한다. 리소그래피는 매우 청결한 곳에서 작업이 이루어져야 하며 공정을 하는동안 어떠한 먼지 입자가 기판에 있으면 최종 감광제 코팅 작업에서 문제가 될 수 있다. Etching 방법은 Silicon Wafer에 필요한 부분만을 남겨 놓고 불필요한 부분을 chemical 또는 Gas로 녹여 내는 제작과정이다. 액체나 가스 상태의 화학적 에칭은 딱딱한 감광제로 보호되지 않은 부분의 장벽물질을 제거하는데 사용한다. 약품의 선택은 에칭하고자 하는 물질에 따라 달라진다. 에칭액은 감광층이 보호하고 있는 부분보다 비보호 부분을 신속히 제거하기 위해 높은 선택도가 요구된다. 습식 화학 에칭은 실리콘 산화막에 창을 내기 위해 버퍼

산화 에칭(BOE 또는 BHF)을 주로 사용하고 건식 에칭은 VLSI 제작 공정에서 널리 쓰인다. CMP공정은 화학적 기계적 폴리싱을 이용하여 연마제에 의한 기계적인 폴리싱 효과와 산 또는 염기 용액에 의한 화학적 반응 효과를 결합하여 웨이퍼 표면을 평탄화(Planarization)해주는 공정으로 STI제작공정에서 중요한 공정단계에 속한다. Slirry 화합물을 사용하여 소자층을 평탄화하거나 단차를 줄인다. TEOS(Tetra Ethyl Ortho Silicate)는 산화막 증착시 Si Source로 사용하는 물질이며 이 연구에서의 STI(Shallow Trench Isolation)공정은 반도체 소자 분리 기술로서 반도체 기판에 Trench 형성한 후 내부를 절연막으로 매립해 소자분리막을 형성하여 제작할 것이다. [1] [2]

### II. 본 론

#### 2.1 시뮬레이션 방법

Sentaurus Process 시뮬레이션 프로그램[3]에서 command prompt의 xterm창에 Sprocess

다음에 Sprocess fps.cmd 프로그램을 가동하여 첫 번째 공정단계인 Initialization 과정부터 마지막 공정 단계인 Nitride strip/reflect 과정을 시뮬레이션 한다. tdr 파일을 보기 위해 tdx 명령을 사용하여 도핑농도를 알수 있으며 각 단계별로 struct를 형성하므로써 2D 시뮬레이션인 Tecplot를 사용하여 공정과정을 볼 수 있다.

## 2.2 시뮬레이션 과정

### ① Initialization

처음의 격자와 시뮬레이션 domain을 정의한다. 즉 초기값에 맞춰놓는다. 명령어는 다음과 같다.

```
line y location=0.0 spacing=0.1<um> tag=left
line y location=0.5<um> spacing=0.1<um>
      tag=right
line x location=0.0 spacing=5.0<nm>
      tag=bottom
line x location=0.5<um> spacing=50.0<nm>
line x location=5.0<um> spacing=0.5<um>
      tag=top
region Silicon xlo=bottom xhi=top ylo=left
      yhi=right
init concentration=1.4e+15<cm-3>
      field=boron
struct tdr=STIFull_0
```

### ② Growing Pad Oxide

hard 질화물 마스크와 실리콘 기판사이의 마찰을 피하기 위해 실리콘 산화물의 padding layer가 형성된다. Pad oxide층은 다음과 같은 과정에 의하여 형성된다.

```
gas_flow clear
gas_flow name=O2_0.1_N2_10
      pressure=1.0<atm> W
      flowO2=0.1<l/min> flowN2=10.0<l/min>
gas_flow name=O2 pressure=1.0<atm> W
      flowO2=1.0<l/min>
temp_ramp name=PadOxide clear
temp_ramp name=PadOxide time=(1050.0-70
      0.0)/75<s> W
      temp=700.0<C> ramprate=75<K/s>
      gas_flow=O2_0.1_N2_10
temp_ramp name=PadOxide time=1.5<min>W
      temp=1050.0<C> hole gas_flow=O2
```

```
temp_ramp name=PadOxide
      time=(1050.0-700.0)/20<s> W
      temp=1050.0<C> ramprate=-20<K/s>
      gas_flow=O2_0.1_N2_10
diffuse temp_ramp=PadOxide
set PadOxide [MeasureOx Silicon 2 0.0]
puts "Thickness of PadOx is: $PadOxThick
      um"
```

### ③ Depositing Nitride Layer

hard mask는 trench 형성을 위해 사용되어야 한다. 이런 hard mask를 형성하기 위해 nitride 층은 다음 과정과 함께 증착된다.

```
machine name=NiDep nitride deposit
      isotropic rate=1.0<um/min>
set NitrideThick 0.1
deposit machine=NiDep
      time=$NitrideThick<min>
struct tdr=STIFull_1
```

### ④ STI Lithography

hard mask는 포토리소그래피 단계에서 만들어진다. mask를 세기고 shallow trench etch에 대한 photo resist층은 다음 과정과 함께 증착된다.

```
mgoals on
set TrenchLeftCoord 0.44
set TrenchRightCoord 0.56
mask name=STI
      segments= {-1.0 $TrenchLeftCoord
      $TrenchRightCoord 2.0}
deposit Photoresist isotropic thickness=0.5
etch Photoresist anisotropic
      thickness=0.5*1.5 mask=STI
struct tdr=STIFull_2
```

### ⑤ Shallow Trench Etch

shallow trench는 측면으로 경사지게 결정됨과 함께 예칭된다. Sentaurus Process는 etch vector를 부여함으로써 예칭 방향을 제공한다.

```
etch Nitride anisotropic
      thickness=$NitrideThick*1.5
struct tdr=STIFull_3
etch Oxide anisotropic
      thickness=$PadOxThick*1.5
```

```
strip Photoresist
struct tdr=STIFull_4
set TrenchAngle 85.0
set TrenchDepth 0.2
etch material=silicon type=polygon W
    polygon= {0.0 $TrenchLeftCoord
$TrenchDepth
$TrenchLeftCoord+ $TrenchDepth*tan((90.0-
$TrenchAngle)*atan(1.0)/45.0)W
$TrenchDepth $TrenchLeftCoord-$TrenchDe
pth*tan((90.0-$TrenchAngle)*atan(1.0)/45.0)
W
0.0 $TrenchRightCoord}
struct tdr=STIFull_5
```

⑥ Growing Oxide Liner

trench는 산화물로 채워질 필요가 있다. 극소수의 trap states와 함께 양질의 표면을 확보하기 위해 oxide liner를 성장시킨다. trench에서 oxide liner성장은 다음의 과정에서 수행된다.

```
gas_flow clear
gas_flow name=H2O pressure=1.0<atm>
    flowH2O=1.0<l/min>
temp_ramp name=Liner_Oxide clear
temp_ramp name=Liner_Oxide
    time=0.25<min> W
    temp=1050.0<C> hold gas_flow=H2O
diffuse temp_ramp=Liner_Oxide
struct tdr=STIFull_6
```

⑦ Depositing and CMP of TEOS

trench는 산화막으로 채워지고 구조는 다음의 과정에서 평탄화된다. etch type=cmp명령은 모든 구조에서 평탄화되지 않는다. 활성 cmp는 선택된 물질을 평탄화한다. 그러므로 평탄화 구조를 얻기 위하여 etch=cmp단계는 모든 노출된 물질에 대해 반복이 되어야 한다.

```
deposit Oxide isotropic thickness=0.10
struct tdr=STIFull_7
etch material= {Oxide} type=cmp
    coord=-0.05
etch material= {nitride} type=cmp
    coord=-0.05
struct tdr=STIFull_8
```

⑧ Nitride Strip/Reflect

모든 STI구조를 완성하기 위해 hard nitride mask를 제거하고 다음 과정에서 구조를 형성한다.

```
strip Nitride
struct tdr=STIFull_9
```

2.3 시뮬레이션 결과

각 단계별로 각각의 결과 그림과 도핑농도를 나타내었다.

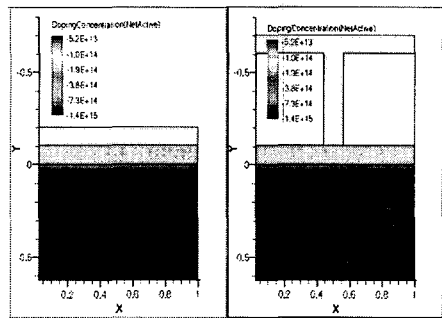


그림 1. (좌) 산화막, 질화막층 증착 (우) 리소그래피 형성

그림 1에서와 같이 STI공정의 첫단계로 실리콘 산화막을 형성하고 질화막층을 증착 한후 리소그래피 과정을 보였다. 좁은 Trench를 형성하기 위해 질화물층을 etching 하고 포토레지스트 부분을 제거하는 과정을 그림 2에 나타내었다.

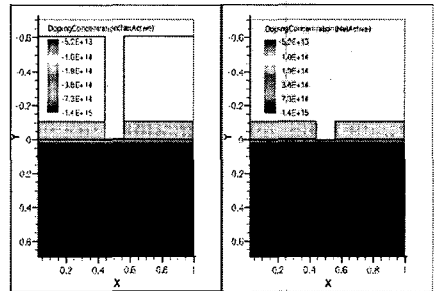


그림 2. (좌)질화막층 Etching (우)포토레지스트 제거

그림 3은 측면을 따라 경사지게 etching 하므로

써 trench를 좁게 형성 할 수 있음을 보여준다. 양질의 표면을 확보하기 위해 trench 측면을 따라 산화막 Liner을 성장시킨 후 그림4와 같이 TEOS 물질을 이용하여 산화막을 증착 후 CMP 공정을 한다. 그림 5는 최종적으로 질화막층을 제거함으로써 완성된 STI 공정을 나타내었다. 그림에서 보는 바와 같이 CMP 공정 후 웨이퍼 표면이 매우 평탄한 상태가 됨을 알 수 있다.

### III. 결 론

이 연구에서 Sentaurus Process 시뮬레이션을 이용하여 STI 공정 단계를 한눈에 알아 볼수 있도록 구현하고자 하였다. 질화막과 산화막 증착 과정, 리소그래피 과정과 Trench etch에 따른 CMP 공정을 이용하여 웨이퍼 표면을 평탄화 하고 마지막으로 질화막층을 제거함으로써 얻어지는 STI 공정과정을 볼수 있었다. CMP 공정은 안정된 집적을 하기 위해 필요한 공정이다. STI 공정의 장점은 Trench 깊이를 조절 할수 있기 때문에 소자에 전압이 인가시 늘어난 공핍층이 서로 닿지 않도록 하는것이 가능하고 그로 인화 산층의 기생용량 성분을 감소시킬 수 있고 소자의 속도를 올릴 수 있다.

### 참 고 문 헌

- [1] Richard c. Jaeger, "Introduction to Micro electronic Fabrication(2/E)", Prentice Hall pp.31-43, pp.70-74, November 2002.
- [2] U. Kawabe, T. Saitoh, "Semi-Conductor Devices", Book's hill, pp.182-188, November 2001.
- [3] Sentaurus TCAD Training manual Sentaurus Process.

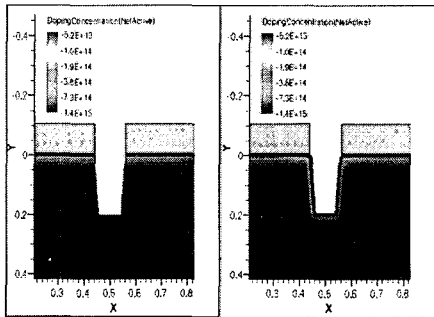


그림 3. (좌)Shallow Trench Etch(우)산화막 Liner증착

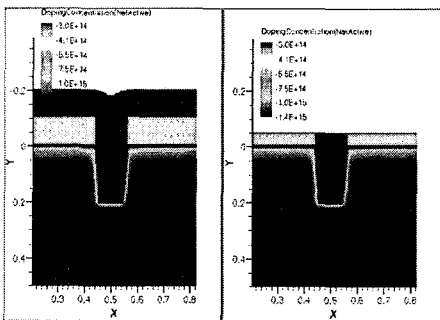


그림 4. (좌)TEOS 증착 (우)CMP 공정

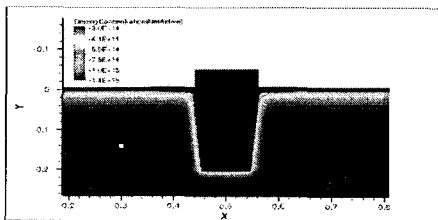


그림 5. 완성된 STI 공정