

# CuPc FET의 기판온도에 따른 제작 및 전기적 특성 연구

이호식\* · 양승호\* · 박용필\*

\*동신대학교

## Fabrication and Electrical Properties of CuPc FET with Different Substrate Temperature

Ho-Shik Lee\* · Seong-Ho Yang\* · Yong-Pil Park\*

\*Dongshin University

E-mail : hslee@dsu.ac.kr

### 요 약

최근에 유기물 전계효과 트랜지스터의 연구는 전자 소자 분야에서 널리 알려져 있다. 특히 본 연구에서는 CuPc 물질을 기본으로 하여 소자를 제작하고, 또한 기판의 온도를 달리 하여 제작하였다. CuPc FET 소자는 top-contact 방식으로 제작하였으며, 기판의 온도는 상온과 150°C로 달리 하였다. 또한 CuPc의 두께는 40nm로 하였고, 채널의 길이는 50 $\mu$ m, 폭은 3mm로 하였다. 제작된 소자를 이용하여 전압-전류 특성을 측정하였다.

### ABSTRACT

Organic field-effect transistors (OFETs) are of interest for use in widely area electronic applications. We fabricated a copper phthalocyanine (CuPc) based field-effect transistor with different substrate temperature. The CuPc FET device was made a top-contact type and the substrate temperature was room temperature and 150°C. The CuPc thickness was 40nm, and the channel length was 50 $\mu$ m, channel width was 3mm. We observed a typical current-voltage (I-V) characteristics in CuPc FET.

### 키워드

OFET, CuPc, current-voltage (I-V), capacitance-voltage (C-V)

## 1. 서 론

최근 유기물을 이용한 박막 트랜지스터(Thin film transistor; TFT)와 발광 다이오드 소자(Light-emitting diode)에 대한 연구가 매우 활발하게 진행되고 있다. 유기물을 이용한 소자제작은 무기물에 비하여 공정이 간단하고, 또한 저온에서의 소자 제작이 가능하기 때문에 무기물 반도체 소자에 비하여 많은 장점들을 가지고 있다 [1, 2].

또한 최근에 많은 연구 주제로 부각되고 있는 유연성 (flexibility)이 있고 가벼운 플라스틱 기판(plastic substrate)의 사용이 가능해지고, 간단한 공정으로 소자를 제작할 수 있어서, 소자를 제작

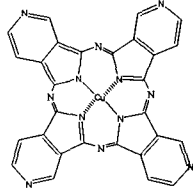
하는 비용의 절감 효과가 극대화 되고 있다.

이러한 유기물을 이용한 연구들은 상당히 많은 진전을 보이고 있으며, 특히 pentacene을 이용한 유기 박막트랜지스터 (Organic thin-film transistor; OTFT) 혹은 유기전계효과트랜지스터 (Organic field-effect transistor; OFET)의 경우는 이동도가 2 cm<sup>2</sup>/Vs 정도까지 보고되고 있다[3, 4].

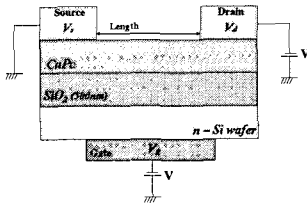
본 연구에서는 copper phthalocyanine (CuPc) 물질을 이용하여 FET 소자를 제작하고 이에 대한 전기적 특성을 알아보려고 한다. 또한 기판의 온도를 상온에서와 150°C로 달리하여 소자를 제작하고, 이에 대한 전기적 특성을 알아보았다.

II. 실험

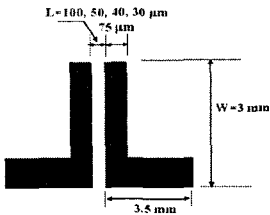
그림 1은 본 연구에서 사용한 물질의 구조 및 OFET 소자의 구조를 나타낸 것이다.



(a) CuPc 분자 구조



(b) 소자 구조 (Side view)



(c) 소자 구조 (Top view)

그림 1. CuPc 분자 구조 및 OFET 소자 구조.

본 연구에 사용한 소자는 top-contact 형태의 구조를 가지고 있으며, 절연층으로는 Si-wafer위에 열 증착법으로 형성된 SiO<sub>2</sub>를 500nm의 두께로 사용하였다. 또한 게이트 전극, 소스 전극, 그리고 드레인 전극은 모두 금 (Au)을 열 증착 방법을 이용하여 형성하였다. 활성층으로 사용한 CuPc 물질은 TCI (Tokyo Kasei Kogyo Co.)로부터 구입을 하였으며, 역시 열 증착 방법을 이용하여 박막을 형성하였다.

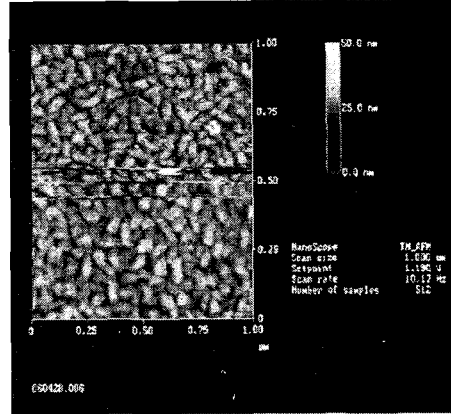
박막 형성시의 진공도는 약 10<sup>-6</sup> [torr]였으며, 증착 속도는 0.5 [Å/s]의 속도를 유지하면서 증착하였다. 또한 기판으로 사용한 Si-wafer는 CuPc 물질을 증착하기 전에 기판의 세척을 위하여 30분 동안 UV/ozone 처리를 하여 사용 하였다.

또한 OFET의 전기적 특성 측정은 Keithley type-2400을 이용하여 SMU (Source measure unit) 방법을 이용하여 측정을 하였다. 또한 유기 활성층의 표면의 특성은 AFM (Atomic force microscopy) 방법으로 측정하였다.

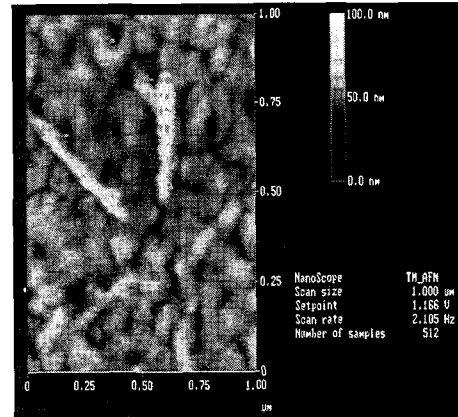
III. 결과 및 고찰

3-1. CuPc 박막의 AFM 측정

그림 2는 CuPc 물질의 표면 특성을 알아보기 위하여 AMF 측정을 하였다.



(a) 상온에서의 AFM 이미지.



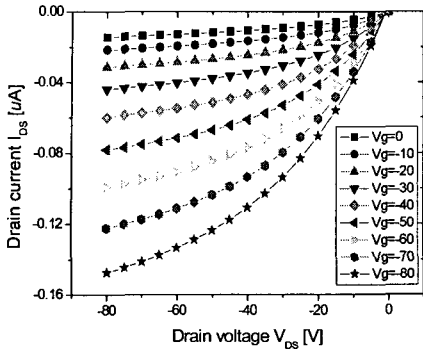
(b) 150°C에서의 AFM 이미지.

그림 2. CuPc 박막의 AFM 측정.

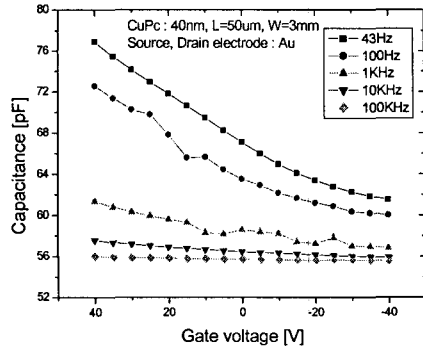
상온 기판에서의 AFM 이미지를 보면 CuPc 분자들이 거의 기판에 평행하게 누워 있는 것으로 보이며, 또한 CuPc 입자들을 확실하게 볼 수 있다. 그리고 150°C 기판에서의 CuPc 분자들의 입자의 크기가 다소 증가한 것을 볼 수 있다.

3-2. 기판 온도 변화에 따른 I-V 특성

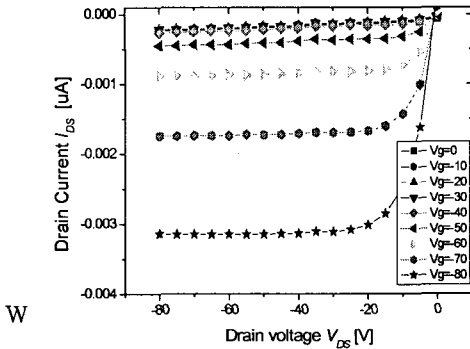
기판의 온도를 상온과 150°C로 하여 소자를 제작하고 이를 이용한 소자의 전기적 특성을 측정 하였다.



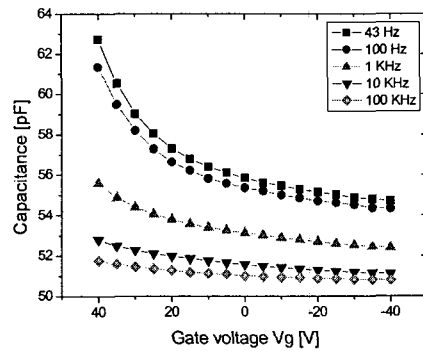
(a) 상온에서의 CuPc FET 전압-전류 측정



(a) 상온에서의 C-V 특성 측정



(a) 150°C에서의 CuPc FET 전압-전류 측정



(a) 150°C에서의 C-V 특성 측정

그림 3. CuPc FET에서의 온도 변화에 따른 I-V 특성.

그림 3에서 보면, 상온에서의 전기적 특성은 일반적인 FET의 특성을 보이고 있으나, 포화 영역을 정확히 구분 할 수 없는 결과를 보이고 있다. 150°C 기판을 사용한 CuPc FET에서도 역시 전형적인 FET 특성 곡선을 보이고 있으며, 포화 영역이 상온에 비해 빠르게 나타나는 것으로 보이고 있다. 이는 그림 2의 AFM 이미지에서 보듯이 기판에서의 CuPc 물질의 배열에 따라서 이와 같은 전기적 특성을 보이고 있는 것으로 생각된다. 또한 각각의 소자에서의 이동도를 계산해 보면 상온에서의 이동도 값이 고온의 기판을 사용한 소자보다 빠른 것으로 확인 되었다.

### 3-3. 기판 온도 변화에 따른 C-V 특성

그림 4는 기판 온도에 따른 캐패시턴스-전압(C-V) 특성을 측정하였다. 캐패시턴스-전압 특성 측정은 LCR 메타 (Hioki type-3522-50)을 이용하여 측정을 하였다.

그림 4. CuPc FET의 C-V 특성 측정.

그림 4는 C-V 특성을 측정한 것으로서 상온에서의 캐패시터 값이 약간 큰 것으로 확인되었고, 150°C 기판에서의 CuPc FET 소자에서는 저주파를 인가하였을 때 변화폭이 큰 것으로 확인 되었다. 이러한 결과도 역시 기판 위에서의 CuPc 물질의 형태에 따라 많은 영향을 받는 것으로 생각되어진다.

## IV. 결론

본 연구에서는 CuPc를 활성층으로 사용한 FET 소자를 제작하였고, 기판 온도 변화에 따른 CuPc FET 소자를 제작하여 전기적 특성을 측정하였다. 그 결과 상온에서 보다도 150°C의 기판을 사용한 FET 소자에서 포화 영역을 확실하게 확인 할 수 있었으며, C-V 특성 측정에서도 캐패시터 값이 저주파 영역에서 다소 많은 양의 변화를 확인 할 수 있었다.

## V. 감사의 글

“이 논문은 2005년 정부(교육인적자원부)의 재원으로 한국학술진흥재단의 지원을 받아 수행된 연구임.” (KRF-2005-214-D00287)

## 참고문헌

- [1] 장성근, “쌍극 폴리-금속 게이트를 적용한 CMOS 트랜지스터의 특성”, 전기전자재료학회 논문지, 15권, 3호, p. 233, 2002.
- [2] 황한욱, 황성수, 김용상, “LDD 구조의 다결정 실리콘 박막 트랜지스터의 특성”, 전기전자재료학회논문지, 11권, 7호, p. 522, 1998.
- [3] 김윤명, 표상우, 김준호, 심재훈, 김영관, 김정수, “Photoacryl을 게이트 절연층으로 사용한 유기 박막트랜지스터의 전기적 특성에 관한 연구”, 전기전자재료학회논문지, 15권, 2호, p. 233, 2002.
- [4] 송정근, “유기박막트랜지스터; 유기전자공학의 핵심소자”, 물리학과 첨단기술, 14권 7/8호, 2005.