차세대 기가급 케이블 전송 시스템 구현을 위한 Variable-Rate RS Encoder 설계에 관한 연구

이 양 선*, 주 원 기*, 강 도 욱*, 조 성 언**, 강 희 조***

* (주)휴메이트 기술연구소 H/W 연구팀

** 순천대학교 정보통신공학부

*** 목원대학교 컴퓨터공학부

A Study on the Variable-Rate RS Encoder Design for the Implement of Next Generation Gbps-Class Cable Transmission System

Yang-Sun Lee*, Won-Ki Ju*, Do-Wook Kang*, Sung-Eon Cho**, Heau-Jo Kang***

* H/W Research Team, R&D Center, Fumate Co., Ltd.

** Div. of Infomation & Communication Eng., National Sunchon Univ.

*** Div. of Computer Eng., Mokwon Univ.

E-mail : yslee@fumate.com

요 약

본 논문에서는 방송/통신 융합을 위한 차세대 기가급 케이블 전송 시스템으로서 디지털방송의 화두가 되고 있는 DOCSIS 3.0 고속데이터전송 시스템의 기술 및 동향에 관하여 분석하고 상향변조 기가급 케이블 전송 시스템 구현을 위해 가변 부호율을 제공하는 RS 인코더를 설계하였다. 본 논문에서 구현한 RS 인코더는 VHDL을 이용하여 설계하였고 ModelSim Tool을 이용한 시뮬레이션 분석을 통하여 동작을 검증하였다.

Ⅰ. 서 론

방송 매체 별 디지털화와 함께 방송/통신 융합을 이루기 위한 광대역 통합망 (BcN: Broadband convergence Network)의 등장은 필연적이다. 사용자와 BcN을 연결하기 위한 접근망(access network)의 개발 역시 방송/통신 융합을 위한 핵심 기술분야이다. 현재 접근망(BcN의 최종 1마일을 담당하기 위한 광대역 초고속 망)의 유력한 대안으로 떠오르고 있는 것이 HFC(Hybrid Fiber Coax)망을 기반으로 하는 기가급 케이블 송수신 시스템이다. 왜냐하면 FTTH(Fiber to the Home)나 xDSL(Digital Subscriber Line)에 비해 경제적 또는 기술적인 면에서 우수한 성능을 나타내기 때문이다.

광대역 통합망의 접근망으로 HFC망을 기반으로 하는 1Gbps 케이블 송수신 시스템을 사용할 경우 가입자에게 광대역 초고속 데이터 서비스를 다른 전송기법에 비해 효율적으로 제공할 뿐 아니라 기존 디지털케이블 방송 시스템을 이용한 XoD (Everything on Demand)의 실현이 용이해 진다. 미래 방송의모습이 XoD의 형태가 될 것으로 전문가들은 의견의 일치를 보이고 있지만 그 구체적인 실현 방법은 아직까지도 제시하지 못하고 있다. 하지만, 기가급 케이블 송수신 시스템은 미래의 방송 서비스인 XoD 실현을 위한 현실적인 대안으로 떠오르고 있다[1].

디지털 케이블 방송은 HFC(Hybrid Fiber Cable) 전송망을 통하여 영상과 음성의 방송신호 뿐만아니라 VoD(Video on Demand) 및 데이터방송과 같은 양방향 부가서비스를 포함하는 멀티미디어 서비스를 제공할 수 있으며, 케이블 인터넷 및 인터넷 전화와 결합하여 다양한 융합형 서비스를 수용할 수 있는 구조이다.

2007년 현재 케이블방송 가입 가구 수는 1470만에 도달하였고 디지털 케이블 방송가입자는 40만 가구, 초고속 인터넷 서비스는 280만 가입자에게 제공하고 있기 때문에 방송, 통신 융합 서비스의 중심적인 매체로서 역할을 하고 있다.

국내 케이블 분야에 적용된 기술과 표준은 미국의 케이블 전문연구기관인 CableLabs 기술을 적용하고 있고, CableLabs는 케이블방송 사업자와 긴밀한 기술개발 체계를 갖고 있어 표준화와

상용화가 동시에 이루어지는 일정으로 기술개발과 표준화 작업이 진행되고 있다[1].

CableLabs의 표준화는 HFC망에서 100Mbps 이상 전송이 가능한 경제성 있는 케이블 데이터 전송(DOCSIS 3.0과 Modular CMTS), COCSIS 기반의 품질보장이 가능한 데이터 전송(PCMM), 셋톱박스에 다운로드가 가능한 콘텐츠 보호 시스템 적용(D-CAS, Downloadable Conditional Access System), 그리고 부가서비스 확장을 위한 데이터방송, VoD 표현, 디지털 방송 시스템에 적합한 광고 시스템 등이 진행되고 있다.

본 논문에서는 DOCSIS 3.0 표준에서 CM(Cable Modem)-to-CMTS 전송으로써 상향변조 케이블 전송 시스템에 관하여 분석하고 상향변조 기가급 케이블 전송 시스템 개발을 위하여 가변 부호율을 제공하는 RS 인코더를 설계하였다.

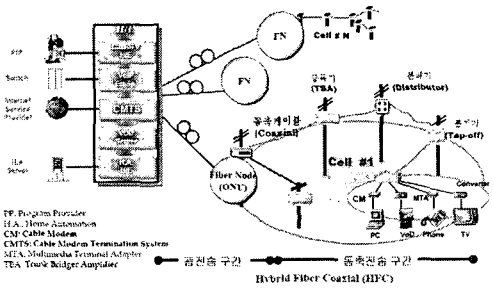


그림 1. 디지털 케이블 망 개념도

II. DOCSIS 3.0 (Data-Over-Cable Interface Spec. 3.0) 표준

HFC망에서의 데이터 전송 프로토콜인 DOCSIS는 하향(Downstream)은 TDM(Time Division Multiplexing) 방식, 상향(Upstream)은 TDMA(Time Division Multiple Access) 방식을 사용하여 Time Slot 기반으로 각각의 모뎀을 제어하는 구조를 가지고 있기 때문에 DOSIS Layer에서 VoIP나 지연에 민감함 멀티미디어 데이터에 대해 QoS 적용이 가능하다. 따라서, 일반적으로 Time Slot을 사용하지 않는 Ethernet MAC(Media Access Control)기반의 데이터 전송을 QoS에 매우 취약한데 반해 DOCSIS는 상당한 장점을 갖게된다[2].

그러나, HFC망 기반 인터넷 서비스는 그 대역폭의 한계 때문에 Ethernet MAC을 기반으로 한 경쟁 서비스에 비해 저속 서비스로 인식되어 왔으나, 최근 DOCSIS 3.0의 채널 본딩(Channel Bonding) 기술을 적용한 CMTS(Cable Modem Termination System)가 상용화 되면서 그 한계를 극복할 수 있는 계기를 마련하였다.

2006년 8월에 처음 정의되었고 2007년 2월에 첫 번째 개정안이 발표된 DOCSIS 3.0 표준은 케이블 네트워크에서 확장대역폭(Wideband)을 기반으로 한 All-IP화에 중요한 요소들을 정의하고 있다. 기존 DOCSIS 2.0에서는 상, 하향 각 1채널 사용으로 하향 최대 42Mbps, 상향 최대 30Mbps급 서비스를 지원했었으나 DOCSIS 3.0에서는 채널 본딩 기술을 통해 모뎀에서 각 채널들을 결합해서 동시에 여러 채널을 사용함으로써 대역폭 확대를 가능하게 하였고, 최소 상, 하향 각 4채널 본딩을 기본으로 하고 있다. 또한 본딩 채널 수를 확대하여 하향은 약 42Mbps*N개 채널, 상향은 30Mbps*N개 채널만큼의 대역폭 확장이 가능하다. 이를 위해, 각 본딩 채널에 대한 데이터 분산 전송 및 재조합을 위한 매커니즘을 주요 내용을 정의하고 있다[2].

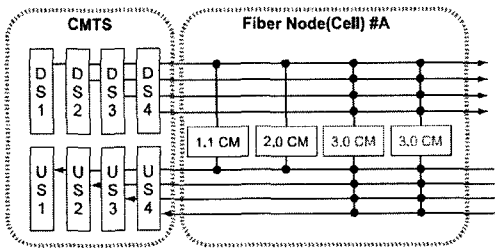


그림 2. 채널 본딩 개념도

III. 상향변조 기가급 케이블 전송 시스템 설계

3.1 상향변조 기가급 케이블 전송 시스템

그림 3은 기가급 케이블 전송 시스템 전체 개념도를 나타내고 있다. CM 단말에서 CMTS 시스템으로 전송하는 상향변조 스트림은 다수의 채널을 사용하여 CMTS에서 기가급 데이터 전송이 가능한 방식이다. 데이터의 전송은 burst size 전송방식으로 데이터의 burst size는 정보 데이터양에따라 최대 4096byte burst size 내에서 가변적으로 조정된다. 본 논문에서는 상향변조 4개의 채널을 사용하는 케이블 전송 시스템을 모델링하고 전송 데이터의 burst size에 따른 채널코딩과 케이블에서 발생하는 연집성 잡음으로부터 효과적인 데이터 보호를 위하여 채널 상태에 따라 부호율을 가변으로 취할 수 있는 가변 부호율을 갖는 RS 인코더를 설계한다.

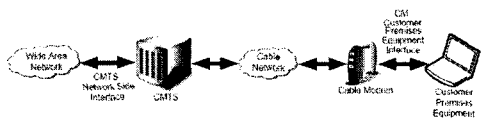


그림 3. 기가급 케이블 전송 시스템 개념도

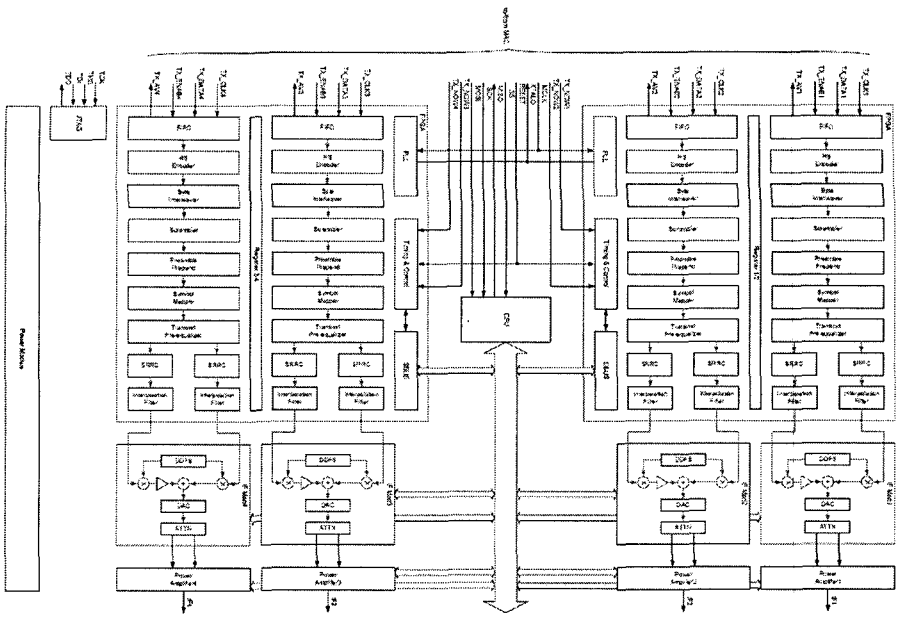


그림 7. 상향변조 케이블 전송 시스템 구성도

그림 4는 기가급 전송을 위한 4채널 케이블 전송 시스템 구성도이다. 상향 변조 시스템은 4개의 상향 채널을 구현하기 위하여 2개의 FPGA chip과 4개의 IF modulator, 4개의 BPF, 4개의 power amplifier로 구성하였다. 하나의 FPGA chip 내에 FEC encoder와 modulator가 각각 2개씩 구현되고 IF modulator와 power amplifier는 상용 칩이나 모듈로 설계하였다.

상향 변조 전송 시스템은 MAC과 SPI 방식의 인터페이스를 가지며 보드 테스트 및 기능 테스트를 위하여 MAC과 독립적인 클럭을 가지며 JTAG 인터페이스를 지원하도록 설계하였다.

본 논문에서는 상향변조 케이블 전송 시스템에서 burst size 전송 데이터의 가변에 따른 채널코딩과 케이블 채널의 특성으로 인해 연집성 에러에 취약한 단점을 극복하기 위해 시스템 세부 블록 중 RS 인코더 블록을 케이블 채널 특성에 따라 부호율을 가변으로 취할 수 있는 RS 인코더를 구현하고 ModelSim Tool을 이용한 시뮬레이션 분석을 통하여 기능동작을 검증하였다.

3.2 Variable-rate RS 인코더 설계

RS 부호는 q개의 원소를 갖는 GF(q)상의 블럭계열이다. 본 논문에서 설계한 RS 코드는 $q = 2^8$인 경우의 shortened 코드이다. 먼저 RS(n,k) 코드의 특성을 알 필요가 있다.

예를 들어, RS(16,12)의 경우는 RS(255,251), RS(65,57)의 경우는 RS(255,247) 코드의 단축코드이다. 이는 각각 처음 입력되는 데이타의 처음 239개와 190개는 모두 '0'이라고 생각하고 나머지 데이타에 대해서만 코드워드를 생성하면 되므로 처리하는 데이타의 길이만 다를 뿐 구현할 때 회로는 동일하다.

인코더는 입력되는 k개의 데이타에 이 데이타를 보호하기 위해서 $2t$개의 패리티를 덧붙여서 n개의 부호어를 출력하는 기능을 한다[3].

일반적으로 RS 코드는 순환코드에 속하기 때문에 인코딩 방법은 일반적인 순환코드와 같다. 다만 입력되는 데이타의 단위가 비트가 아닌 8개의 비트가 하나의 심볼로 입력된다는 것이 다르다. 즉, 입력되는 데이타가 원시 다항식 $p(x) = x^8 + x^4 + x^3 + x^2 + 1$에 의해서 생성되는 GF($2^8$)상에서 생성되어 α의 멱으로 표현되는 원소로서 구성된다. 따라서 일반적인 순환코드의 인코더에 비해서 곱셈기, 덧셈기의 계산이 다소 복잡하다[4]-[5].

본 논문에서 RS 인코더에 입력되는 데이터는 모두 8비트로 이루어진 심볼 단위의 오류를 수정하며 이 심볼은 모두 GF(2^8) 상의 원소이다. 또한 형성된 부호어 사이의 최소거리가 $n-k+1$로서 singleton-bound의 최대값을 갖는 maximum distance 코드이다.

그림 5는 가변 부호율을 지원하는 RS 인코더의 설계 구조이다.

본 논문에서 설계한 그림 5의 구조는 부호어 길이 n이 255 이하에서 가변이 가능하고 에러정정 수 t 값이 2~16 사이에서 가변 설정이 가능하도록 설계하였다. 즉, 가변적인 t 값에 유연하게 동작할 수 있는 RS 인코더 구조를 보여주고 있다. 구조의 복잡도를 개선하기 위해 G-memory에서 GF(2^8)에서 나오는 계수값을 미리

계산하여 저장하고 있으며 이에 따른 입력 데이터와 GF Mult를 수행하게 설계하였다. 이는 다시 t값에 의해 Switching 동작을 하며 Shift Register를 통과하여 부호화된 패리티 데이터를 출력시켜 주게 된다.

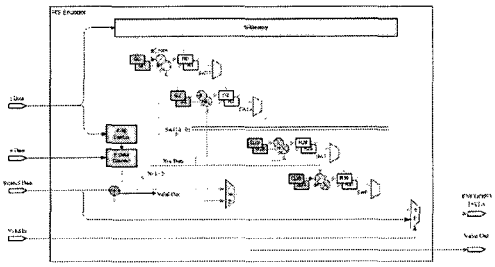


그림 5. Variable-rate RS Encoder 구조

IV. 시뮬레이션 분석 및 검토

그림 6은 Xilinx ISE Tool을 이용하여 VHDL 코딩을 통하여 구현한 RS 인코더의 Schemetic 구조를 보여주고 있다.

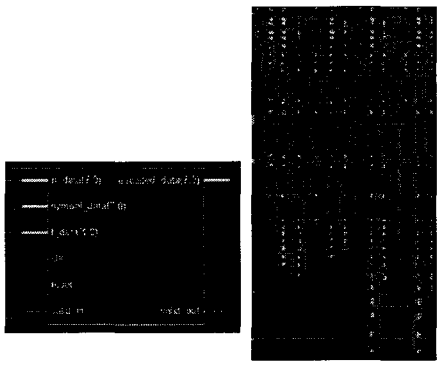


그림 6. RS 인코더 Schemetic 블록과 내부구조

그림 7은 가변 부호율을 지원하는 RS 인코더의 타이밍 시뮬레이션 결과를 나타내고 있다. VHDL 설계로 구현된 RS 인코더에서 t값의 변화에 따른 결과값이 RS 인코더 Matlab 시뮬레이션 결과의 패리티 데이터와 같은 값이 출력됨을 알 수 있다. 그림 8은 시뮬레이션 검증 예로써, burst 전송 데이터=2500byte, t=4, n=255인 경우이다. 이때, k=247이 되기 때문에 RS 인코더에 입력되는 데이터는 247byte 심볼단위로 부호화 처리가 수행된다. 따라서, 출력되는 RS 심볼은 255byte 크기의 10심볼과 38byte 크기의 한 심볼이 출력되게 된다. 마지막 38byte 크기의 심볼 데이터는 30byte 심볼 데이터가 RS 인코더에 입력되어 부호율이 n=38, k=30, t=4인 RS shortened 부호가 되어 인코딩 처리가 수행된다.

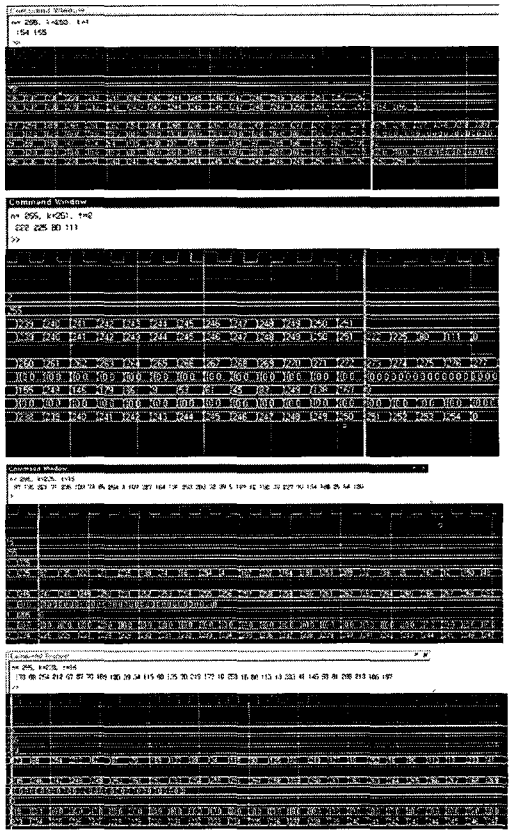


그림 7. t값에 따른 RS(255,*)의 타이밍 시뮬레이션 결과

V. 결 론

본 논문에서는 DOCSIS 3.0 표준에서 CM(Cable Modem)-to-CMTS 전송으로써 상향변조 케이블 전송 시스템에 관하여 분석하고 상향변조 기가급 케이블 전송 시스템 개발을 위하여 burst size 전송 데이터의 가변에 따른 채널 코딩과 케이블 채널의 특성으로 인해 연집성 에러에 취약한 단점을 극복하기 위해 시스템 세부 블록 중 RS 인코더 블록을 케이블 채널 특성에 따라 부호율을 가변으로 취할 수 있는 RS 인코더를 구현하고 ModelSim Tool을 이용한 시뮬레이션 분석을 통하여 기능동작을 검증하였다.

본 논문에서 설계한 variable-rate RS 인코더는 기존의 RS 인코더와 비교해 메모리를 갖는 단점이 있지만 구현의 복잡도를 효율적으로 개선하였고 불규칙적인 채널 특성에 따라 적응적인 부호율을 제공할 수 있다. 그러나 연집성 잡음 에러의 경우 데이터의 손실이 크기 때문에 향후 연집성 에러에 의한 데이터 손실을 최소하기위해 다이나믹한 인터리빙 동작을 수행할 수 있는 인터리버를 설계하고자 한다.

VI. 참고문헌

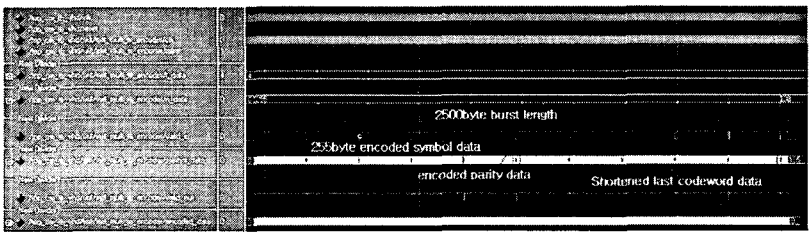
[1] 한운영, "디지털 케이블방송", *TTA Journ.*, no. 110, 2007.

[2] CM-SP-PHYv3.0-D01-051219: Data-Over-Cable Service Interface Specifications DOC SIS 3.0; Physical Layer Specification, 2006.

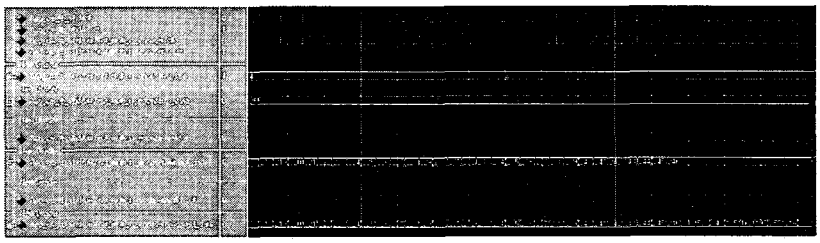
[3] Stephen B. Wicker *"Error Control Systems For Digital Communication And Storage,"* Prentice Hall, 1995.

[4] J. Chen and P. Owsley, "A burst-error -corrrecting algorithm for Reed-Solomon codes," *IEEE Trans. Infrom. Theroy*, vol. 38, pp. 1807~1812, Nov. 1992.

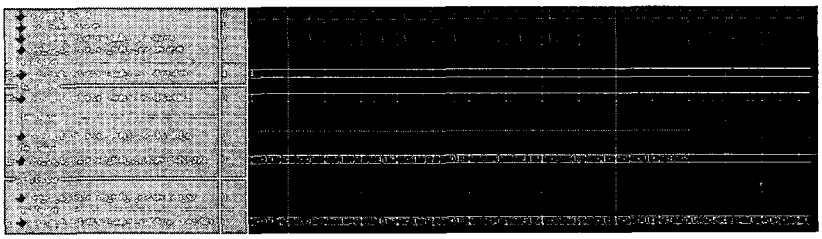
[5] C.C Wang, T.K. Truong, H.M. Shao, L.J. Deutsch, J.K. Omura, and I.S. Reed, "VLSI architectures for computing multiplications and inverse in GF(2^m)," *IEEE Trans comput.*, vol. C-34, pp. 709~716, Aug. 1985.



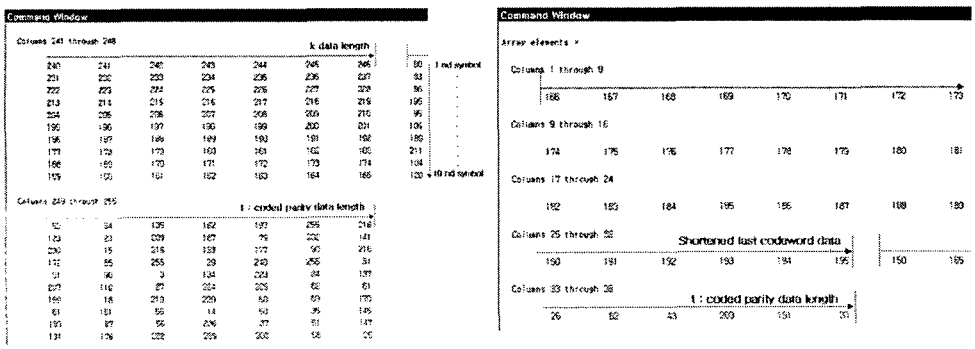
(a) 2500byte burst size의 RS인코더 출력데이터



(b) Fixed codeword length mode



(c) Shortened last codeword mode



(d) Matlab RS 인코더 출력 데이터

그림 8. ModelSim을 이용한 variable-rate RS Encoder 시뮬레이션 검증