

수동소자 칩 함몰공정을 이용한 Diplexer 구현에 관한 연구

윤제현*, 박세훈*, 유찬세*, 이우성*, 김준철*, 강남기*, 육종관**, 박종철*
*전자소재패키징연구센터, 전자부품연구원, **전기전자공학과, 연세대학교

Study of Diplexer Fabrication with Embedded Passive Component Chips

Je-Hyun Youn*, Se-Hoon Park*, Chan-sei Yoo*, Woo-Sung Lee*, Jun-Chul Kim*, Nam-Kee Kang*,
Jong-Gwan Yook**, Jong-Chul Park*

*Electronic Materials & Packaging Research Center, Korea Electronics Technology Institute,

**Dept. of Electrical and Electronic Eng., Yonsei University

Abstract : 현재 다양한 종류의 RF 통신 제품이 시장에 등장하면서 제품의 경쟁력 확보에 있어 소형화 정도가 중요한 이슈가 되고 있다. Passive Device는 RF Circuit을 제작할 때 많은 면적을 차지하고 있으며 이를 감소시키기 위해 여러 연구가 진행되고 있다. 가장 효과적인 방법으로 반도체 집적기술로 크기를 줄이는 방법이 있으나, 공정이 비싸고 제작 시간이 오래 걸려 제품개발 시간과 개발비용이 상승하게 된다. 반면에 SoP-L 공정은 PCB 제작에 이용되는 일반적인 재료와 공정을 사용하므로 개발 비용과 시간을 줄일 수 있다. SoP-L의 또 하나 장점은 다종 재료를 다층으로 구성할 수 있다는 점이다. 최근 chip-type의 Device를 PCB 기판 안에 내장하는 방법의 RF Circuit 소형화 연구가 많이 진행되고 있다.

본 연구에서는 SoP-L 공정으로 chip-type 수동소자를 PCB 기판 내에 함몰하여 수동소자회로를 구현, 분석하여 보았다. 수동소자회로는 880 MHz~960 MHz(GSM) 영역과 1.71 GHz~1.88 GHz(DCS) 영역을 나누는 Diplexer를 구성하였다. 1005 size의 chip 6개로 구현한 Diplexer를 표면실장과 함몰공정으로 제작하고 Network Analyzer로 측정하여 비교하였다. chip 표면실장으로 구현된 Diplexer는 GSM에서 최대 0.86 dB의 loss, DCS에서 최대 0.68 dB의 loss가 나타났다. 표면실장과 비교하였을 때 함몰공정의 Diplexer는 GSM 대역에서 약 0.5 dB의 추가 loss가 나타났으며 목표대역에서 0.6 GHz정도 내려갔다. 이 결과를 바탕으로 두 공정 간 차이점을 확인하고, 함몰공정으로 chip-type 수동소자를 사용하였을 때 고려해야 할 점을 분석하였다.

이를 바탕으로 SoP-L 함몰공정의 안정성을 높여서 이것을 이용한 회로의 소형화에 적용이 가능할 것으로 기대한다. 특히 능동소자의 DC Power Control에서 고용량의 수동소자를 이용할 때 집적도를 높일 수 있을 것이다.