

Dry Etch 공정에 의한 Wafer Edge Plasma Damage 개선 연구

한원만^{T*}, 김재필^T, 유태광⁺, 김충환^T, 배경성^T, 노용한^{*}

^T삼성전자 메모리사업부 E기술그룹,

⁺삼성전자 Sys LSI사업부 C&M PA,

^{*}성균관대학교 정보통신공학부

Plasma Charge Damage on Wafer Edge Transistor in Dry Etch Process

Wonman Han^{T*}, Jaepil Kim^T, TaeKwan Ru⁺, Chunghowan Kim^T, Kyongsung Bae^T and Yonghan Roh^{*}

^TSamsung Electronics Co.,Ltd Memory Business E Technology Group,

⁺Samsung Electronics Co.,Ltd System LSI Business C&M PA,

^{*}School of Information and Communication Engineering, Sungkyunkwan University.

Abstract : Plasma etching process에서 magnetic field 영향에 관한 연구이다. High level dry etch process를 위해서는 high density plasma(HDP)가 요구된다. HDP를 위해서 MERIE(Magnetical enhancement reactive ion etcher) type의 설비가 사용되며 process chamber side에 4개의 magnetic coil을 사용한다. 이런 magnetic factor가 특히 wafer edge부분에 plasma charging에 의한 damage를 유발시키고 이로 인해 device Vth(Threshold voltage)가 shift 되면서 제품의 program 동작 문제의 원인이 되는 것을 발견하였다. 이번 연구에서 magnetic field와 관련된 plasma charge damage를 확인하고 damage free한 공정조건을 확보하게 되었다.

Key Words : Dry etch, Plasma damage, Wafer edge, Magnetic field, MERIE

1. 서론

Dry etch 기술은 device shrink로 등방성 etch에서 비등방성 etch로 급속히 변화하였다. 공정능력과 요구되는 조건들에 따라서 machine, chemistry 그리고 물리적 source가 변하고 발전되어 왔다. Dry etch 설비는 plasma 기술에 의해 DPS(Decoupled Plasma Source)까지 발전되었다. HDP를 사용할 경우 electron charging에 의한 transistor(이하 Tr) 손상이 발생하는 것으로 알려져 있다. 특히 본 논문에서는 EEPROM 소자 제작 공정 시 HDP 발생을 위해 사용하고 있는 magnetic field 공정 변수와 제작된 소자의 손상 관계에 대해 조사하였다. 이 불량은 그림1처럼 w/f edge에서 나타나고 있으며 test와 user mode 상태를 정하기 위해서 main cell 배열과는 별도로 구성된 8bit cell인 fuse cell 불량으로 'on cell'을 'off cell'로 인식하는 불량 형태이다. 지금까지 하나의 공정 조건에 대해 이루어진 양상라인 평가의 틀을 벗어나 조건의 각 step을 layer로 나누어 평가하였다는 점에서 앞으로 더욱 고려해서 개선시켜야할 etch control factor를 세분화하는 계기가 되었다. 따라서 본 연구에서는 gate etch 시 사용하는 magnetic field의 사용을 조절하여 불량을 개선하는 연구를 진행하였다.

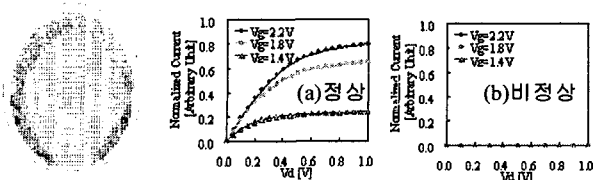


그림 1. 불량 map 과 cell current 비교

2. 실험

EEPROM의 gate Tr) 제작 공정은 floating poly, ONO(oxide-nitride-oxide), gate poly, WSi deposition 후 이 막질들을 etch하는 공정으로 진행되며 etch설비는 MERIE P5000 MXP+ 이다. 그림2에서 gate는 word line 과 sense line gate 이다. 문제의 부분은 sense line Tr이며, program 과 erase 동작 시 ONO 막질은 electron이 charging되는 특성을 가지고 있으나 etch되는 동안 degrade되어 hole이 trap 되고, 그 결과 Vth shift 및 program시 문제가 발생하는 것으로 분석되어 관련 gate 형성 공정에 대한 실험을 실시하였다.



그림 2. Transistor 구조

Gate etch 공정은 self align 공정으로 mask(oxide), gate poly, ONO와 floating poly를 모두 insitu로 진행한다. Dry etch recipe는 여러 step으로 이루어져 step별 각각의 layer를 etch 한다. 일단, 각 막질 step에 대해서 공정 조건에 대해서 막질 degrade를 유발 시킬 수 있는 원인을 plasma에 의한 damage로 판단하고, 유발 요소들에 대해서 확인하였다. 첫 번째 각 etch 공정 step별 magnetic field 사용

유무에 따라 PDM(plasma damage measurement) check를 실시하였고, 그 결과 불량 유발이 유력한 ONO etch step에 대해서 etch time을 40초에서 10초 간격으로 증가시켜 발생 경향을 확인하였으며, magnetic field의 크기 역시 0, 30, 50gauss 인가하여 그에 따른 경향을 확인하였다. 또한 wafer edge 발생과 관련하여 MXP+ 설비의 구조 확인 및 magnetic field를 0, 50gauss에 대한 plasma threshold voltage(ΔV_t)를 측정하였다.

3. 결과 및 고찰

그림3는 etch 각 막질 etch step에 대한 magnetic field에 따른 plasma damage를 확인한 결과로 다른 막질에 비해 ONO, WSi 막질의 ΔV_t 값이 크게 나타났다. 이는 plasma 영향을 WSi와 ONO 막질이 타 막질에 비해서 더 받는 것으로 보이며 magnetic field 인가 시 그 정도가 커지는 것을 확인할 수 있었다.

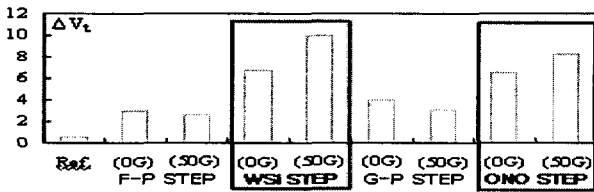


그림 3. Step 별 PDM check 결과

위의 결과를 바탕으로 WSi와 ONO 막질에 대한 etch time 및 magnetic field split test 결과를 보면 그림4와 같다. time이 증가 할수록 edge 불량 발생 경향이 크게 나타나는 것을 확인 하였으나 time을 줄이는 것은 한계가 있고 time low margin에서 완전히 불량을 줄일 수는 없었다. magnetic field split 결과에서 gauss 값이 클수록 불량은 증가하였으나 그림4(b)처럼 zero gauss조건에서 fail chip이 완전히 없어지는 것을 확인 하였고, 이 결과로 damage의 원인으로 magnetic field가 주요 원인으로 작용하고 있음을 확인하였으며 이 magnetic field의 사용을 제한함으로써 불량을 제거할 수 있게 되었다.

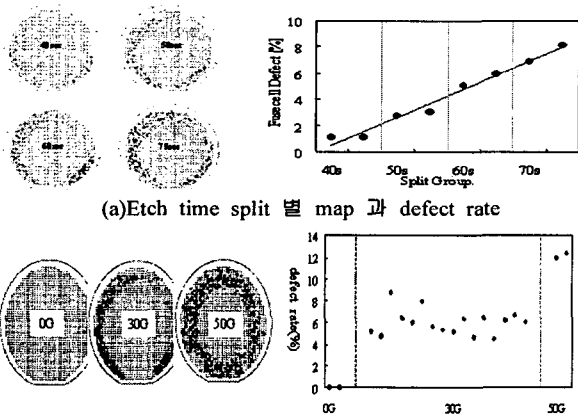


그림 4. Time & gauss split 결과

Wafer edge에 불량이 발생하는 것과 관련하여 먼저 설비의 구조를 확인하였고 진행 chamber 외부에 위치한

magnetic coil의 위치가 그림5처럼 마름모 형태로 불량의 형태와 동일하였으며, bare oxide wafer로 측정한 ΔV_t 값이 그림6처럼 wafer의 center보다는 edge쪽이 더 큰 것으로 확인되었다. 이는 coil에 가까울수록 plasma의 영향을 더 받아 damage 측면 취약한 것을 알 수 있었다.

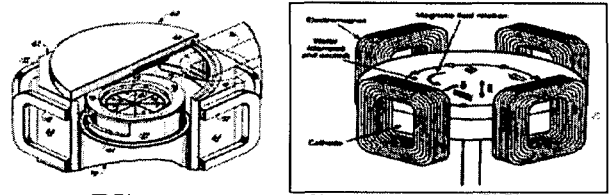


그림 5. Etch chamber의 magnetic coil 위치

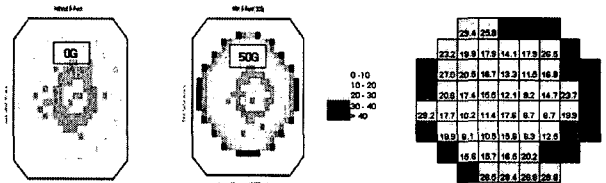


그림 6. Plasma ΔV_t 비교

특히 질화막질은 전자를 trap하여 device의 동작 전압을 control하는 역할을 하는 막질로 degradation된 막질에 전자 charging의 차이가 발생하고, 이 때문에 'on cell' 동작에 문제가 발생한 것이다. 실험결과 ONO etch step의 magnetic field를 zero gauss로 setting하였고 이를 통해 edge 불량을 제거할 수 있었다. 이에 따른 etch rate 감소와 target 감소는 etch time을 증가시켜 보상하였다.

4. 결론

Etch 공정은 변수가 많고 복잡하여 지금까지 ONO 막질과 관련지어서는 불량의 원인을 찾지 못하였으나 이번 연구에서 self align gate의 ONO 막질 plasma damage 경증을 통해 문제의 원인을 찾고, 개선을 통해 공정 능력 및 제품 품질이 향상되었으며, 안정적인 양산 제조 능력을 확보할 수 있게 되었다. 더 나아가 이 연구 결과가 family device인 NVM(Non volatile memory)에도 적용 되는 효과를 가져다주었다.

참고 문헌

- [1] C. K. Barlingry, et al, "Mechanism of charge Induced Plasma Damage to EEPROM Cells during Fabrication of integrated Circuits", 7th Symp. ON Plasma Induced Damage, 2002
- [2] S.Wolf, et al., "Silicon Processing for VLSI era", vol.1, Lattice Press, p.222, 1990
- [3] T. Cotler, et al., Soc., vol.141(11), p.3218, 1994
- [4] H.Shin, et al., Solid State Technology, vol.34(6), p.29, Aug. 1993
- [5] C. Gabriel, et al., Solid State Technology, vol.34(6), p.81, Jun 1992