

## Amorphous-Si<sub>x</sub>Ge<sub>y</sub>을 seed layer로 이용한 Poly-Si TFT의 특성

정명호, 정종원\*, 조원주

광운대학교 전자재료공학과, \*세종대학교 나노신소재공학과

### Characterization of Poly-Si TFT's using Amorphous-Si<sub>x</sub>Ge<sub>y</sub> for Seed Layer

Myung-Ho Jung, Jongwan Jung\*, Won-Ju Cho

Department of Electronic materials engineering, Kwangwoon Univ., \*Dept. of Nano-Sci. & Tech.

**Abstract :** Polycrystalline silicon thin-film-transistors (Poly-Si TFT's) with a amorphous-Si<sub>x</sub>Ge<sub>y</sub> seed layer have been fabricated to improve the performance of TFT. The dependence of crystal structure and electrical characteristics on the the Ge fractions in Si<sub>x</sub>Ge<sub>y</sub> seed layer were investigated. As a result, the increase of grain size and enhancement of electrical characteristics were obtained from the poly-Si TFT's with amorphous-Si<sub>x</sub>Ge<sub>y</sub> seed layer.

**Key Words :** SiGe, seed layer, mobility, Poly-Si TFT's

### 1. 서 론

다결정 실리콘 박막 트랜지스터(Polycrystalline Silicon Thin Film Transistor, Poly-Si TFT)는 비정질 실리콘 박막 트랜지스터(Amorphous Silicon Thin Film Transistor, a-Si TFT)보다 큰 전계효과 이동도와 구동능력을 가지기 때문에 고속 동작과 고해상도의 디스플레이의 구현에 유리하며, 3차원 집적이 가능하여 차세대 ULSI 기술로도 기대되고 있다. 최근에는 Poly-Si TFT의 특성을 개선하고, 저온에서 공정이 가능하게 하기 위한 연구가 많이 진행되고 있다. 그 중 SiGe은 순수한 실리콘 보다 큰 결정립을 가지고 있으며, 결정화 온도가 또한 실리콘 보다 낮은 특징을 가지고 있다. 이 점을 이용하여 소자 제작에 있어서의 저온 공정화를 실현시킬 수 있으며, 또한 strained-Si channel 기술 이용하여 SiGe층 위에 있는 실리콘 층을 결정화시키면 순수한 실리콘 보다 더 큰 결정립을 얻을 수 있다. [1,2] 또한 그에 따른 전계효과 이동도의 향상을 얻을 수 있을 것으로 기대된다. [3]

본 연구에서는 비정질 실리콘의 결정화에 있어서 seed layer로 사용된 SiGe 층의 Ge 농도와 결정화 온도를 변화시켜가며, 그에 따른 결정성의 변화 및 Poly-Si TFT 소자의 전계효과 이동도의 증가에 대해 비교 분석하였으며, Ge 농도의 증가에 따라 소자의 특성이 향상되는 것을 확인하였다.

### 2. 실험

본 실험에 사용된 Poly-Si TFT 소자는 그림 1과 같은 공정 순서로 제작하였다. 벌크 실리콘 기판 위에 두께 300 nm의 실리콘 산화막을 형성한 후 seed layer로 사용될 200 nm의 비정질 SiGe 박막을 LPCVD (Low Pressure Chemical Vapor Deposition) 방법으로 증착하였다. 이때 Ge의 농도에 따른 결정립의 크기와 전계효과 이동도의 특성을 비교해보기 위해 Ge 농도를 각각 10%, 15%, 20%로 각각 다르게 하였다. 그 후 30 nm의 비정질 실리콘

박막을 LPCVD 장비를 이용하여 550°C에서 증착하였다. 상층의 비정질 실리콘 결정화는 고상 결정화 (solid phase crystallization, SPC) 방법을 이용하였으며, 600°C와 900°C의 온도에서 결정화를 수행하여 결정립의 크기를 비교하였다. 게이트 산화막을 880°C에서 8 nm의 두께로 성장시킨 후, phosphorus가 도핑된 다결정 실리콘 게이트 전극을 100 nm의 두께로 증착하였다. 얇은 접합 깊이를 가지는 소스와 드레인을 형성시키기 위해 플라즈마 도핑장비를 이용하여 phosphorus를 400°C의 온도에서 주입하였다. 마지막으로 seed layer를 사용하지 않고 비정질 실리콘을 결정화시킨 poly-Si TFT소자와의 특성을 비교하기 위해 seed layer가 없는 poly-Si TFT 소자를 추가로 제작하였다.

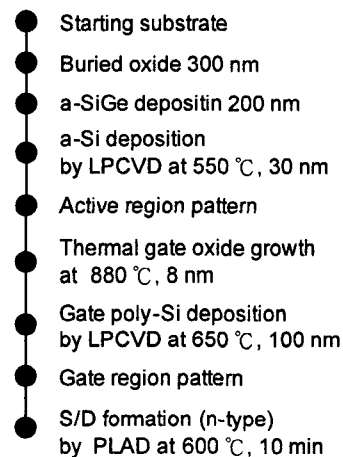


그림 1. Poly-SiGe TFT 제작 공정.

### 3. 결과 및 고찰

그림 2는 결정화 온도와 Ge 농도에 따른 Poly-SiGe의 결정립의 크기를 나타내고 있다. Ge 농도의 증가에 따라 결정립의 크기가 증가하는 것을 확인 할 수 있으며, 특히

600°C에서 24시간 동안 결정화 한 시료가 900°C에서 10분간 결정화 한 시료보다 결정립이 큰 것을 확인할 수 있었다. 이는 고온에서는 다수의 결정핵이 발생하여 결정으로 성장하기 때문에 최종 결정립의 크기는 감소하며, 따라서 저온에서 결정화를 유도하여 결정핵의 발생을 억제하는 것이 보다 큰 결정을 얻는데 보다 유리하다.

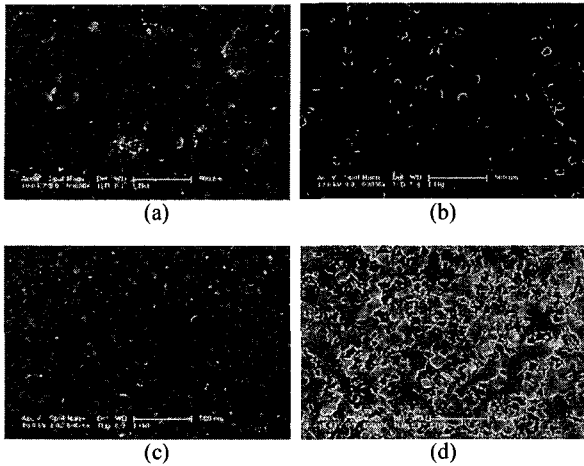


그림 2. 결정화 온도에 따른 SiGe의 SEM 사진. (a) Ge 10% (600°C), (b) Ge 20% (600°C), (c) Ge 10% (900°C), (d) Ge 20% (900°C)

그림 3은 제작된 Poly-Si TFT 소자의 전계효과 이동도 특성을 비교한 그래프이다. Seed layer가 있는 Poly-Si TFT 소자가 그렇지 않은 Poly-Si TFT 소자보다 전계효과 이동도가 증가한 것을 볼 수 있다. 또한, seed layer의 Ge 농도의 증가에 따라서 전계효과 이동도가 크게 증가하는 것을 확인할 수 있다. 이것은 결정화 과정에서 Ge 농도의 증가에 따라서 seed layer의 결정립 크기가 증가하였고, 이에 따라서 상층의 실리콘 또한 결정립의 크기가 증가했기 때문이라고 판단된다.

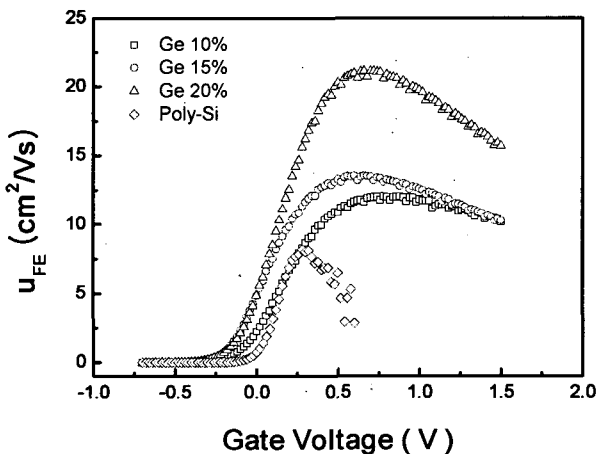


그림 3. Ge 농도에 따른 전계효과 이동도의 증가

그림 4는 결정화 온도에 따른 전계효과 이동도를 나타

낸다. 600°C에서 결정화시킨 TFT 소자와 900°C에서 결정화시킨 TFT 소자 모두 Ge의 농도가 증가함에 따라 이동도가 증가하였다. 또한, 600°C에서 24시간 결정화시킨 소자가 900°C에서 10분간 결정화시킨 소자보다 더 큰 전계효과 이동도를 가지고 있음을 알 수 있다.

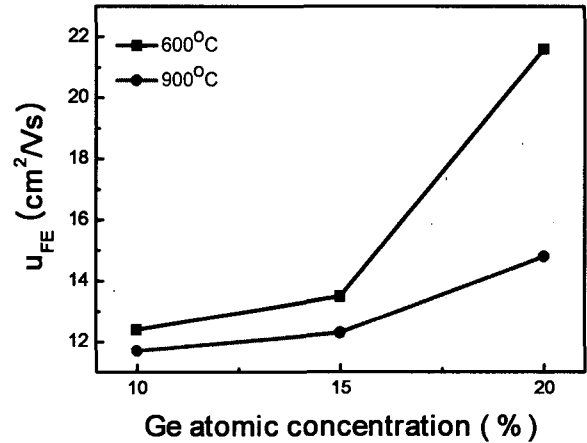


그림 4. 결정화 온도와 Ge 농도에 따른 전계효과 이동도

#### 4. 결론

본 연구에서는 SiGe를 seed layer로 사용하여 비정질 실리콘의 결정화를 유도한 Poly-Si TFT 소자를 제작하였고, Ge의 농도와 결정화 온도에 따른 Poly-Si TFT 소자의 전계효과 이동도 특성을 비교하였다. 그 결과, seed layer의 Ge 농도 증가에 따라 상층 실리콘의 결정립 크기도 증가하였으며, 이에 따라 전계효과 이동도 역시 증가하는 것을 확인하였다. 또한, 600°C에서 결정화 공정을 실시한 소자가 900°C에서 결정화 공정을 실시한 소자보다 더 우수한 특성을 가지는 것을 확인하였다.

#### 참고 문헌

- [1] Tsu-Jae King and Krishna C. Saraswat, "A low temperature SiGe MOS thin film transistor technology for large-area electronics", IEDM, p. 567, 1991.
- [2] Jin Hyeok Kim, Jeong Yong Lee, Hong Seong Kim, Yoon-Ho Song and Kee-Soo Nam, "Fabrication of thin film transistors using a Si/Si<sub>1-x</sub>Ge<sub>x</sub>/Si triple layer film on a SiO<sub>2</sub> substrate", IEEE ELECTRON DEVICE LETTERS, Vol. 17, No. 5, p. 205, 1996.
- [3] Zhi-Yuan Cheng, Matthew T. Currie, Chris W. Leitz, Gianni Taraschi, Eugene A. Fitzgerald, Judy L. Hoyt, and Dimitri A. Antoniadis, "Electron Mobility Enhancement in Strained-Si n-MOSFETs Fabricated on SiGe-on-Insulator (SGOI) Substrates", IEEE ELECTRON DEVICE LETTERS, Vol. 22, No. 7, p. 321, 2001.