

PRAM에서 $Ge_1Se_1Te_2$ 와 전극의 접촉 면적을 줄이는 방법에 대한 효과

임동규, 김재훈, 나민석, 최 혁, 정홍배

광운대학교

Reduced contact size in $Ge_1Se_1Te_2$ for phase change random access memory

Dong-kyu Lim, Jae-hoon Kim, Min-seok Na, Hyuk Choi, Hong-Bay Chung

Kwangwoon Univ.

Abstract : PRAM(Phase-Change RAM) is a promising memory that can solve the problem of conventional memory and has the nearly ideal memory characteristics. We reviewed the issues for high density PRAM integration. Writing current reduction is the most urgent problem for high density PRAM realization.

So, we studied new constitution of $Ge_1Se_1Te_2$ chalcogenide material and presented the method of reducing the contact size between $Ge_1Se_1Te_2$ and electrode. A small-contact-area electrode is used primarily to supply current into and minimize heat loss from the chalcogenide. In this letter, we expect the method of reducing the contact size between $Ge_1Se_1Te_2$ and electrode to decrease writing current.

Key Words : Chalcogenide, $Ge_1Se_1Te_2$, Phase change memory(PCM)

1. 서론

DRAM 과 Flash 같은 현재의 반도체 메모리들은 고밀도, 낮은 가격, 고성능 등의 많은 기술적인 도전에 직면하고 있다. 기존 메모리들의 문제가 점점 더 증가하면서 더 적은 기술 장벽, 더 긴 수명, 더 좋은 성능을 가진 새롭고 이상적인 메모리를 발전시키려는 많은 노력이 촉진되어왔다. 새로운 메모리의 많은 종류들 사이에서 PRAM (Phase -change Random Access Memory)이 비휘발성, 빠른 동작시간과 저전력, 확장성, 긴 수명, 기존 공정과의 친밀성의 특성을 가진 촉망받는 메모리중의 하나로 고려되고 있다.[1-2]

칼코게나이드계 물질에서 나타나는 스위칭 현상은 비휘발성 메모리 소자로서 그 응용가치가 크며, 광기록소자나 컴퓨터 메모리 어레이 등으로 이용할 수 있다. 또한 급속한 멀티미디어 기기의 발전과 함께 빠른 동작속도, 고집적화, 저가의 제작비용 등의 장점을 나타내는 비휘발성 메모리 시스템이 요구되고 있는 가운데 이러한 요구 사항을 만족하는 차세대 메모리로서의 비정질 메모리의 이용 가능성이 커지고 있다.[3-4]

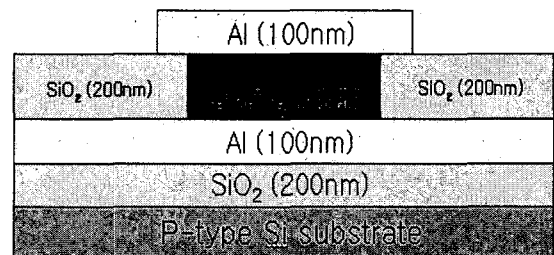
상변화 메모리는 비정질 상의 고 저항과 결정질 상의 저 저항의 차이를 가역적으로 변화시켜 메모리로서 이용하고 있다. 하지만 상용화 단계에 이르기까지 결정화 속도 및 리셋전류의 감소 등과 같은 해결해야 할 몇 가지 문제점을 지니고 있다. 본 논문에서는 이러한 문제점 해결방안으로 새로운 상변화 재료인 $Ge_1Se_1Te_2$ 를 기반으로 하여 전극과 칼코게나이드 물질의 접촉 면적을 줄이는 구조 변화에 따른 전기적 특성을 관찰하였다.

2. 실험

본 실험에서는 본인들이 연구해온 새로운 조성 Ge_1Se_1

Te_2 와 $Ge_2Sb_2Te_3$ 의 적층 방식을 선택하였으며 각각의 조성에 따른 물질의 제조방법이나 각 단층의 물리적 특성 및 전기적 특성은 참고문헌[5]의 내용을 기초로 하였다.

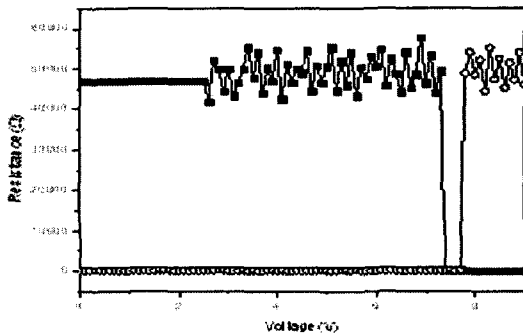
벌크 제작을 위해 평량 된 각 시료를 석영관에 넣어 약 2×10^{-5} Torr의 진공 상태에서 봉입하였다. 진공 봉입한 석영관은 브리지만형 실리콘 닛트 전기로에서 200℃에서 2시간, 600℃에서 2시간 이상을 유지시켜서 각각의 원소들을 충분히 반응시킨 후 서서히 온도를 상승시켜 1,025℃ 부근에서 25시간 이상 용융상태를 유지하였다. 반응이 완료된 석영관을 비정질 상을 얻기 위해 공기 중에서 약 10초간 급랭한 후 물속에서 급랭 시켰다. 절연 막을 형성하기 위해서 RF 스퍼터를 이용하여 약 1×10^{-6} Torr의 진공도에서 60W, 30min의 조건으로 SiO_2 절연막 200nm의 박막을 웨이퍼 위에 형성하였다. 하부전극으로는 Si를 이용하였으며 미리 준비된 마스크 패턴의 형태를 RF 스퍼터를 이용하여 두께 100nm의 전극을 형성하였다. 이후 제조된 조성의 벌크를 기판 위에 열 증착기를 이용하여 약 2×10^{-6} Torr의 진공도에서 각각 100nm 두께로 박막을 형성하였으며, 상부전극은 하부전극과 동일한 조건으로 마스크 패턴을 이용하여 형성하였다. 아래 <그림 1>은 자기 가열 방식을 이용한 상변화 소자의 구조이다.



<그림 1> 상변화 소자의 구조

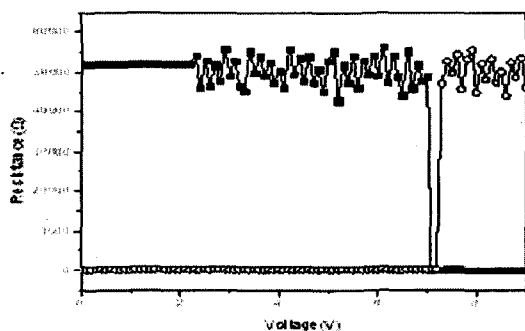
3. 결과 및 고찰

Over programming을 방지 하기 위하여 제작된 소자에 대한 전기적 특성 실험은 초기 수 MΩ의 저항에서 set pulse에 의해 set 상태로 변화해서 다시 reset pulse에 의해 reset 상태로 돌아오는 과정을 거친 후 측정 되었다. Initial stress 이후에 저항은 수십 KΩ으로 측정 되었다. <그림 2>는 상변화 물질과 하부 전극의 접촉면적을 $100\mu\text{m}\times 100\mu\text{m}$ 으로 제작한 sample의 전기적 특성을 나타낸 것이다.



<그림 2> $100\mu\text{m}\times 100\mu\text{m}$ 로 제작된 sample의 전압-저항 관계

접촉 면적을 $100\mu\text{m}\times 100\mu\text{m}$ 으로 제작한 sample에서는 <그림 2>에서 보는 것과 같이 set 동작에서는 7.1V의 전압과 50ns의 pulse width를 필요로 하였고, reset 동작에서는 7.5V와 30ns의 pulse width를 필요로 하였다. <그림 3>은 접촉 면적이 $50\mu\text{m}\times 50\mu\text{m}$ 로 제작된 소자의 전기적 특성을 나타낸다.



<그림 3> $50\mu\text{m}\times 50\mu\text{m}$ 로 제작된 sample의 전압-저항 관계

접촉 면적이 $50\mu\text{m}\times 50\mu\text{m}$ 로 제작한 소자에서는 <그림 3>에서 보는 것과 같이 set 동작에서 6.8V의 전압과 50ns의 pulse width를 필요로 하였고, reset 동작에서는 7.1V와 30ns의 pulse width를 필요로 하였다. <그림 2>의 $100\mu\text{m}\times 100\mu\text{m}$ 의 접촉 면적으로 제작된 소자와 비교하여 set, reset 동작시 필요한 전압이 감소한 것을 확인할 수 있다. 이러한 결과는 하부 전극과 $\text{Ge}_1\text{Se}_1\text{Te}_2$ 의 접촉 면적을 줄이는 것이 칼코게나이드 주변의 전류 밀도

와 joule heating을 증가시켜 set, reset 동작시 필요한 전압이 감소된 것으로 생각된다. 따라서 $\text{Ge}_1\text{Se}_1\text{Te}_2$ 조성의 소자에 접촉 면적을 줄임으로써 상변화 메모리의 선결 과제인 저 전력에서의 동작을 위한 리셋 전압의 감소가 개선되었음을 알 수 있다.

4. 결론

현재 PRAM 소자의 문제점 중 하나는 소비전력이 상대적으로 크다는 것이다. 소비전력은 주로 리셋 전압에 의존하게 되며, 리셋 전압을 감소시키면 전력면에서 큰 이득을 얻을 수 있다. 따라서 이러한 소비전력을 줄이기 위하여 상변화 메모리 소자의 칼코게나이드 물질과 전극사이의 접촉 면적을 줄임으로써 보다 우수한 특성을 유도하고자 하였다.

본 연구에서는 새로운 조성비를 갖는 칼코게나이드 계 $\text{Ge}_1\text{Se}_1\text{Te}_2$ 의 상변화 소자를 제작하여 소자 구조 개선에 관한 실험을 하였다. 상변화 물질과 하부 전극 사이의 접촉 면적을 $100\mu\text{m}\times 100\mu\text{m}$, $50\mu\text{m}\times 50\mu\text{m}$ 로 제작하여 접촉 면적의 감소에 따른 상변화 메모리의 전기적 특성을 관찰하였고, set, reset 동작시 필요한 전압이 감소하는 것을 확인할 수 있었다. 이는 접촉 면적이 감소할수록 $\text{Ge}_1\text{Se}_1\text{Te}_2$ 주변의 전류밀도와 joule heating이 증가된 결과로 보인다. 따라서 하부 전극과 $\text{Ge}_1\text{Se}_1\text{Te}_2$ 사이의 접촉 면적을 작게 하여 제작된 소자는 기존 상변화 메모리의 높은 전력소모를 해결 할 수 있을 것으로 기대된다.

감사의 글

본 연구는 정보통신부 및 정보통신연구진흥원의 대학 IT연구센터 지원 사업의 연구 결과로 수행되었음 (IITA-2006-C1090-06 03-0018)

참고 문헌

- [1] S. Lai and T. Lowrey, "OW - A 180 nm Nonvolatile Memory Cell Element Technology For Stand Alone and Embedded Applications", IEDM 2001, DD 243-248.
- [2] S. Lai "Content Status of the Ph&d 'Change Memory and its Future", IEDM 2003, ~\$55-258.
- [3] R. Neale, D. Nelson, Gordon Moore, "Nonvolatile and reprogrammable, the read-mostly memory is here," Electronics, pp56-60, Sept. 28, 1970.
- [4] G. Wicker, "Nonvolatile, high density, high performance phase change memory," SPIE vol. 3891, pp2-9, Oct. 1999.
- [5] Hong-Bay Chung, et al., "Phase-change characteristics of chalcogenide $\text{Ge}_1\text{Se}_1\text{Te}_2$ thin films for use in nonvolatile memories", J. Vac. Sci. Technol. A 25(1), pp.48-53, 2007