

플립칩 패키징된 40Gb/s InP HBT 전치증폭기

주철원*, 이종민, 김성일, 민병규, 이경호
한국전자통신연구원

A Flip Chip Packaged 40 Gb/s InP HBT Transimpedance Amplifier

Chul-Won Ju*, Jong-Min Lee, Seong-IlKim, Byoung-Gue Min and Kyung-Ho Lee
High Speed SoC Research Department, ETRI

Abstract : A 40 Gb/s transimpedance amplifier IC was designed and fabricated with a InP/InGaAs HBTs technology. In this study, we interconnect 40Gbps transimpedance amplifier IC to a duroid substrate by a flip chip bonding instead of conventional wire bonding for interconnection. For flip chip bonding, we developed fine pitch bump with the 70 μ m diameter and 150 μ m pitch using WLP process. To study the effect of WLP, electrical performance was measured and analyzed in wafer and package module using WLP. The Small signal gains in wafer and package module were 7.24 dB and 6.93dB respectively. The difference of small signal gain in wafer and package module was 0.3dB. This small difference of gain is due to the short interconnection length by bump. The characteristics of return loss was under -10dB in both wafer and module. So, WLP process can be used for millimeter wave GaAs MMIC with the fine pitch pad and duroid substrate can be used in flip chip bonding process.

Key Words : InP/InGaAs HBT, Transimpedance amplifier, Flip chip, Bump, Wafer level package

1. 서 론

전치증폭기는 광전송시스템의 수신부 전단에 위치하여 광신호를 전기신호로 변환하여 증폭시켜주는 역할을 하며 광검출기와 함께 수신감도에 가장 크게 영향을 미치는 저잡음 광대역 증폭기이다. InP/InGaAs HBT 전치증폭기는 입력 저항이 낮고 이득 특성이 좋아 높은 속도와 이득이 요구되는 용도로 많이 사용되고 있다[1-2]. MMIC의 고성능을 확보하기 위해서는 패키징설계가 중요한데, 일반적으로 많이 사용하는 wire 본딩은 wire의 기생 저항 및 인덕턴스로 인하여 손실이 많이 발생되므로 마이크로파 IC 및 밀리미터파 IC에서는 기생성분이 적은 플립칩 본딩을 많이 사용하고 있다[3]. 본 논문에서는 40Gb/s InP HBT 전치증폭기에 범프를 형성하기 위하여 미세패턴의 WLP 공정을 개발하여 플립칩 본딩을 한 후 전기적특성을 측정하였다.

2. 회로제작 및 패키징

2.1 회로제작

Common base 전치증폭기를 설계하였다. 전치증폭기는 input stage, gain stage, emitter-follower buffer stages, and a 50- Ω impedance matching stage의 4단으로 설계되었고, 회로 제작은 InP 기판 위에 molecular beam epitaxy (MBE) 방법으로 성장한 InP collector, InGaAs base layer, InP emitter 층에서 구현하였다. 에피층 구조는 500 Å-thick n-InP ($n = 5 \times 10^{17} \text{ cm}^{-3}$) emitter layer, a 500-Å-thick p-InGaAs ($p = 4 \times 10^{19} \text{ cm}^{-3}$) uniform base layer, a 500-Å-thick

n-InGaAs/InAlAs chirp superlattice, a 3000-Å-thick n-InP ($n = 2 \times 10^{16} \text{ cm}^{-3}$) collector 층으로 구성되었다. 그림 1은 제작된 40Gbps 전치증폭기의 사진이다.

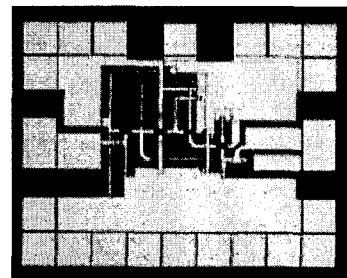


그림 1. Chip photo of 40Gbps 전치증폭기

2.2 패키징

제작한 회로의 패드 및 피치 크기는 각각 80 μ m \times 80 μ m, 150 μ m 이므로 이 패드에 범프를 형성하기 위하여 미세 피치 WLP 공정을 개발하였다. WLP 공정에 의한 범프 제작은 먼저 웨이퍼 위에 Ti/Au를 각각 0.1/0.06 μ m로 증착한 후, AZ 4000series인 도금용 감광막을 여러번 코팅하여 60 μ m로 입혔다. Via 마스크를 사용하여 노광장비인 contact aligner에서 700-1300mJ의 에너지로 노광(exposure)시키고 현상액(developer)에 담구어 via를 open하였다. Via open 후 전기도금 장치를 사용하여 도금 균일도를 향상시키기 위하여 2단계로 구분하여 도금하였다. 1단계 전류밀도는 10mA/cm² 로 낮은 전류에서, 2단계는 50 A/cm²로 도금한 다음 seed metal을 습식식각(wet etch) 방식으로 식각하고 210 $^{\circ}$ C의 reflow oven에서 reflow 하였다. 그

림 2는 mushroom bump 형태의 솔더 범프 SEM 사진으로 범프형태는 균일하고, 범프 평균 높이는 $60\mu\text{m}$ 이고 균일도는 3%이다. 그림 3은 전치증폭기 패드에 형성된 범프를 reflow 공정 후 SEM으로 측정된 사진으로 모양이 균일하다.

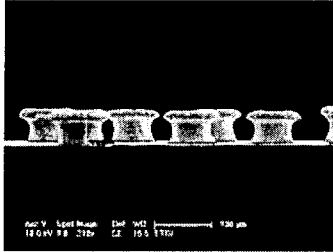


그림 2. 높이 $60.7\mu\text{m}$ 인 eutectic solder 범프의 SEM 사진

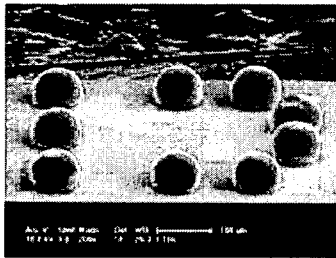
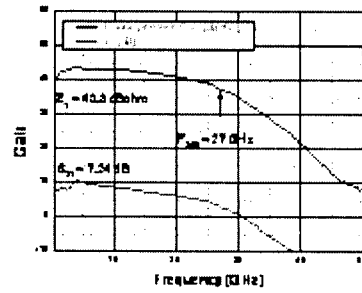


그림 3. Reflow 후 패드에 범프가 형성된 전치증폭기의 SEM 사진

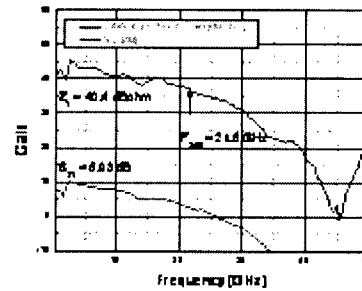
패키징을 위하여 wafer를 개별 칩으로 절단한 후, duroid 기판 위에 플립 칩 본딩하고, 금 도금된 메탈 하우스에 기판을 실장하고 입출력 단자는 SMA 컨넥터를 사용하여 전치증폭기 모듈을 제작하였다. 일반적으로 플립칩 본딩에서 duroid 기판은 flexible 하기 때문에 플립칩 본딩에는 사용하지 않지만, 기판 가공성이 좋고 국내에서 제작이 가능하며 세라믹 기판보다 저비용이므로 본 실험에서는 기판 설계 및 본딩 조건을 변화시켜 사용하였다.

3. 측정 및 분석

그림 4(a)는 칩을 패키징하기 전에 RF probes로 웨이퍼 테스트를 한 결과로, S_{21} 은 7.24dB 이고 f_{3dB} 는 27GHz이며 대역폭이 30GHz로 증가하면 이득은 서서히 감소하는 것을 알 수 있다. 그림 4(b)는 패키지 모듈의 특성으로 S_{21} 은 6.93dB 이고 f_{3dB} 는 21.5GHz이다. 칩 및 모듈에서의 이득 차이는 0.3dB로 작으며 측정 오차 범위 내에 있다. 일반적으로 wire 당 0.3~0.4dB loss 가 있는 것으로 알려져 있으며, 입출력 wire 에 의하여 0.6~0.8 dB loss 가 있을 것으로 예측된다. 따라서 플립칩 본딩시 0.3dB로 loss가 작은 것은 interconnection 길이가 짧아졌기 때문이다.



(a)



(b)

그림 4. 전치증폭기의 S_{21} 및 transimpedance gain

(a) 웨이퍼 (b) 모듈

4. 결론

40Gb/s InP/InGaAs HBT 전치증폭기를 설계 제작하였다. 패키징은 duroid 기판 위에 기존의 wire 본딩 대신 플립칩 본딩을 이용하였다. 웨이퍼 상에서의 S_{21} 은 7.24dB 이고 f_{3dB} 는 27GHz 이었으며, 모듈에서 S_{21} 은 6.93dB 이고 f_{3dB} 는 21.5GHz이었다. 웨이퍼 및 모듈에서의 S_{21} 차이는 0.3dB로 작아 loss가 작는데 이것은 범프의 interconnection 길이가 짧기 때문이다. 따라서 WLP는 고주파 IC의 성능을 향상시킴을 알 수 있으며, 세라믹 기판 대응으로 duroid 기판을 플립칩 본딩에 사용할 수 있었다.

참고 문헌

- [1] C. Q. Wu, E. A. Sovero and B. Massey, "40-GHz transimpedance amplifier with differential outputs using InP-InGaAs heterojunction bipolar transistors," IEEE J. of Solid-State Circuits, vol. 38, , no. 9, pp. 1518-1523, 2003.
- [2] C. F. Campbell, M. S. Heins, M. Y. Kao, M. E. Muir and J. M. Carroll, "A 0.15- μm GaAs MHEMT transimpedance amplifier IC for 40-Gb/s applications," 2002 IEEE MTT-S Int. Microwave Symp. Dig., vol. 1, pp. 79-82, June 2002. Electronics 44, 2059 (2000).
- [3] K.W. Kobayashi, " An InP HBT common-base amplifier with tunable transimpedance for 40 Gb/s applications," GaAs IC Symp., pp.155-158, Oct. 2002.