

Tunable 매칭 회로를 적용한 RFID 리더용 Dual Band LNA 설계

A Design of Dual Band LNA for RFID reader Using Tunable Matching Circuit

오재욱, 임태서, 최진규, 김형석*
(Jae-Wook Oh, Tae-Seo Lim, Jin-Kyu Choi and Hyeong-Seok Kim)

Abstract : In this paper, a hybrid dual band LNA (Low Noise Amplifier) with a tunable matching circuit using varactor is designed for 433MHz and 912MHz RFID reader. The operating frequency is controlled by the bias voltage applied to the varactor. The measured results demonstrate that S21 parameter is 16.01dB and 10.72dB at 433MHz and 912MHz, respectively with a power consumption of 19.36mW. The S11 are -11.88dB and -3.31dB, the S22 are -11.18dB and -15.02dB at the same frequencies. The measured NF (Noise Figure) is 15.96dB and 7.21dB at 433MHz and 912MHz, respectively. The NF had poorer performance than the simulation results. The reason for this discrepancy was thought that the input matching is not performed exactly and a varactor in the input matching circuit degrades the NF characteristics.

Keywords: Dual band LNA, Varactor, Tunable matching circuit, RFID

I. 서론

RFID 시스템은 사용 국가 및 적용 분야에 따라 사용하는 주파수 대역이 다양하다. 수신 감도와 적용 환경에 따라, 동시에 여러 대역을 활용하여야 할 필요성이 요구될 것으로 예상된다. 이를 고려한 RFID 시스템의 구현을 위해서는 다중 대역 RFID 리더에 관한 연구가 필수적이며, 다중 주파수 대역을 처리할 수 있는 RF 송수신부, 디지털 신호 처리부의 연구가 선행되어야 한다. 최근, 다중 대역 RF 송수신부 구현을 위한 초기 단계로 다중 대역, 다중 모드 특성을 갖는 소형화, 고성능화된 RF 부품에 대한 연구가 활발히 이루어지고 있다.[1]~[3]

다중 대역 RF 부품을 구현함에 있어, 많이 사용되는 소자가 varactor이다. Varactor는 인가되는 바이어스 전압에 따라 커패시턴스가 변화하는 소자이다. 이러한 Varactor의 특성을 이용한 VCO (Voltage Controlled Oscillator), tunable RF filter 등 다양한 tunable 부품이 연구 및 개발되고 있다. [4]~[5]

본 논문에서는 varactor를 이용한 tunable 매칭 회로를 구성하고, 이를 이용한 RFID 리더용 tunable 이중 대역 LNA (Low Noise Amplifier)를 hybrid 형태로 설계 및 구현하였다. LNA의 입력 매칭 회로를 tunable 매칭 회로로 구현하였다. 단순한 구조의 입력 매칭 회로를 구현하고자, varactor의 개수를 최소한으로 줄였으며, varactor에 인가되는 바이어스 전압에 따라, 433MHz, 912MHz에서 각각 동작하도록 설계하였다. 출력 매칭 회로는 2개의 동작 주파수 대역에서 낮은 S22 특성을

갖도록 단순한 구조의 매칭 회로를 구성하여 높은 이득을 얻고자 하였다.

II. Dual Band LNA의 구조 및 설계 방법

Tunable 매칭 회로를 이용한 Dual band LNA의 간략한 구조를 그림 1에 나타내었다.

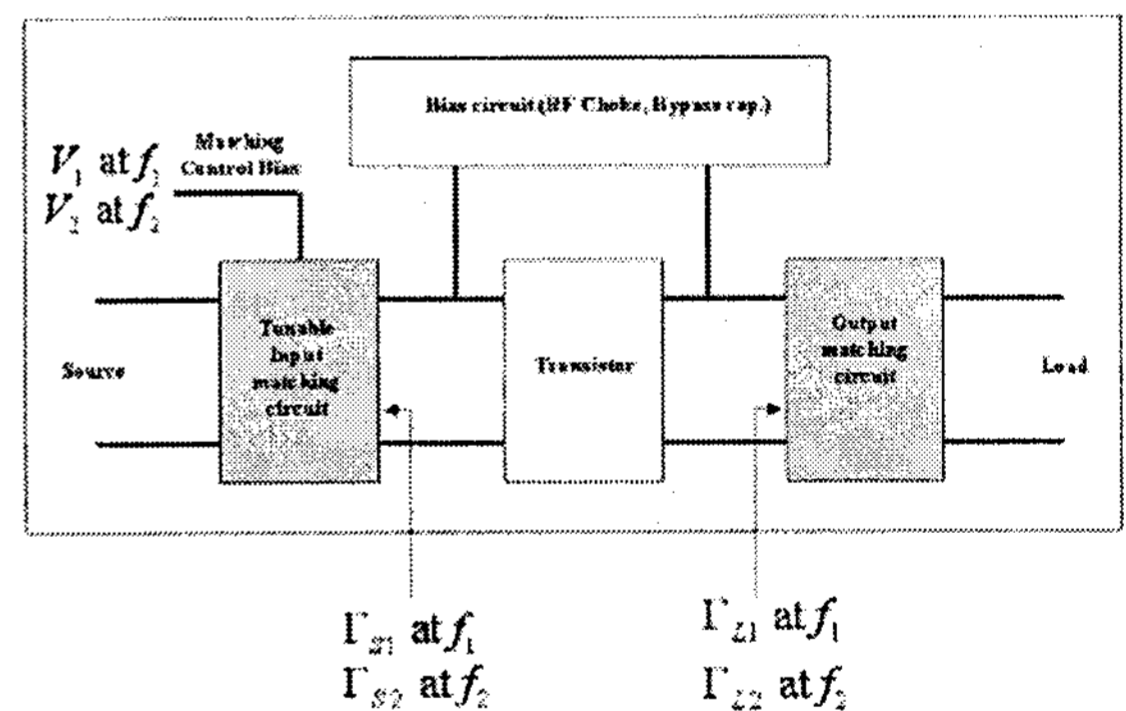


그림 1. Varactor를 이용한 Dual band LNA의 간략한 구조..

Fig. 1. The simplified structure of dual band LNA using varactor.

LNA는 트랜지스터 및 안 정도 회로, 입력 매칭 회로, 출력 매칭 회로 및 바이어스 회로로 구성되어 있다. 입력 매칭 회로와 출력 매칭 회로는 설계 목적에 맞는 특정한 임피던스로 임피던스 매칭을 하기 위한 회로이며, 안 정도 회로는 트랜지스터의 발진을 방지한다. 바이어스 회로는 RF 신호가 입출력 포트가 아닌 바이어스 라인을 통해 빠져 나가는 것을 방지하는 RF choke와 저주파 발진을 막아주는 bypass 커패시터를 포함한 회로를 의미한다.

LNA 설계의 첫 단계는 저잡음의 특성을 갖는 트랜지스터를 선택하고 소비 전력 및 이득을 고려한 동작점을 결정하는 것이다. 동작점을 결정하고 난 후, RF choke, bypass 커패시터를 포함한 바이어스 회로를 구성

* 책임저자(Corresponding Author)

오재욱, 임태서, 최진규 : 중앙대학교 전자전기공학 석사
(massloading@hotmail.com, lim5540@hanmail.net, bluezone1384@nate.com)
중앙대학교 전자전기공학부 교수 (kimcaf2@cau.ac.kr)

※ 본 연구는 전력산업연구개발사업 전력선행기술연구 중기과제 지원으로 수행되었음. (R-2005-7-135)

한다. 바이어스 회로를 설계한 후, 저항이나 다른 소자들을 이용하여 발진을 막기 위한 안정도 회로를 구성한다. 일반적으로 K factor를 이용하여 안정도를 확인하는데, 입력 및 출력 매칭 회로에 관계 없이 발진이 일어나지 않는 무조건 안정 상태가 되도록 안정도 회로를 구성한다.[6] 트랜지스터의 안정도를 확보하고 난 후, varactor를 이용한 tunable 입력 매칭 회로를 구성한다. 일반적인 공통 소스 증폭기의 경우, 최소의 NF (Noise Figure)를 만족시키는 Γ_s , 최대의 이득을 만족시키는 Γ_s , 최대 출력을 만족시키는 Γ_s 가 서로 다르기 때문에 설계 목적에 맞는 적절한 Γ_s 를 구현할 수 있는 입력 매칭 회로를 구성해야 한다.

LNA를 설계하는 경우, NF 뿐만 아니라 이득도 중요한 설계 요소이다. 따라서, 동일한 NF를 갖는 Γ_s 값들을 연결한 noise figure circle, 동일한 이득을 갖는 Γ_s 값들을 연결한 gain circle을 스미스 차트 상에 도시한 후, 이득과 NF가 설계 목표에 부합하도록 적절한 Γ_s 값을 선택한다.

Varactor를 사용한 tunable 입력 매칭 회로는 그림 1과 같이 varactor에 인가된 전압에 따라 동작 주파수 f_1 에서는 Γ_s 가 Γ_{s1} 이 되고, 동작 주파수 f_2 에서는 Γ_s 가 Γ_{s2} 가 되도록 설계한다.

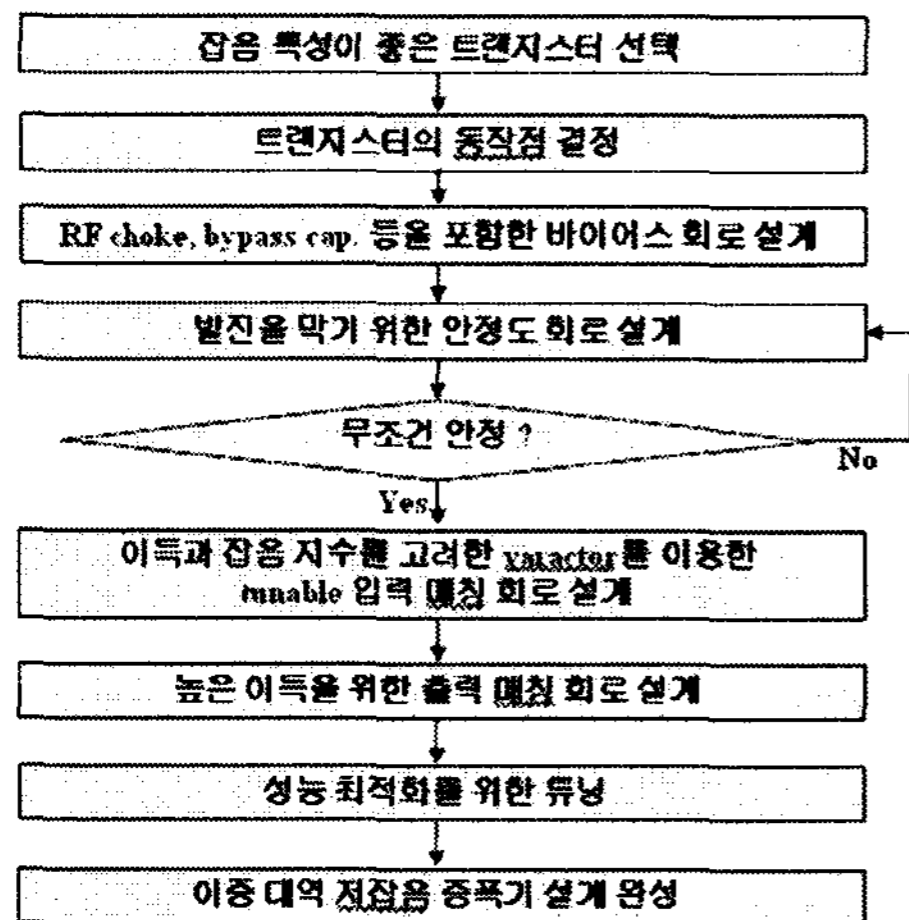


그림 2. Tunable 매칭 회로를 이용한 Dual band LNA의 설계 과정.

Fig. 2. The design steps of dual band LNA using tunable matching circuit.

입력 매칭 회로 설계 후, 출력 매칭 회로를 구현한다. 출력 매칭 회로는 NF 특성과 무관하므로, 2개의 동작 주파수에서 동시에 최대의 이득을 얻을 수 있도록 설계된다. 출력 매칭 회로가 완성되면, LNA 성능의 최적화를 위한 튜닝을 하여 LNA가 설계가 완성된다. Tunable 매칭 회로를 이용한 Dual band LNA의 설계 절차를 그림 2에 나타내었다.

III. Tunable 매칭 회로를 적용한 Dual Band LNA의 설계

1. 바이어스 회로 및 안정도 회로 설계

이중 대역 저잡음 증폭기를 설계하기 위해 트랜지스터는 NEC사의 NE3509M04를 사용하였다. 트랜지스터의 드레인단 전압은 2V, 게이트단 전압은 -0.24V로 정하였으며 소비 전력은 19.36mW이다. 마이크로스트립 라인으로 회로를 구현하기 위해 유전율이 3.38인 Rogers사의 RO4003C 기판을 사용하였다.

바이어스 회로에 RF 초크를 구현하였다. 일반적으로 스테브의 길이가 파장의 1/4인 radial 스테브를 RF choke로 많이 사용하지만, 동작 주파수가 낮을 경우 radial 스테브의 크기가 커지는 단점이 있다. 본 연구에서는 33nH 인덕터를 RF choke로 사용하였다. 이중 대역 LNA이기 때문에, 2개의 동작 주파수에서 모두 바이어스 쪽으로 RF 신호가 빠져 나가야 하는 것을 최소화 할 수 있도록 설계가 되었다.

바이어스 회로가 설계된 후, 발진을 방지하기 위한 안정도 회로를 설계하였다. feedback 이득을 작게 하기 위해 트랜지스터의 드레인 단에 직렬 또는 병렬로 저항을 연결하고, degeneration 인덕터를 사용하여 무조건 안정 조건을 만족하도록 설계하였다.

2. 바이어스 전압에 따른 varactor의 커패시턴스 변화 측정

Tunable 입력 매칭 회로를 설계하기 전, 바이어스 전압에 따른 varactor의 커패시턴스 변화를 측정하였다. Varactor는 TOKO사의 KV1812K를 사용하였다. 그림 3은 varactor의 특성을 측정하기 위해 제작된 회로이며, 측정 결과를 그림 4에 나타내었다.

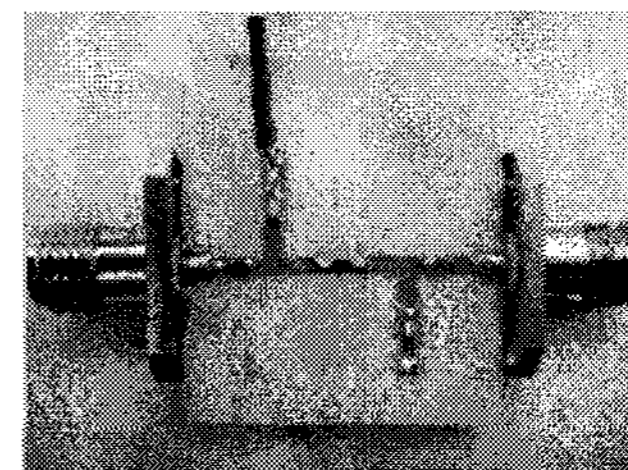


그림 3. 제작된 varactor 특성 측정 기판.

Fig. 3. The implemented circuit for measuring the characteristics varactor.

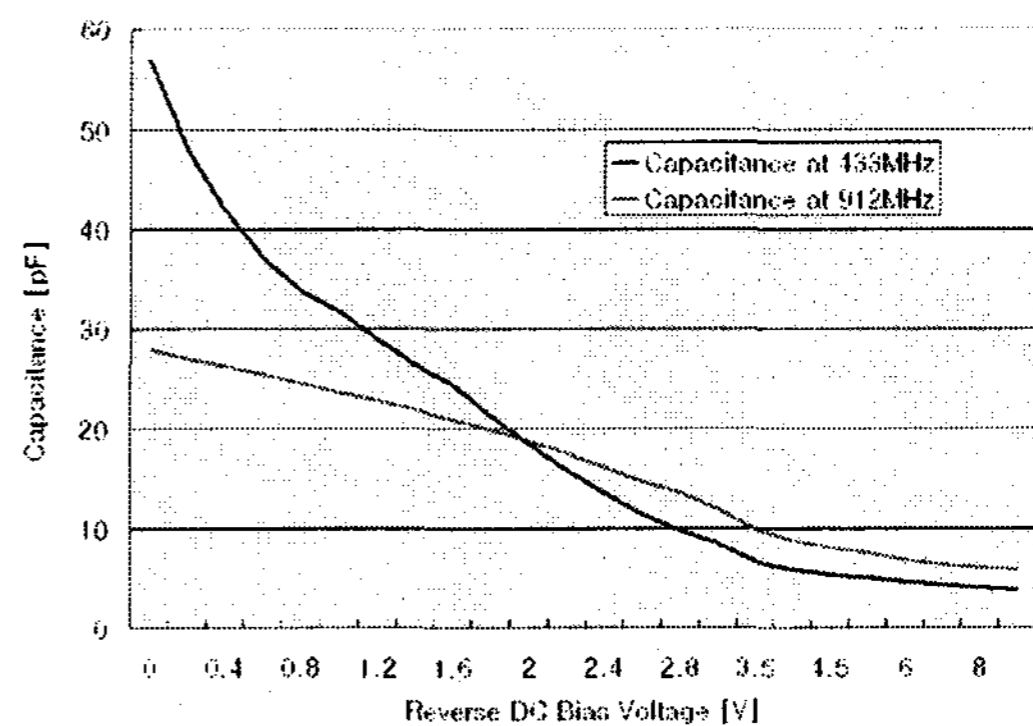


그림 4. 바이어스 전압 변화에 따른 커패시턴스의 변화.

Fig. 4. The capacitance variation of varactor as bias voltage changes.

그림 4에서, 바이어스 전압이 증가함에 따라 커패시턴스는 작아짐을 알 수 있으며, 같은 바이어스 전압이라도 주파수에 따른 커패시턴스의 크기는 다름을 알 수 있다. 433MHz에서는 커패시턴스를 3.87pF부터 57pF 까지 가변할 수 있으며, 912MHz인 경우는 5.83pF에서 28pF까지 변화시킬 수 있다.

3. Tunable 입력 매칭 회로 설계

Tunable 입력 매칭 회로를 설계하기 위해, 동작주파수 433MHz, 912MHz에서 각각 noise figure circle과 gain circle을 도시한 후, 설계 목적에 맞는 Γ_{s1} , Γ_{s2} 를 정하였다. varactor를 이용한 tunable 입력 매칭 회로를 구성하여 바이어스 전압이 변함에 따라 Γ_{s1} , Γ_{s2} 를 만족시키도록 하였다. TOKO사의 KV1812K는 회로 시뮬레이션에서 사용할 수 있는 spice model을 제공하지 않기 때문에, 앞 절에서 측정했던 varactor 회로의 측정 결과를 touchstone 파일로 저장하여, 이를 회로 시뮬레이션에 활용하였다. 단순한 구조의 입력 매칭 회로를 구성하기 위해 varactor를 하나만 사용하였다. 433MHz와 912MHz에서의 입력 매칭 회로를 같은 구조로 각각 구성하는데, varactor에 걸리는 바이어스 전압만 다르게 하고 이를 제외한 다른 모든 마이크로 스트립 라인의 길이 및 SMD 소자 값을 모두 같게 설계한다. 이를 통하여, 바이어스 전압에 따라 입력 매칭 값이 변하는 tunable matching 회로를 구현할 수 있다. 설계 결과, Γ_{s1} 을 만족시키기 위해서는 3.4V, Γ_{s2} 를 만족시키기 위해서는 0.2V 를 varactor에 인가하도록 하였다.

4. 출력 매칭 회로 설계 및 전체 시뮬레이션

출력 매칭 회로는 433MHz, 912MHz에서 동시에 최대의 이득을 얻도록 설계하였다. 간단한 구조의 매칭 회로를 사용하여 동시에 2개 대역의 출력 매칭이 가능하였기 때문에 tunable 매칭 회로를 출력 매칭 회로에 적용하지 않았다. 출력 매칭 회로 구성 후, 구성된 전체 회로를 그림 5에 나타내었다. 시뮬레이션 결과, 433MHz, 912MHz에서 이득은 각각 19.54dB, 10.19dB 이며, NF는 0.98dB, 5.68dB였다. 시뮬레이션 결과를 표 1에 정리하였다.

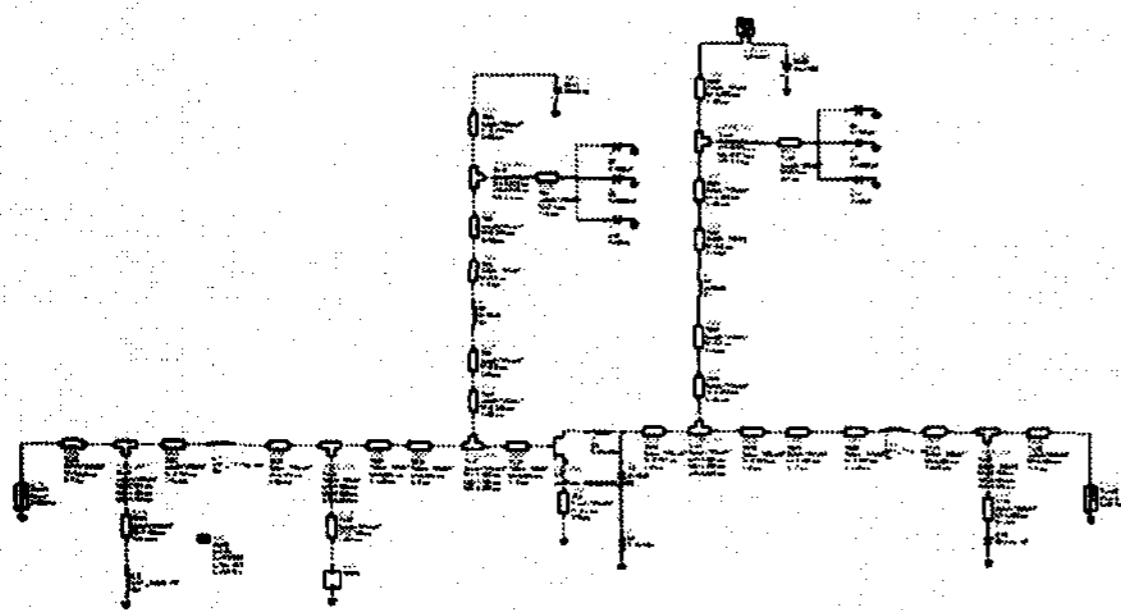


그림 5. 전체 dual band LNA 회로도.
Fig. 5. The whole circuit of dual band LNA.

표 1. 이중 대역 LNA의 시뮬레이션 결과

Table 1. The simulation results of dual band LNA

항목	단위	시뮬레이션 결과	
동작 주파수	MHz	433	912
S21	dB	19.54	10.19
S11	dB	-9.17	-2.69
S22	dB	-15.29	-17.43
NF	dB	0.98	5.68
Varactor 인가 전압	V	3.4	0.2
소비 전력	mW	19.36	19.36

5. 제작 및 측정

시뮬레이션 결과를 바탕으로 dual band LNA를 제작하였다. 그림 6은 제작된 dual band LNA이며 측정된 S-parameter 결과를 그림 7, 그림 8에 나타내었다.

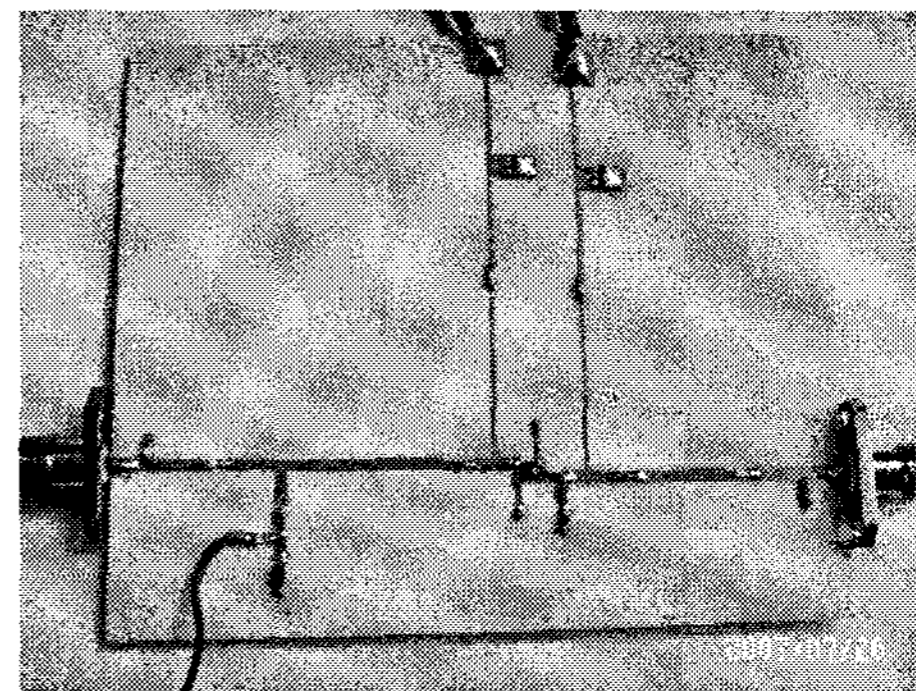


그림 6. 제작된 dual band LNA.
Fig. 6. The implemented dual band LNA.

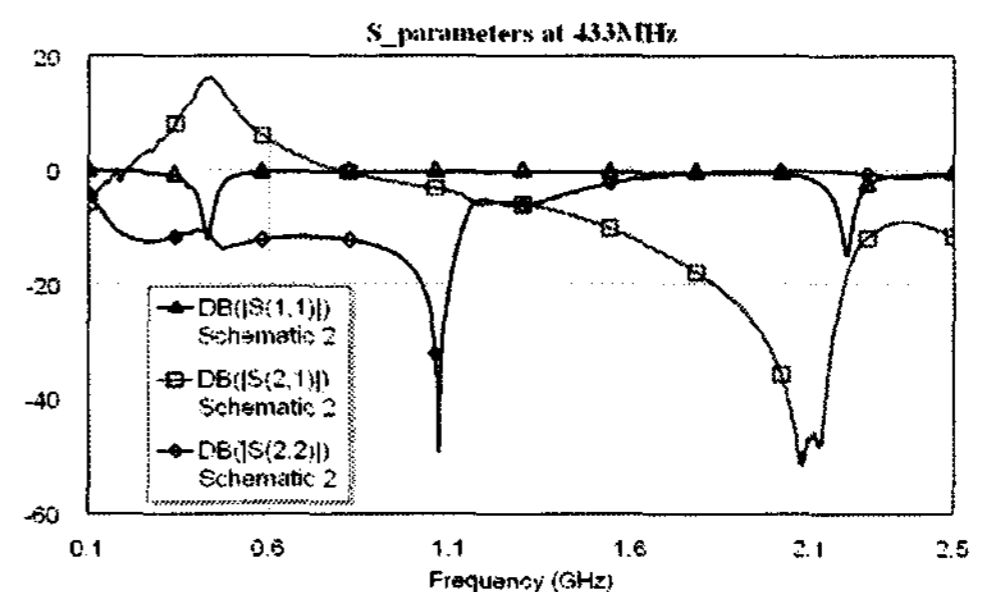


그림 7. 433MHz 동작 시 측정된 S-parameters
Fig. 7. The measured S-parameters operating at 433MHz.

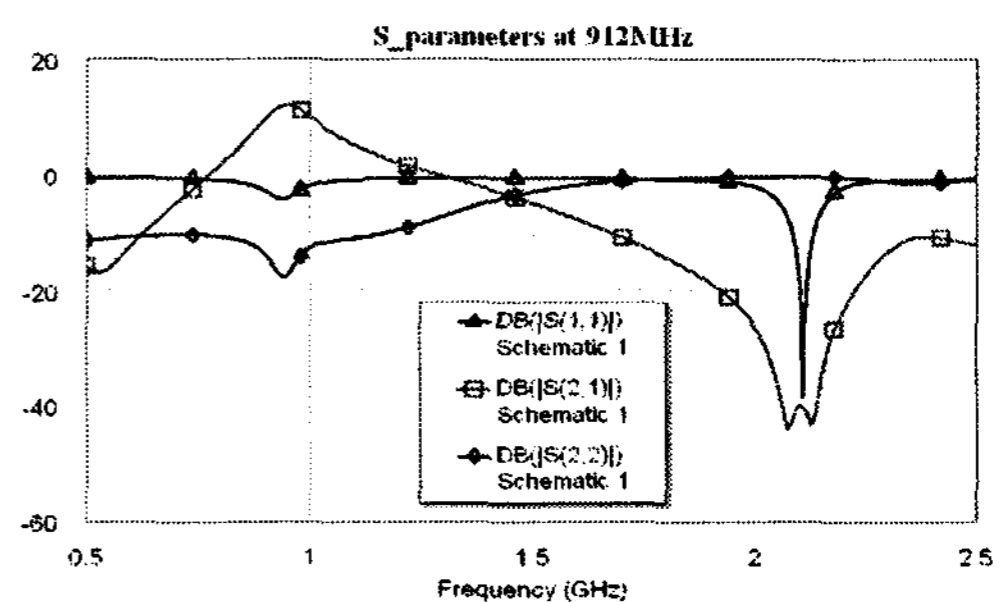


그림 8. 912MHz 동작 시 측정된 S-parameters
Fig. 8. The measured S-parameters operating at 912MHz.

측정 결과, S21은 433MHz, 912MHz에서 각각 16.10dB, 10.72dB, 잡음 지수는 15.96dB, 7.21dB이며 소비 전력은 19.36mW로 계산되었다. 433MHz에서 동작 시 varactor에 3.4V의 전압을 인가하였고, 912MHz에서 동작하기 위해서는 varactor에 0.2V의 전압을 인가하였다. NF 특성이 시뮬레이션 결과에 비해 높게 측정되었다. 이는 tunable 입력 매칭 회로의 임피던스 매칭이 정확하지 않은 것으로 생각된다. 또한, 입력 매칭 회로의 varactor가 잡음 지수 특성을 악화시키는 원인으로 사료된다. 측정 결과를 표 2에 정리하였다.

표 2. 이중 대역 LNA의 측정 결과

Table 2. The measured results of dual band LNA

항목	단위	측정 결과	
동작 주파수	MHz	433	912
S21	dB	16.10	10.72
S11	dB	-11.88	-3.31
S22	dB	-11.18	-15.02
NF	dB	15.96	7.21
Varactor 인가 전압	V	3.4	0.2
소비 전력	mW	19.36	19.36

VI. 결론

본 논문에서는 varactor를 이용한 hybrid 형태의 433MHz, 912MHz 대역의 dual band LNA를 설계하였다. Varactor를 이용한 tunable 매칭 회로를 구현하고, 이를 LNA의 입력 매칭 회로에 적용하여 varactor에 인가되는 전압에 따라 동작 주파수가 변화하도록 설계되었다. 측정 결과, S21은 433MHz, 912MHz에서 각각 16.10dB, 10.72dB, 잡음 지수는 15.96dB, 7.21dB이며 소비 전력은 19.36mW로 계산되었다.

NF 특성이 시뮬레이션 결과에 비해 높게 측정되었다. 이는 tunable 입력 매칭 회로의 임피던스 매칭이 정확하지 않고, 입력 매칭 회로의 varactor가 잡음 지수 특성을 악화시키는 원인으로 보인다. varactor를 여러 개 사용하여 구조가 복잡하더라도 원하는 임피던스에 정확히 매칭할 수 있는 tunable 매칭 회로의 설계 및 구현 방법에 대한 연구가 지속되어야 할 것으로 보인다. 또한, 출력 매칭 회로에 tunable 매칭 회로를 적용한 이중 대역 저잡음 증폭기의 연구가 필요할 것으로 사료된다.

참고문헌

[1] Dong-Jun Lee, Duk-Sun Shim, Hyung-Kyu Kim, and Hyeong-Seok Kim, "Dual-band Slotted Patch Antenna with Diagonally Offset Feed for GPS and WLAN", *KIEE International Trans. on EA*, Vol.4-C, No.6, pp.310-313, 2004.
 [2] Hossein Hashemi and Ali Hajimiri, "Concurrent Multiband Low-Noise Amplifiers-Theory, Design, and application", *IEEE Trans. on MTT*, Vol.50, No.1, pp.288-301, Jan. 2002.

[3] S.Jeon, Y.Yu and J.Choi, "Dual-Band slot-coupled dipole antenna for 900MHz and 2.45GHz RFID tag application", *IEEE Electronics Letters*, Vol.42, No.22, pp.1259-1260, Oct. 2006.
 [4] Jan Craninckx, and Michel S. J. Steyaert, "A 1.8-GHz CMOS Low-Phase-Noise Voltage-Controlled Oscillator with Prescaler", *IEEE Journal of Solid-State Circuits*, Vol.30, No.12, pp.1474-1482, Dec. 1995.
 [5] 하상훈, 오재욱, 김형석 Tunable Image Rejection Filter 구현" 대한전기학회 하계학술대회 논문집, pp.1593-1594, 7월 12-14일, 2006년
 [6] Guillermo Gonzalez. "Microwave Transistor Amplifiers Analysis and Design", prentice Hall, 1997.



오 재 욱

2005년 중앙대학교 전자전기공학부 졸업. 2007년 중앙대학교 전자전기공학 석사. 관심분야는 RF 및 무선통신, 마이크로파 증폭기 설계.



임 태 서

2006년 중앙대학교 전자전기공학부 졸업. 2007년~현재 중앙대학교 전자전기공학부 석사과정 재학중. 관심분야는 RFIC, Active circuit.



최 진 규

2007년 중앙대학교 전자전기공학부 졸업. 2007년~현재 중앙대학교 공과대학원 석사 과정 재학 중. 관심분야는 RF 및 무선통신, RFIC 회로 설계



김 형 석

1985년 서울대학교 전기공학 공학사. 1987년 서울대학교 전기공학 공학 석사. 1990년 서울대학교 전기공학 공학박사 1990~2002 순천향대학교 정보기술공학부 부교수. 1997~1998 R.P.I 미국 방문 교수. 2002~현재 중앙대학교 전자전기공학부 교수. 관심 분야는 전자장 및 수치해석, RF 및 마이크로웨이브 소자 해석 및 설계, RFID 시스템 연구, IT-SoC 응용 회로, 전력 IT