

# 홈게이트웨이용 기가빗 네트워크프로세서 스위치 칩 개발

안정균<sup>1</sup>, 김성수<sup>1</sup>, 김대환<sup>2</sup>

<sup>1</sup>KT 미래기술연구소, <sup>2</sup>쿠오핀 기술연구소

## Development Of The Gigabit Ethernet Switch Chip with Packet Processors for A Home Gateway

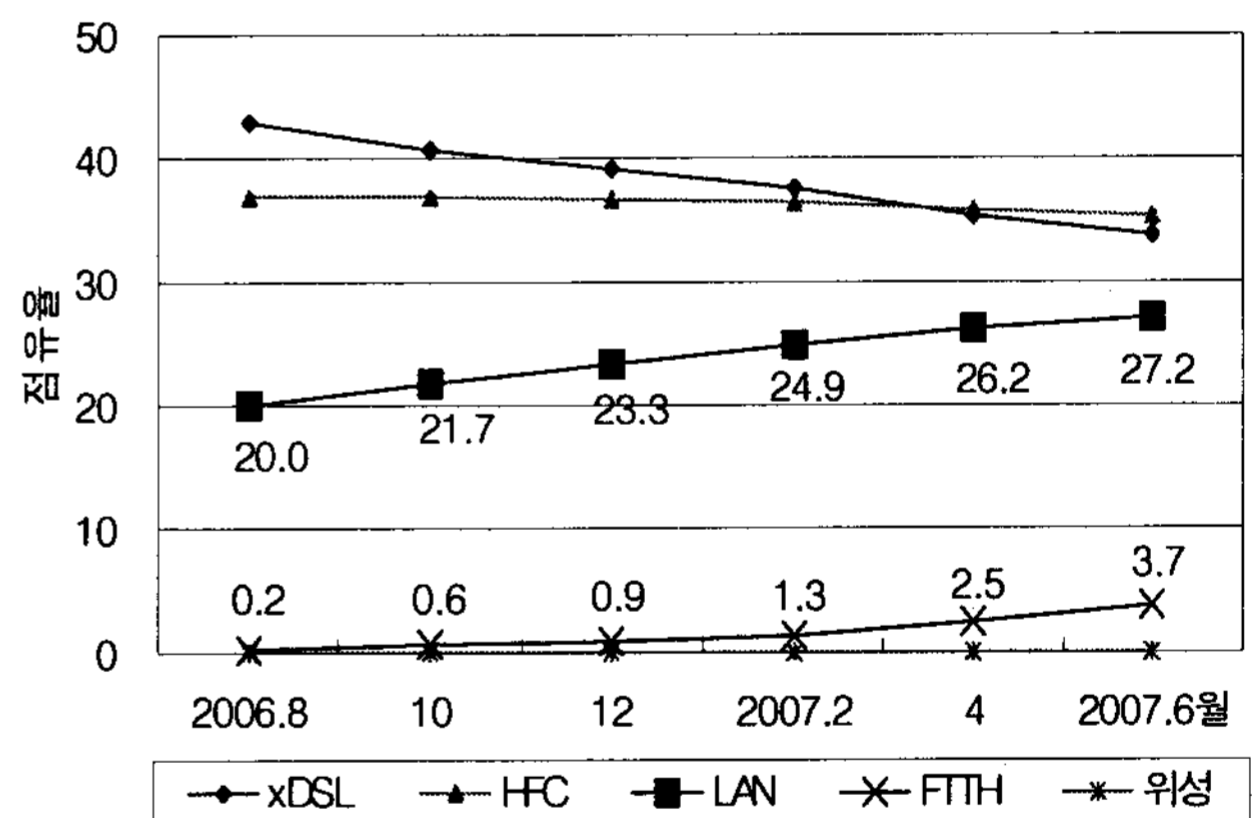
<sup>1</sup>Ahn, Jeong-Gyun, <sup>1</sup>Kim, Sung-Soo, <sup>2</sup>Kim, Dae-Whan

<sup>1</sup>KT Future Technology Laboratory, <sup>2</sup>Quopin Technology Laboratory

**Abstract** - FTTH상용화, IEEE802.11n 무선랜 기술의 상용화 등과 같은 초고속 전송기술의 발전에 따라 홈네트워킹 환경 또한 급격하게 변화하고 있다. 100Mbps를 초과하는 많은 홈네트워킹 기술들의 개발로 인해 홈게이트웨이에 보다 넓은 대역의 LAN 인터페이스를 요구하게 되었고, xDSL이나 케이블모뎀 기반의 가입자망과의 대역폭 차이는 고성능의 QoS 기능을 요구하게 되었다. 이러한 통신환경을 토대로 홈게이트웨이의 기능에 대한 요구사항을 분석하고 홈게이트웨이용 스위칭 칩의 개발규격을 도출하였다. 그리고 새로운 네트워크 기반의 비즈니스 모델을 개발하고자 하는 통신사업자의 요구사항과 QoS나 IPv6등의 다양한 네트워크 요구사항을 등을 유연하게 수용할 수 있으며, 칩의 기능과 성능을 수정하 또는 추가할 수 있는 네트워크 프로세서 기반의 기가빗 스위치 칩을 개발하였다. 개발 칩은 패킷 프로세서로 Layer 4까지의 패킷헤드를 처리하고, 2기가빗이더넷 + 6패스트이더넷 포트를 갖도록 설계하였으며, FPGA를 이용하여 스위칭 칩의 기본적인 전송기능과 성능, Flow별 패킷 분류 및 패킷 필터링, 스케줄링 기능 등의 시험을 통하여 설계한 칩의 기능과 성능을 확인하였다.

라 서비스 업체들의 경쟁은 전송 대역폭과 차별화된 서비스 경쟁으로 진화하고 있다.

이러한 서비스 경쟁의 경향은 초고속 인터넷 전송 방식이 (그림. 1)에서 보는 바와 같이 기존의 xDSL과 HFC 전송방식에서 아파트랜과 FTTH 전송방식으로 빠르게 전환되고 있는 점에서 볼 수 있다. 특히 아파트랜 방식은 저렴한 구축비용으로 아파트 지역을 중심으로 가장 빠르게 점유율이 증가하여 2007년 6월말 현재 392만 가입자수를 넘어서고, 고속통신망 구축의 어려움으로 인해 낮은 전송속도를 제공받던 단독 주택지역에 FTTH가 공급되기 시작하여 53만 가입자를 넘어서고 있다.



(그림. 1) 국내 초고속인터넷 가입자 현황

### 1. 서 론

급격하게 증가하던 국내 초고속인터넷 가입자의 수가 2002년을 기점으로 <표. 1>에서 보는 바와 같이 서서히 증가세가 줄어들다가 2006년도 별정통신사업자들의 일부 누락된 통계가 추가되면서 통계상 잠시 큰 증가세를 보였으나 그 이후 포화상태에 다시 접근하고 있음을 볼 수 있다.

<표. 1> 국내 초고속인터넷 가입자 현황추이

구분	2001	2002	2003	2004	2005	2006	2007.6
총 가입자 (단위,만명)	780	1,041	1,118	1,192	1,219	1,404	1,444

이러한 초고속인터넷 가입자수의 포화 상태에 따

이러한 광대역을 제공할 수 있는 아파트랜이나 FTTH 뿐만아니라 VDSL 가입자의 증가를 바탕으로 IPTV 서비스를 제공하기 위한 초기단계의 TV 포탈 사업을 비롯하여 VoIP 등 TPS(Triple Play Services) 사업을 적극적으로 추진 중에 있다.

이에 따라 맥내에서 사용하는 단말도 기존의 PC에서 IPTV용 STB, VoIP폰이나 WiFi 폰, 그리고 홈오트메이션을 위한 미디어서버, 웹카메라 등으로 그 수가 점점 늘어나고 있다. 이러한 서비스 단말에 안정적인 트래픽 전송과 분배를 위해 각 가정에 고사양의 홈게이트웨이나 공유기가 도입되고 있다.

또한 네트워크 서비스 품질을 향상시키기 위해 통신사업자들은 서비스의 종류에 따라 차별화된 서비

스를 제공할 수 있는 QoS 네트워크로 진화시키고 있으며, 홈네트워킹이나 홈오트메이션 서비스를 위해 홈게이트웨이에 QoS 기능을 탑재하고 있다.

본 논문은 홈게이트웨이용 기가빗 스위치 칩 개발에 관한 논문으로 통신사업자 입장에서 유지보수 비용을 절감하고 다양한 규격에 유연하게 대응할 수 있는 패킷프로세서 기반의 스위칭 칩의 요구사항, 칩 구조 설계, 그리고 기능에 대한 시험을 기술하였다.

## 2. 본 문

### 가. 홈게이트웨이의 요구사항

홈게이트웨이는 (그림. 2)의 홈네트워킹 구성도에서 보는 바와 같이 xDSL, 이더넷, FTTH, 혹은 케이블 모뎀으로 구축된 가입자망을 종단하고, 홈네트워크와 가입자망간의 트래픽을 제어하고, 홈네트워크에 접속 및 분배를 하며, 프로토콜을 변환할 수 있는 장비로서 많은 기술적 요구사항이 필요하다.

특히 홈네트워킹 전송기술의 발전에 따라 기가빗 이더넷이 저렴한 가격에 제공되고 있으며, 뿐만 아니라 IEEE 802.11n, USB 2.0, UWB, IEEE1394 등 많은 기술들이 최대 400Mbps 이상을 전송할 수 있으나, WAN 기술로 사용되고 있는 FTTH나 VDSL 등의 경우 다운로드 속도는 50Mbps ~ 100Mbps에 이르지만 실제 상향속도는 SLA에 기반하여 평균적으로 4~6Mbps 이하로 제한되거나, 제한되지 않더라도 xDSL의 경우 전송거리가 길어짐에 따라 전송속도가 낮아진다. 이러한 가입자망과 홈네트워크 간의 전송 속도 차이로 인해 댁내에서부터 트래픽의 철저한 관리가 필요하여 홈게이트웨이에도 충분한 QoS 기능을 탑재하여야 하며 100Mbps 이상의 고속 인터페이스를 안정적으로 수용하기 위해서는 1Gbps이상의 이

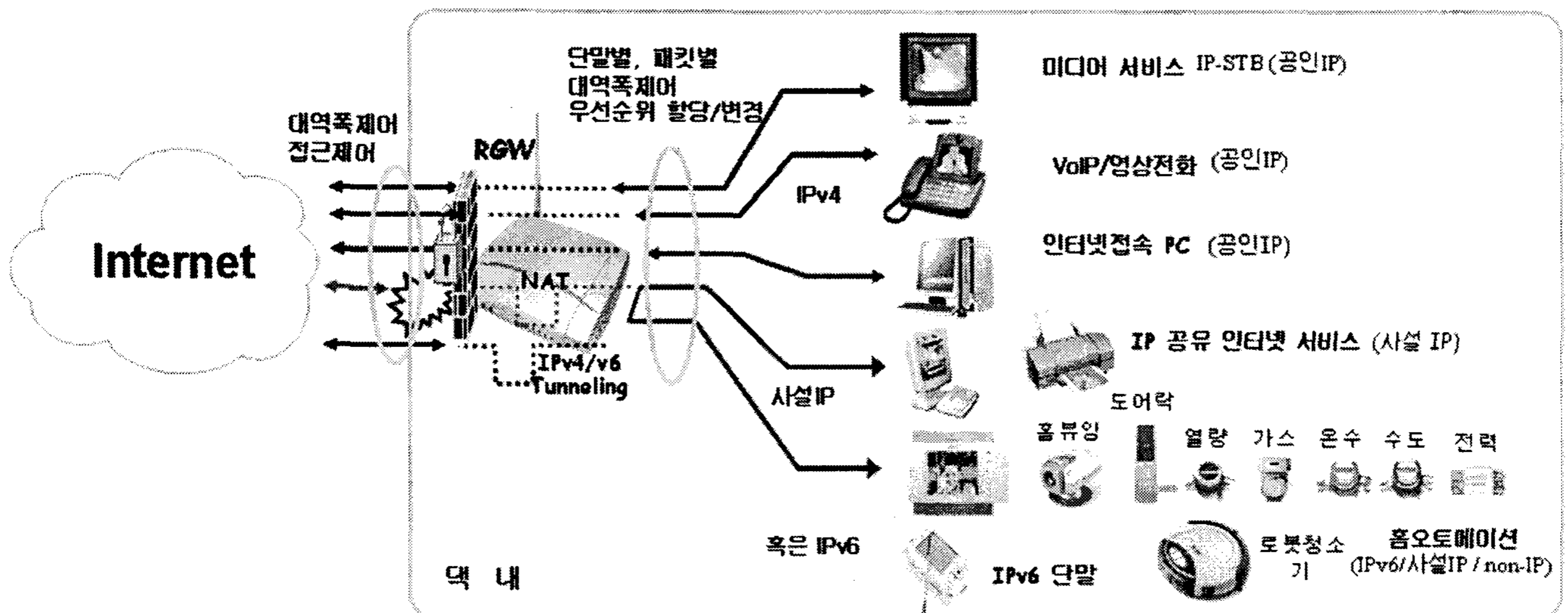
더넷 인터페이스를 확보하여야 한다.

QoS 기능을 포함하여 많은 댁내 단말에 다수의 IP를 제공하기 위해 NAT/NAPT의 기능이나 주소수가 거의 무한대에 이르는 IPv6를 제공할 수 있어야 하며, 필요시 홈네트워킹을 위해 공인IP와 사설IP 간의 통신이 가능하여야 하며, IPv4와 IPv6간의 프로토콜 변환이나 IPv4/v6간 터널링 기능도 필요하다.

이러한 홈게이트웨이의 기능과 성능은 CPU와 스위치 칩, 그리고 각종 USB나 무선랜 등의 홈네트워크 인터페이스에 의해 구현된다. 다양한 인터페이스를 가진 CPU는 서로 다른 프로토콜 간의 변환이나 소프트웨어에 의한 서비스 관련 기능을 주로 담당하고, 스위치 칩은 QoS와 같은 고속의 네트워크 처리 기능을 주로 담당한다.

그러나 고성능의 QoS 기능과 패킷 프러세싱 기능이 탑재된 칩 대부분은 가격과 구조가 홈게이트웨이 용으로 적합한 스위칭 칩이 거의 없고, CPU에 패킷 프러세싱 기능을 포함시켜 QoS나 NAT 기능을 소프트웨어적으로 처리하거나, 혹은 CPU 내에 하드웨어적으로 기능블록을 탑재한 CPU 칩이 일반적이다. 하지만 충분한 성능을 기대하기 어려워 고속의 네트워크 기능처리에 컴퓨팅 성능을 대부분 소진함으로써 어플리케이션의 안정적인 동작을 저해하여 홈게이트웨이의 신뢰성을 낮추기도 한다.

홈게이트웨이는 단순한 모뎀에 비해 복잡하고 다양한 기능을 수행하여야 하지만, 모뎀과 같이 가입자 각각에게 제공되어야 하는 장비로, 네트워크 장비의 특성상 24시간 항상 가동하여야 한다. 따라서 홈게이트웨이는 장시간의 운용에 신뢰성이 높아야 하며, 막대한 유지보수 비용을 줄이기 위해 네트워크를 통한 원격 유지보수가 가능하여야 하며 기능과 성능의 업그레이드가 가능하여 홈게이트웨이의 대체/개체 비



(그림. 2) 홈네트워크 구성도

용을 최소화 할 수 있어야 한다.

이러한 요구사항을 해결하기 위해 본 논문에서는 스위칭 또는 라우팅 기능을 비롯하여 QoS 기능이나 IP변환 등과 같은 고속의 패킷처리가 요구되는 네트워크와 관련된 기능들의 대부분을 스위칭 칩에 탑재함으로써 CPU의 컴퓨팅 성능을 보존하여 다양한 서비스를 안정적으로 제공할 수 있도록 홈게이트웨이용 기가빗 스위치 칩을 설계하였다.

나. 홈게이트웨이용 기가빗 스위치 칩 규격

개발하고자 하는 기가빗 스위치 칩은 기본적인 스위칭이나 라우팅과 같은 기능뿐만 아니라 높은 수준의 QoS 기능과 IP주소변환 기능 등을 충실히 수행할 수 있어야 하며 홈게이트웨이에 적합한 구조와 적절한 칩 가격을 가져야한다. 스위칭 칩의 요구사항을 크게 분류하면 다음과 같다.

1) 스위칭 칩 용량

대부분의 평균적인 가구는 거실, 주방, 그리고 방 3실 내외로 이루어지기 때문에 스위칭 포트 수는 WAN 포트와 CPU 인터페이스 포트를 포함하여 최소한 7~8포트가 요구되며, FTTH나 이더넷 등의 WAN 포트와 100Mbps를 넘어서는 USB 2.0이나 IEEE1394, 혹은 IEEE802.11n 등을 수용하기 위해 기가빗 포트가 최소 2포트 이상 필요로 하고, 각 실/방을 위한 LAN 포트도 6포트 이상을 제공할 수 있어야 한다. 따라서 개발 칩의 용량은 최소 2.6 Gigabit 이상을 처리할 수 있어야 하며, 홈네트워크의 많은 단말과 센서를 위해 256개 이상의 MAC을 수용할 수 있어야 한다.

2) IP주소 변환

IPv4 주소 수의 제한에 따라 하나의 공인 IPv4 주소를 할당 받아 다수의 사설 IP를 제공하기 위해 NAT/NAPT 기능이 탑재되어야 한다. 그리고 Pv6 주소의 도입과 확산을 위해 IPv6를 처리할 수 있어야 하며, 맥내로부터 확산될 것에 대비해 IPv4 가입자망을 터널링(tunneling)할 수 있는 기능을 하드웨어적으로 구비하여야 한다.

3) QoS 기능

패킷을 플로우(flow)별로 분류하고 필터링 또는 패킷필드 조작을 할 수 있는 ACL(Access Control List)을 최소 128개 이상 가져야 하며, COS(Class of Service)나 TOS(Type of Service) 등의 우선순위 필드를 사업자의 정책에 따라 설정(marking) 또는 재설정(remark)할 수 있어야 한다.

플로별 트래픽 측정(metering)을 할 수 있어야 하며, 분류된 패킷 플로우에 대하여 정책에 따라 대역폭제한(policing)을 인가하거나 혼잡(congestion) 상황에서 정해진 우선순위에 따라 스케줄링을 할 수 있

어야 한다. 스케줄링을 위해 SPQ(Strict Priority Queuing) 방식은 반드시 탑재하여야 하며, WRR(Weighted Round Robin)방식이나 또는 보다 공정한 스케줄링을 위해 WFQ(Weighted Fair Queuing) 혹은 DWRR (Deficit Weighted Round Robin) 방식을 사용하여 스케줄링 할 수 있어야한다.

그리고 각 포트당 4개 이상의 큐(Queue)를 가져야 한다.

자세한 스위칭 칩의 규격은 다음 <표. 2>와 같다.

<표. 2> 개발 스위칭 칩 규격

항목		규격	
Capacity	Switching capacity	2Gigabit + 6Fast Ethernet, 2.6Gigabit	
	Port configuration	8ports	
	# of MAC	Above 256	
	# of VLAN	4,096	
NAT		Wire Speed, 2000 port 이상의 세션 지원	
IPv4/v6 routing		IPv4/v6 각각에 대해 routing	
IPv4/v6 tunneling		IPv4 필드 삽입	
ACL Output	Remarking	CoS	정책에 따라 remarking
		ToS or DSCP	정책에 따라 remarking
	Remarking all-field		L4 이하의 필드 remarking
	Filtering		특정 MAC/ IP 주소/프로토콜에 대해 filtering
QoS	Prioritization		Physical port, MAC, VLAN, COS, Etype, IP, TOS/DSCP, TCP/UDP port
	Metering		Kbyte 단위
	Rate Limiting		Physical port/ queue/ flow별로 Bandwidth control이 가능
	Shaping		Latency 규격 범위 내에서
	Scheduling	SPQ	필수, 100%
		WRR	필수, 100%
		DWRR / WFQ	Kbyte 단위, 95% 이상 Fair Queuing
Queue		4개 이상	
Congestion		WRED 및 Pre-Drop controller	

다. 스위치 칩 구조

상기의 스위치 칩 기술 요구사항을 만족할 수 있는 칩의 구조로는 기존의 홈게이트웨이용 스위치 칩의 구조와 같이 ASIC(Application Specific Integrated Circuit)으로 설계하기에는 QoS 관련 기능이 대단히 복잡할 뿐만 아니라, 유연성이 떨어져, 제작 후 기능의 변경 또는 수정이 불가능하다. 급격하게 변화하고 진화하는 네트워크 서비스 요구사항

을 만족하고, 통신서비스 업체의 유지보수 측면을 고려할 경우, 스위칭 칩의 기능 변경 또는 추가가 중요한 요소가 된다. 따라서 본 개발에서는 (그림. 3)에서 보는 바와 같이 스위칭 칩에 패킷프로세서를 탑재하여 QoS기능과 패킷 처리 기능을 수정할 수 있는 구조로 설계하였다.

그리고 2 Gigabit + 6 Fast Ethernet 인터페이스를 가진 홈게이트웨이용 스위치에 적합하도록 128byte의 룩업 메모리와 192byte의 패킷 메모리를 내장하여 메모리 접근 속도를 높이고 홈게이트웨이 구성이 단순하도록 설계하였다.

패킷프로세서 기반의 스위치 칩의 구조는 (그림. 3)에서 보듯이 기가비트더넷(GE)/패스트이더넷(FE) MAC, 룩업엔진(LUE, 패킷프로세서 모듈 등), 링커, 스위치패브릭, TAG, 스케줄러, MEMI 등의 기능 블록으로 구성된다. 기능블록 각각에 대한 간단한 설명은 <표. 3>과 같다.

라. 스위치 칩의 동작

패킷 처리 과정을 간략하게 설명하면, 먼저 수신 Rx GE/FE MAC으로 들어온 패킷은 60byte 패킷헤드와 페이로드로 분리하여 패킷헤드는 패킷 클래스시파이어(Packet Classifier)로 보내고, 페이로드는 링크(Linker)를 통해 패킷메모리에 저장된다.

2조의 GE MAC은 WAN으로 사용되거나 100Mbps 이상의 전송을 위한 Interface로, 하나의 MAC만 사용될 경우, 2개의 패킷프로세서가 하나의 MAC에서 들어오는 패킷을 처리할 수 있도록 설계하였다.

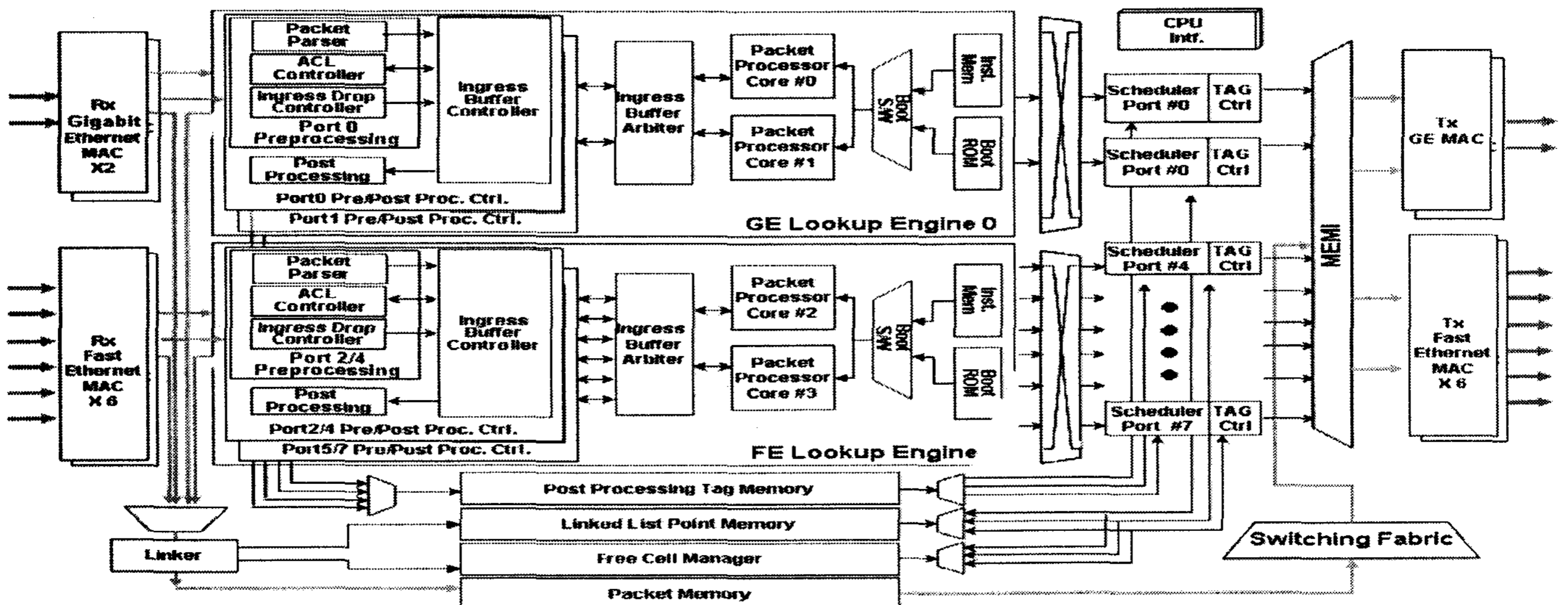
패킷프로세서는 최종적으로 200MHz의 클럭속도를 가지고 있으며 이를 VLIW(Very Long Instruction Word) 구조로 동시에 5개의 인스트럭션

<표. 3> 스위칭칩 주요 기능블록에 대한 설명

Block	기능블록 설명
GE/FE MAC	GMI/MII를 통한 1000/100/10Mbps 로 패킷입력 12byte (96bit) 단위의'line'으로 형식변환 line 단위에 대해 linker로 96bit data / data valid/ end of packet 정보출력 60byte 헤드와 payload로 분리
Linker	line형식 패킷data를 cell 단위로변경 패킷메모리에 cell을 linked list 형식으로 저장. Linked list로 저장하기위한 pointer는 FCM block으로부터 받음
FCM (Free Cell Manager)	cell 단위로 segmentation된 패킷을 linked list방식으로 저장하고 해제하기 위해 Free cell memory를control
Lookup Engine (LUE)	-Classifier(ACL controller) MAC으로부터 들어온 패킷을 분류 (classification) 및 Filtering하고 헤더를 저장하는 부분 -Packet Processor로 구성 linker로부터 packet header의 pointer를 입력받아drop/pass 결정 헤더수정, DV (destination vector)를 사용한 Source port와 priority 등의 output scheduler로의 출력
Output Scheduler	LUE로부터출력포트별로 pointer를입력받아Scheduling을통해출력
TAG	Lookup Engine으로부터 Linked List로구성된 packet의길이, 시작시간, copy개수등의정보를 Tag 메모리에저장 Scheduler의출력포인터를통해 Memory Interface 블록으로출력
Memory Interface	Tag의정보와 Output scheduler의 선택된 패킷을 실제패킷 메모리로부터 읽어 들여서 MAC으로 line별로 data valid/ eop(end of packet)/ line에 대한 module정보를 출력

을 동시에 처리할 수 있다. 따라서 2개의 패킷 프로세서가 200MHz로 동작할 경우 약 2,000MIPS를 처리할 수 있다.

패킷 클래스시파이어는 룩업엔진의 일부로, ACL 등

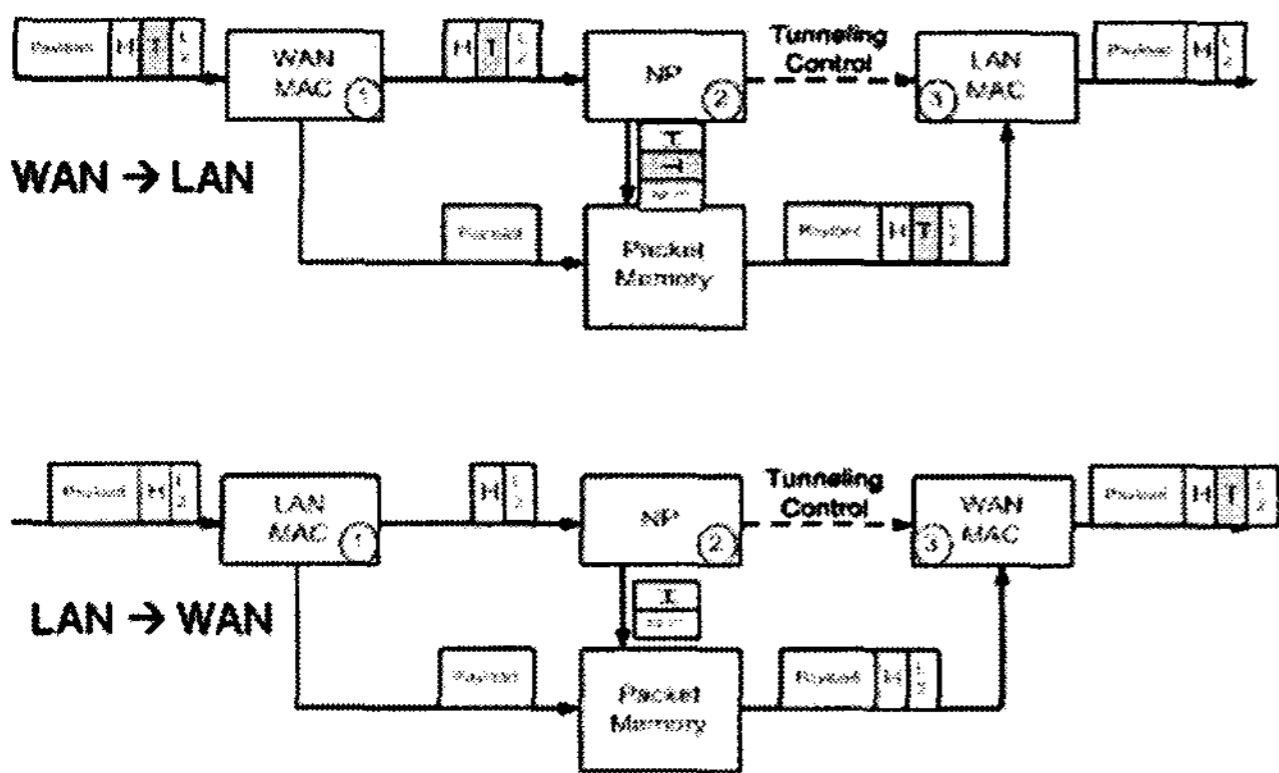


(그림. 3) 홈게이트웨이용 기가비트 이더넷 QoS 스위치 구조

의 패킷분류 규칙에 따라 패킷을 분류하고 패킷프로세서가 용이하게 처리할 수 있도록 전처리(Preprocessing) 결과를 입력버퍼(Ingress Packet Head Buffer)에 저장한다. 패킷프로세서는 룩업메모리의 테이블(Lookup Table)을 참조하여, NAT/NApT, 우선순위 설정 또는 재설정 등의 패킷헤드 필드를 조작하여 후처리(Post processing)를 한다. 후처리 과정이 끝난 헤드는 링커(Linker)를 통해 패킷메모리에 저장한다. 패킷프로세서는 후처리(Post processing) 과정에서 VLAN, IPv6 터널링(Tunneling) 등의 정보를 Tag로 보내고, 스케줄러(Scheduler)는 이러한 Tag정보와 우선순위 정보 등을 참조하여 4개의 우선순위가 다른 큐(Queue)에 순서에 따라 쌓고, MEMI에서 큐의 쌓인 순서에 따라 패킷을 재조립하여 송신 Tx GE/FE MAC으로 내보낸다.

스위칭 칩에서 가장 중요한 역할을 하는 패킷프로세서 모듈을 포함하는 룩업엔진(Lookup Engine)과 Rx/Tx MAC 은 각각 1대 1로 대응되고 각 GE MAC은 1조의 GMII를 수용하고, FE MAC은 1조당 3조의 MII(또는 SMII/S3MII) 인터페이스를 수용할 수 있도록 설계하였다.

(그림. 4)는 IPv4와 IPv6 간의 터널링 처리 과정으로, LAN에서 WAN으로 패킷이 전송될 경우, IPv6 패킷헤더 앞에 Tx MAC 모듈이 20byte의 IPv4 터널링 헤드를 삽입한다. 반대로 WAN에서 터널링 헤드를 부착하여 들어온 패킷은 Tx MAC 모듈에서 터널링 헤드를 삭제하고 해당 IPv6 단말로 패킷을 전송한다.



(그림. 4) IPv4/IPv6 터널링 흐름도

### 3. 칩 기능 및 성능시험

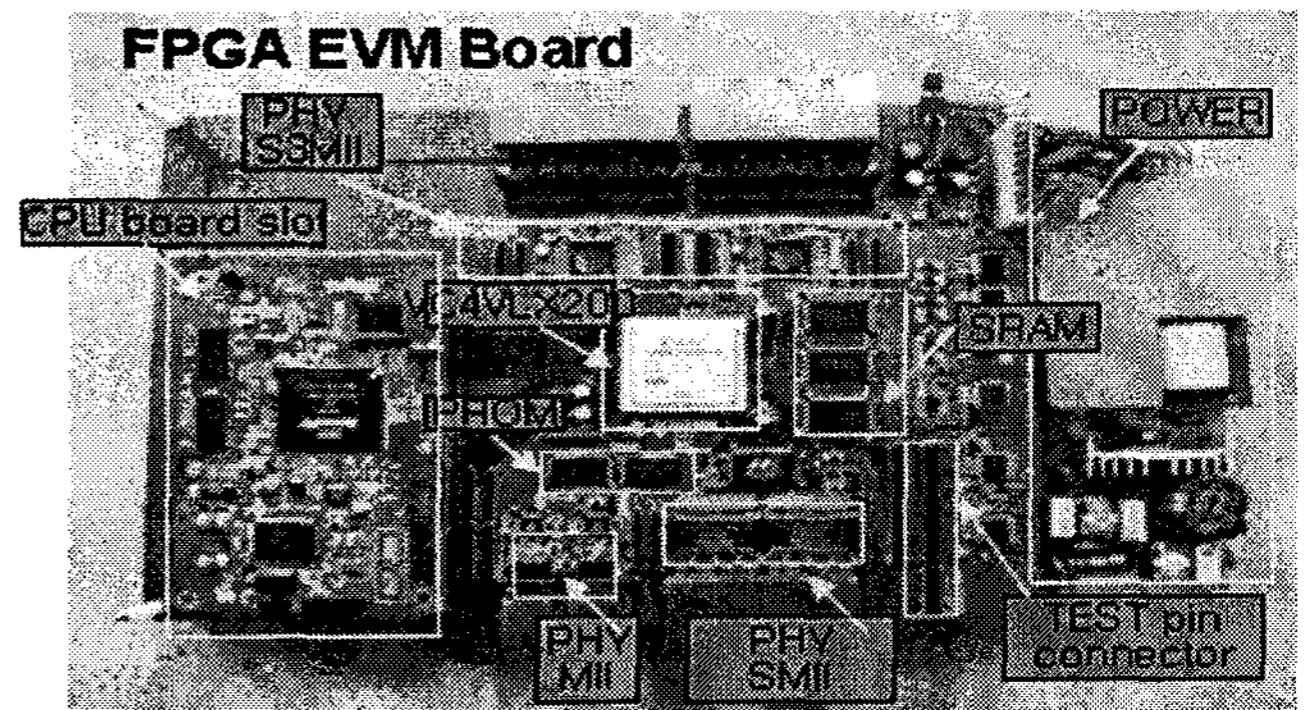
#### 가. FPGA 및 평가보드 구현

스위칭 칩을 패킷프로세서기반의 구조로 설계하고, 하드웨어 개발언어인 Verilog로 코드를 작성하여 설계 검증시험을 위해 FPGA로 컴파일 하였다.

FPGA는 Xilinx사의 VC4VLX200을 사용하였다. FPGA의 특성상 하나의 기가비트이더넷 포트와 4개의 패스트이더넷 포트로 단순화하여 성능시험을 진행하였다. 1GE + 4FE구조의 FPGA는 3조의 MAC과 LUE모듈, 1.5Mbit 패킷메모리(Packet Memory), 1Mbit 룩업메모리(Lookup Memory), 그리고 기타 기능 모듈 모두를 FPGA에 탑재하였다. FPGA의 성능 제한으로 인해 패킷프로세서의 목표 클럭(Clock) 200MHz를 78.5MHz로 낮추어 구현하였으며, 그 외 시스템 내부 클럭 등은 실제 칩과 동일한 클럭을 적용하였다.

FPGA기반의 평가보드(Evaluation Board)는 (그림. 5)에서 보는 바와 같이 CPU 보드와 FPGA보드로 구성되며 CPU는 Intel사의 IXP425를 적용하였다. 그리고 각각의 인터페이스를 점검할 수 있도록 MII 등 다양한 인터페이스를 탑재하여 제작하였다.

칩의 기능을 시험하기 위해 OS로 Linux 2.4.20 커널과 필요한 네트워크 프로토콜 스택을 탑재하였다.

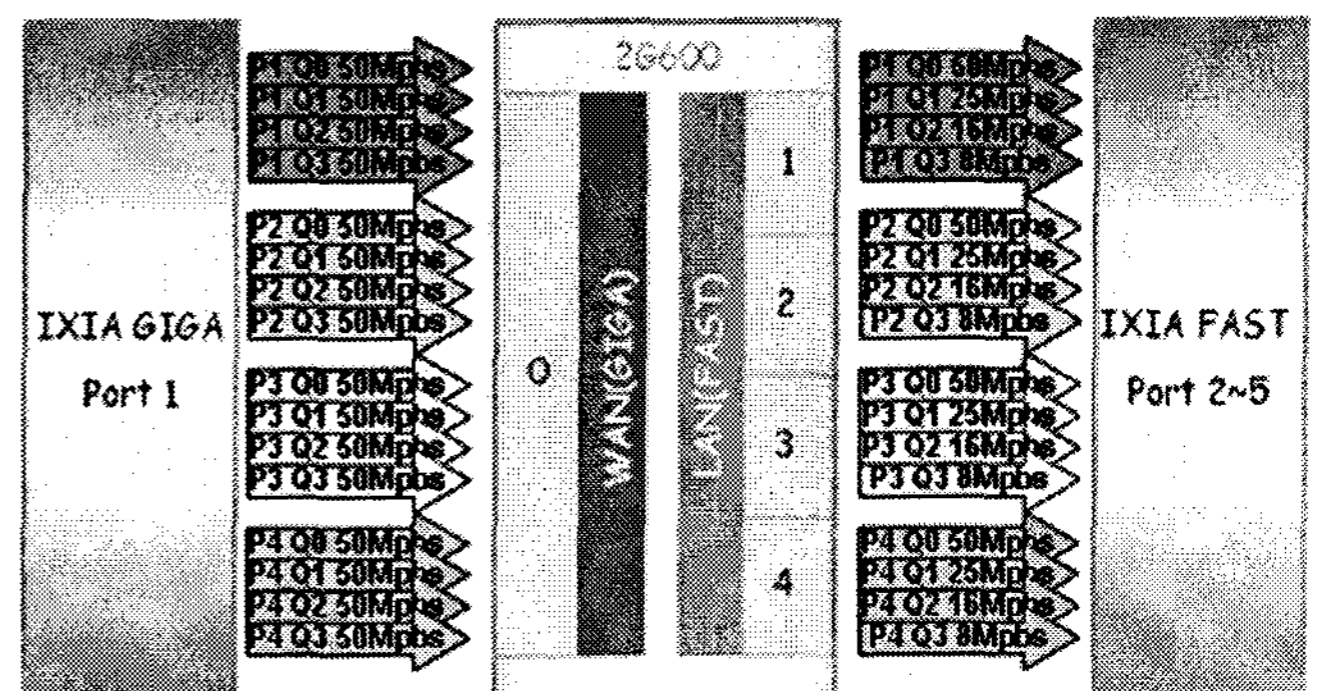


(그림. 5) FPGA Evaluation Board

#### 나. 시험환경 구성

FPGA 평가보드(Evaluation Board)로 전송을 및 스케줄링 기능을 시험하기 위해 평가보드의 각 포트에 IXIA사의 네트워크 분석기 포트를 (그림. 6)와 같이 연결하여 구성하였다.

시험 구성은 FPGA 평가보드의 기가비트 이더넷 포트와 네트워크 분석기 기가비트 이더넷 포트 1과 연결하고 LAN포트 4조에 네트워크 분석기의 패스트 이더넷 포트 2~5번 포트를 각각 연결하였다.



(그림. 6) FPGA 시험환경 설정

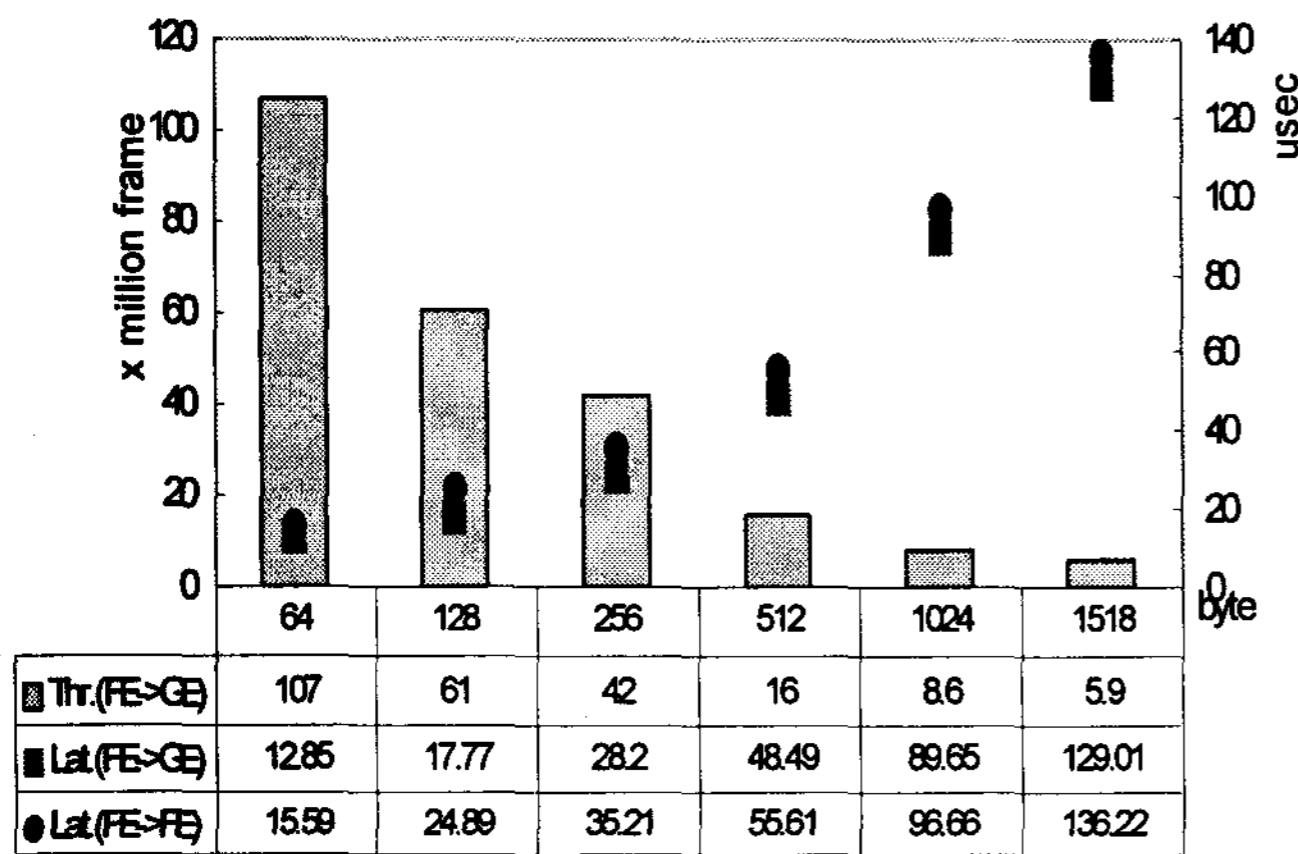
다. 주요 성능시험 결과

(그림. 6)의 시험 구성을 통하여 실시한 FPGA 평가보드에 대한 주요시험 결과는 다음과 같다.

1) 전송시험(Throughput/Packet Loss, Latency Test)

전송시험은 4개의 패스트이더넷 LAN 포트에서 각 100Mbps씩 총 400Mbps를 기가빗 포트에 3분간 전송할 때, 패킷의 길이에 따른 전송율과 지연을 측정하였다.

전송율(Throughput)은 패킷의 길이에 관계없이 100% 모든 패킷이 전송되었으며, 따라서 패킷 손실(Packet Loss)은 0%로 손실 없이 전송되었다. (그림. 7)은 3분 동안 손실 없이 전송된 패킷 프레임 수와 지연(Latency) 결과이다.



(그림. 7) 전송율(Throughput) 및 지연(Latency)

위의 (그림. 7)에서 보는 바와 같이 패스트이더넷 포트간의 지연은 가장 짧은 패킷인 64byte에서 15.59u sec였고, 패킷의 길이에 따라 점점 늘어나 1518byte에서 최대 136u sec가 소요되었다.

패스트이더넷과 기가빗이더넷 포트 간의 전송에서는 패스트이더넷 간의 지연시간 보다 약간 짧은 12.85u sec (64byte)에서 1518byte의 경우 120u sec 정도가 소요되었다. 두 전송경로 차이에 따른 지연시간의 차이는 10u sec 이하로 이는 패스트 이더넷 포트에서의 지연이 결정적인 영향으로 사려된다. 이는 기가빗 이더넷 포트 자체에 대한 지연측정에서 1518byte의 경우 15.85u sec로, 패스트이더넷 포트간에 비해 약 1/9 정도임을 고려할 때, 기가빗이더넷 포트와 패스트이더넷 포트간의 지연의 대부분은 패스트이더넷에서 기인함을 알 수 있다.

2) 스케줄링 시험(Scheduling Test)

스케줄링 시험은 (그림. 6)의 시험 구성도에서, 네트워크 분석기 기가빗 포트에서 우선순위와 패킷의 길이가 서로 다른 50Mbps 플로우 4조를 생성하였다.

각 플로우는 64byte의 Q0, 256byte의 Q1, 1024byte의 Q3, 1518byte의 Q4의 네가지 종류로 총 200Mbps씩을 각각의 LAN 포트에 800Mbps를 전송하였다.

첫 번째 스케줄링 시험조건으로 패스트이더넷 포트에서 Q0의 64byte 플로우에 SPQ를 인가하고 나머지 세 개의 플로우에 대해서 각각 Q1(256byte) : Q2(1024byte) : Q3(1518byte) = 3: 2: 1의 비율로 DWRR을 인가하였다. 각 LAN 포트에서 예상되는 플로우별 결과는 각 포트에 인입된 200Mbps 중에서 우선순위에 따라 패킷의 길이에 상관없이 Q0: Q1: Q2: Q3 = 50: 25: 16.4: 8.6Mbps의 결과가 나와야 한다. 왜냐하면 SPQ가 인가된 Q0 플로우는 전체 50Mbps가 각각의 LAN 포트에 손실없이 출력되어야 하며, 나머지 50Mbps에 대해 Q1이 그 반을 차지하는 25Mbps, 그리고 Q2와 Q3 각각이 25Mbps의 2/3와 1/3의 전송이 이루어져야 하기 때문이다.

다음은 SPQ(Q0)+DWRR(Q1,Q2,Q3)에 대한 각 포트별 전송결과이다.

<표. 4> SPQ+DWRR(3:2:1) 스케줄링 시험 결과

구분	Port1	Port2	Port3	Port4	평균
Q0(Mbps)	50.06	49.97	50.21	49.80	50.01
Q1(Mbps)	25.03	24.98	25.11	24.90	25.01
Q2(Mbps)	16.68	16.65	16.74	16.60	16.67
Q3(Mbps)	8.34	8.32	8.37	8.30	8.33

SPQ가 인가된 Q0 플로우의 경우 모든 패킷이 전송된 반면, 다른 플로우의 경우 50Mbps 중에서 평균 25.01Mbps, 16.67Mbps, 8.33Mbps만 전송되어 예상결과와 거의 일치 하는 것을 볼 수 있었다. 위의 결과에서 전송율만으로 볼 때, SPQ를 인가한 Q0 플로우에서 아주 적은 량의 패킷이 손실되는 듯이 보이거나 이는 실제 손실이 일어난 결과가 아니고 길이가 서로 다른 Q2, Q3 등이 통계적으로 빠져나가는 짧은 동안에 짧은 패킷인 64byte Q0의 패킷이 버퍼안에서 저장된 상태로 지연이 발생하여 순간적으로 캡처하는 측정기에서 나타나는 순간 흔들림의 결과로 사려된다.

두 번째 스케줄링 시험은 DWRR 시험으로 (그림 6)의 설정과 동일한 플로우를 만들어 기가빗 포트에서 LAN포트 각각으로 전송할 때, 각 LAN 포트에 각각의 플로우에 대해 Q0:Q1:Q2:Q3 = 4:3:2:1의 비율로 DWRR을 인가하였다. 이 경우 예상되는 시험결과는 플로우 별로 Q0: Q1: Q2: Q3 = 40: 30: 20: 10Mbps가 각각의 LAN 포트에 출력되어야 한다.

아래 표는 DWRR 스케줄링 시험 결과이다.

<표. 5> DWRR(4:3:2:1) 스케줄링 시험 결과

구분	Port1	Port2	Port3	Port4	평균
Q0(Mbps)	40.01	39.89	40.03	39.96	39.97
Q1(Mbps)	30.03	29.95	30.07	30.06	30.03
Q2(Mbps)	20.02	19.96	20.04	20.04	20.02
Q3(Mbps)	10.01	9.99	10.03	10.03	10.02

위의 결과에서 보듯이 각 우선순위별 스케줄링 시험 결과는 평균 39.97: 30.03: 20.02: 10.02Mbps로 예상과 매우 정확하게 일치하는 것을 볼 수 있다. 이로써 DWRR 스케줄링 시험에서 칩이 적절하게 동작함을 확인하였다.

라. ACL 시험 및 기타 시험결과

다중필드를 참조할 수 있는 128개의 ACL 규정에 따라, 패킷 필터링(Filtering), 대역폭(Bandwidth) 제한, COS 또는 TOS 필드 값 변경(remarking) 등의 시험에서도 정상적으로 동작하는 것을 확인하였다.

그리고 기타 VLAN 기능을 포함하여 네트워크 관련 시험에서 정상적으로 동작하는 것을 확인하였다.

수용 가능한 256개의 MAC 수를 넘어설 경우, 상황에 따라 오래된 MAC을 에이징(aging) 처리하거나 또는 새로운 장비의 접속이 불가능하도록 선택적으로 설정할 수 있도록 설계된 부분도 정상적으로 동작하였다.

그리고 프로세서의 성능이 부족하여 인입버퍼에서 무작위적으로 패킷 손실이 발생하는 것을 방지하기 위해 64개의 Pre-Drop 정책에 따라 우선순위에 의해 선행 필터링을 할 수 있는 Pre-Drop 컨트롤러의 기능도 확인 하였다.

4. 결 론

기가빗 이더넷 인터페이스를 가지는 패킷프로세서 기반의 QoS 스위치 칩 개발을 위해 먼저 홈게이트웨이의 요구사항과 이에 따른 스위치 칩의 기능과 성능을 중심으로 개발규격을 결정하였으며, 유지보수가 중요한 통신사업자의 입장에서 칩의 유연성과 고기능성을 확보하기 위해 패킷 프로세서 기반의 홈게이트웨이용 스위칭 칩을 개발하였다. 2개의 기가빗 이더넷 포트와 6개의 패스트 이더넷 포트를 가지는 칩에는 4조의 패킷프로세서와 MAC, Linker, 스케줄러 등의 모듈을 탑재하고 있으며, 홈게이트웨이 구성을 단순하게 하기위하여 패킷메모리와 룩업메모리를 칩 내부에 내장하였다. 이와 같이 설계된 칩의 성능

을 확인하기 위해 FPGA로 칩의 일부 기능과 성능을 시뮬레이션 하였다. FPGA용 칩의 형상은 1개의 기가빗 이더넷과 4개의 패스트이더넷 포트와 3조의 패킷프로세서를 비롯하여 다른 모든 기능모듈을 탑재시킨 후, 평가보드를 제작하여 시험하였다.

FPGA 시뮬레이션의 한계로 인해 완전한 기능과 성능을 확인하기는 다소 어렵지만 기본적인 전송율, 패킷손실, 지연, 스케줄링 시험 등을 실시하여 칩의 기능과 성능을 확인하였으며 일반적인 홈게이트웨이용 ASIC 스위치 칩에서 확인 할 수 있는 이상의 성능을 확인하였다.

[참 고 문 헌]

- [1] S.Bradner, J. McQuaid, "Benchmarking Methodolgy for Network Interconnect Devices", RFC 2544, March 1999.
- [2] M.Carlson, E.Davies, Z.Wang, W.Weiss, "An Architecture for Differentiated Services", RFC 2475, December 1998.
- [3] R.Braden, D.clark, S.Shenker, "Integrated Services in the Internet Architectur", RFC 1633, June 1994,
- [4] Panos C. Lekkas, *Network Processors, Architectures, Protocols, and Platforms*, McGraw-Hill, NY, 2003
- [5] Theodore B. Zahariadis, *Home Networking*, Actech House Inc., Boston-London, 2002
- [6] KT, 홈엔홈게이트웨이 기술요구서, 2006.
- [7] 정보통신부, 주요 IT 통계현황, 2007
- [8] Joseph Byrne and Linley Gwennap, *A Guide to SOHO Gateway Processors*, The Linley Group, Mountain View California, 2006