

2.45GHz 대역 RFID Reader 를 위한 LNA-Mixer 설계

Design of a LNA-Mixer for 2.45GHz RFID Reader

임태서, 고재형, 김형석*

(Tae-Seo Lim, Jae-Hyeong Ko and Hyeong-Seok Kim)

Abstract : This paper presents the design and analysis of LNA-Mixer for 2.45GHz RFID reader. The LNA is implemented by PCSNIM method for low power consumption. The Mixer is implemented by using the Gilbert-type configuration, current bleeding technique, and the resonating technique for the tail capacitance. The connection between the two designed circuits is made by active balun. This LNA-Mixer has about 35dB for -40dBm input RF power, LO power is 0dBm and RF frequency is 2.45 GHz and IIP3 is -4dBm. The layout of LNA-Mixer for one-chip design in a 0.18-um TSMC process has 2.6mm x 1.3mm size.

Keywords: LNA-Mixer, RFID, Active balun

I. 서론

현재 RFID산업의 주파수 대역 별 사용을 살펴보면 13.56MHz의 경우 근 방향 IC카드로서 신분증이나 전자 승차권에 이용되고 있고 433.92MHz의 경우 컨테이너 관리용으로 사용되고 있다. 그리고 860-960MHz의 경우 유통 및 물류 전반에 사용되고 있지만 국가별로 사용대역이 다르므로 인해 범용화에 한계를 지니고 있다. 때문에 그 대안으로서 2.45GHz대역 RFID 관련 연구가 활발히 진행되고 있으며 이에 따른 Reader 및 Tag의 제작에 있어서 구조적인 측면 및 경제적인 측면에 대한 많은 요구가 대두되고 있다. [1]

이런 요구의 해결책으로서 직접변환 방식을 이용한 수신단의 개발 및 성능에 대한 연구가 진행되고 있다. 집적회로의 기술이 급속도로 소형화, 집적화 되어가고 RFID 관련 제품이 저전력 소모를 요구하므로 이를 만족하기 위해서는 수신단에 들어가는 소자를 저전력 및 고집적화에 초점을 맞추어 한 개의 단일 소자로 설계하는 것이 필요하다.

따라서, 본 논문에서는 직접변환 방식의 RFID 리더에 적용 가능한 2.45GHz대역 LNA-Mixer를 설계하고자 한다. 두 소자의 연결을 위해 Off-chip balun을 사용하는 것 보다 On-chip balun을 사용하는 것이 설계의 편의성과 전력전달, 비용 절감 측면에서 유리하다. On chip balun설계 시 안테나 뒷단에 balun을 연결한 후 Balanced LNA를 연결할 경우 Balanced LNA는 전력소모가 크고 balun의 높은 잡음특성으로 인해 수신단 전체의 Noise Figure 특성이 악화되므로 Single-Ended 구조로 설계된 LNA와 balanced구조로 설계된 Mixer를 연결하는 방법을 선택하였다. 또한 LNA와 Mixer의 경우 RFID에 적용 가능하도록 전력소모특성을 고려하여 설계 하였다.

II. 본론

1. LNA 설계

LNA 설계 시 Noise Figure 특성 및 입, 출력간 격리 특성이 우수하고 임피던스 매칭이 용이한 Cascode 구조를 많이 사용

* 책임저자(Corresponding Author)

임태서, 고재형 : 중앙대학교 전자전기 공학부 석사과정

*김형석 : 중앙대학교 전자전기 공학부 교수 (kimcaf2@cau.ac.kr)

※ 본 연구는 정보통신부 IT-SoC 핵심설계인력양성사업의 전공실습 과제 지원을 받아 연구되었음.

한다. 본 논문에서는 일정한 전력 소모를 유지하면서 입력 매칭과 노이즈 매칭을 동시에 만족시키는 power-constrained simultaneous noise input matching(PCSNIM) 방법[2]을 사용하여 전력 소모를 적게 하며 입력 매칭과 노이즈 매칭을 동시에 만족시킬 수 있는 LNA를 설계하였으며 간략한 구조를 그림 1에 나타내었다.

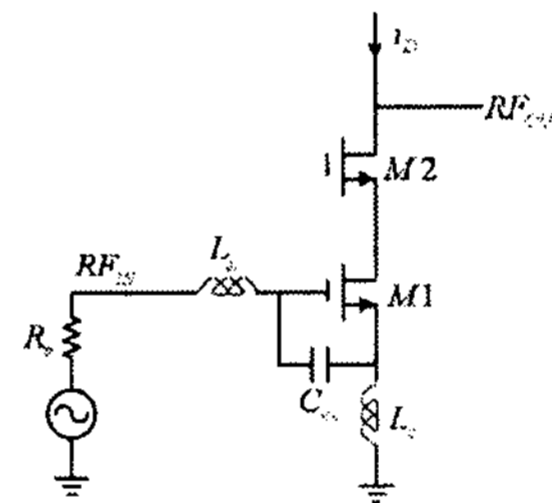


그림 1. PCSNIM 방법을 사용한 LNA 회로도
Fig. 1. Schematic of LNA using PCSNIM method

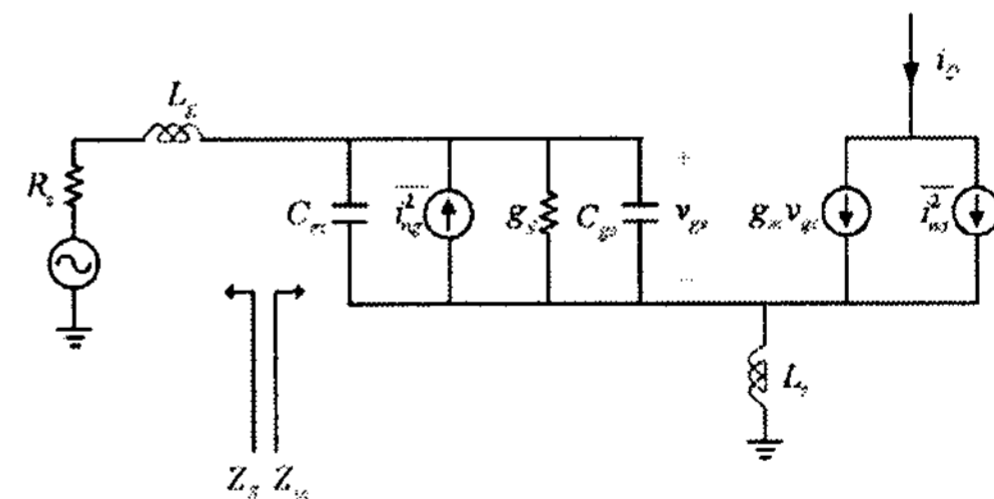


그림 2. 소신호 등가 회로
Fig. 2. Small signal equivalent circuit.

PCSNIM 방식의 LNA를 설계하기 위한 첫 번째 단계는 게이트단의 바이어스 전압을 결정하는 것이다. 게이트단의 바이어스 전압은 최소의 최대 이득과 NFmin을 고려하여 결정한다. 바이어스 전압이 결정되면 주어진 소비 전력을 만족하는 트랜지스터의 크기를 결정하게 된다. 트랜지스터의 크기가 크면 전력 소비가 커지고, 트랜지스터의 크기가 작으면 전력 소비는 줄어들지만 트랜지스터의 cutoff 주파수인 ω_T 가 낮아지게 되기 때문에 적절한 트랜지스터의 크기를 결정하는 것이 중요하다. 그 후에 그림 2에서 나타난 Z_s 와 Z_{in}

의 실수성분을 같게 하기 위한 C_{ex} 와 L_S 를 선택한다. 이 때 L_S 값 이 너무 커지게 되면 NFmin이 커지게 되며, C_{ex} 값이 커지면 이득이 떨어지기 때문에 적절한 값을 결정해야 한다. 다음 단계로 Z_S 와 Z_{in} 의 허수 성분이 상쇄될 수 있도록 입력 매칭 회로를 인덕터 L_g 를 이용하여 구성한다. 회로의 동작을 테스트하기 위해 출력단을 50 Ohm 매칭 하였으며 실제 LNA-Mixer구현 시 출력 매칭단을 제외하여 설계 하였다.

전체 회로의 시뮬레이션 결과를 그림 3과 그림 4에 나타 내었다. S21은 2.45GHz에서 11.87dB이며, S11은 -17.61dB, S22 는 -22.77dB임을 알 수 있었다. NF는 2.45GHz에서 2.61dB가 나왔으며, 그림 4에서 알 수 있듯이 NFmin에 거의 근접한 NF를 얻었다. 2.45GHz 대역 LNA의 시뮬레이션 결과를 표 1 에 정리하였다.

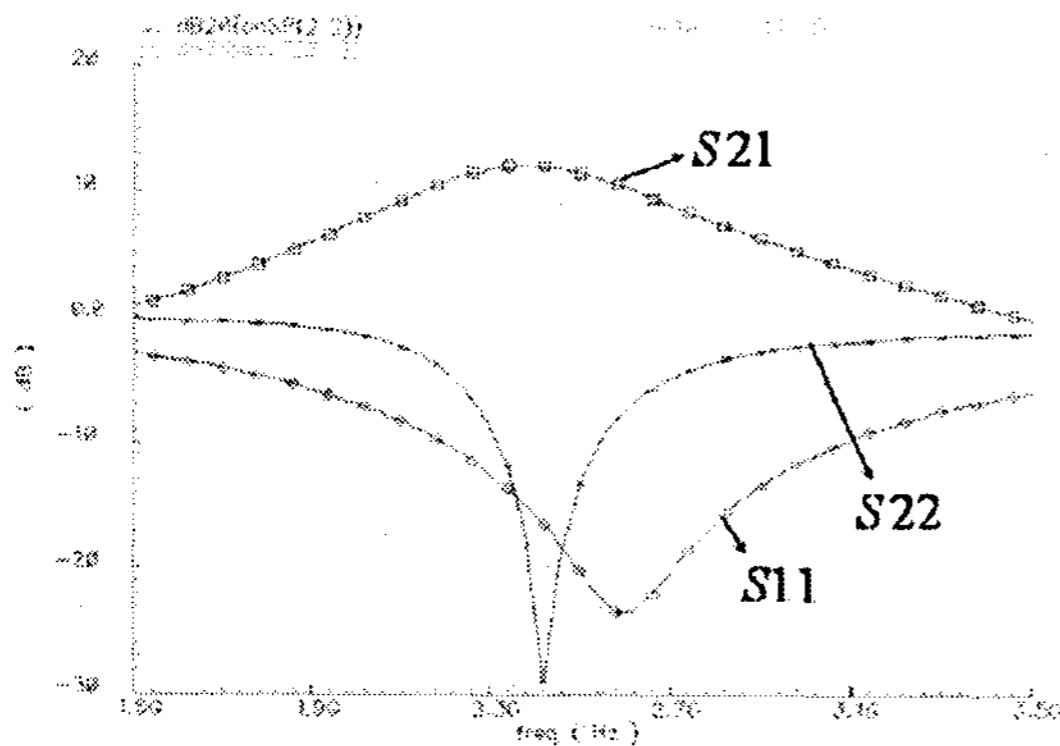


그림 3. 설계된 LNA의 S-parameter 시뮬레이션 결과
Fig. 3. S-parameter simulation results of designed LNA.

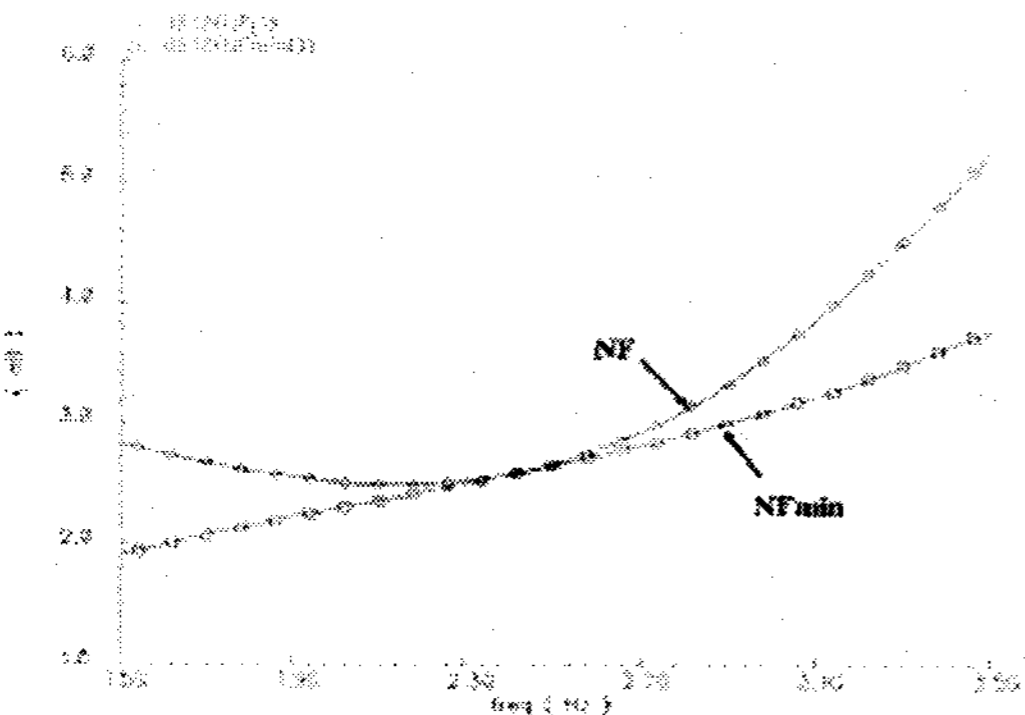


그림 4. NF와 NFmin의 시뮬레이션 결과
Fig. 4. Simulation results of NF and NFmin.

표 1. LNA의 시뮬레이션 결과
Table 1. Simulation results of LNA

항목	단위	시뮬레이션 결과
Center frequency	GHz	2.45
Gain	dB	11.87
S11	dB	-17.61
S22	dB	-22.77

NF	dB	2.61
Power consumption	mW	8.88

2. Mixer 설계

Mixer설계를 직접 변환 방식으로 설계할 경우 MOS에서 생성되는 고유잡음인 flicker noise특성이 주요 고려사항이 된다. Flicker Noise의 주요 원인은 mixer의 switching단과 bias current이다. 그리고 RF단의 bias current의 증가는 높은 이득과 향상된 선형성을 보장하지만 이로 인해 LO switching current가 증가함으로써 voltage headroom 문제를 야기한다. LO switching단에서 생성되는 Flicker Noise를 줄이기 위해서는 LO swing폭이 크고, 트랜지스터의 width가 넓어져야 한다. [3] 하지만 트랜지스터의 크기가 커지면서 기생 커패시턴스의 효과도 같이 커지고 이는 1/f noise의 증가로 이어지므로 트랜 지스터의 기생 커패시턴스 (Cp)를 상쇄시킬 수 있는 방법이 요구된다. 또한 noise 전류는 bias 전류에 비례하고 mixer의 flicker noise는 switching단의 영향을 많이 받으므로 switching 단의 bias current를 줄여야 할 필요가 있다.

이를 해결하기 위해 본 논문에서는 CMOS를 이용한 current bleeding 기법을 이용하여 Mixer를 설계하였다. 그림 5는 제안된 Current Bleeding기법이 적용된 회로를 나타내고 있다.

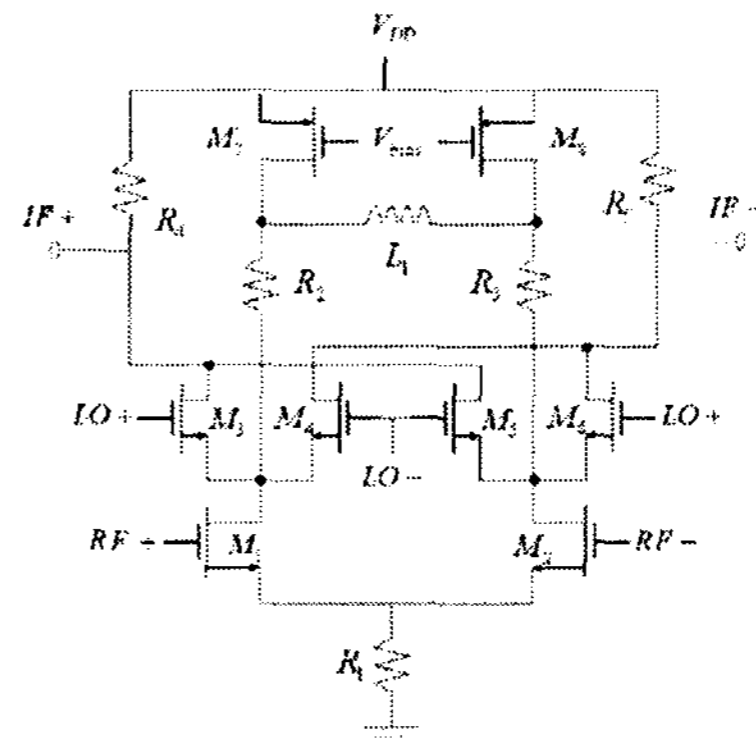


그림 5. current bleeding 기법이 적용된 이중평형 주파수 혼합기의 회로도
Fig. 5. Schematic of the double-balanced mixer with current bleeding circuit.

M7과 M8로 구성된 current bleeding circuit은 voltage headroom문제를 완화시키므로 load 저항인 R4 와 R5를 증가시켜 Mixer의 높은 이득을 얻을 수 있도록 한다. 또한 트랜스 컨덕턴스단인 RF단의 M1과 M2의 bias current를 LO switching단 을 거치지 않고 높일 수 있으므로 역시 Mixer의 이득을 높일 수 있다. [3] 그리고 R2와 R3는 M7과 M8의 전류를 조절하기 위한 저항이며, R1은 회로의 안정화를 위한 저항이다. Mixer 의 flicker noise를 줄이기 위해 M3~M6의 크기가 커짐으로 인 해 회로에서 영향이 커진 M3~M6의 기생 커패시터의 영향을 줄이기 위해 L1을 연결하였다.

회로의 모의실험은 Cadence Spectre를 이용하였으며 공정은 TSMC 0.18um공정을 적용하였다. 그림 6에서 제안된 구조의 DSB noise특성을 log scale로 나타내었다. 제안된 구조에서 IF frequency가 510kHz이상일 때 Noise Figure는 10.8dB이하를 나타내었다.

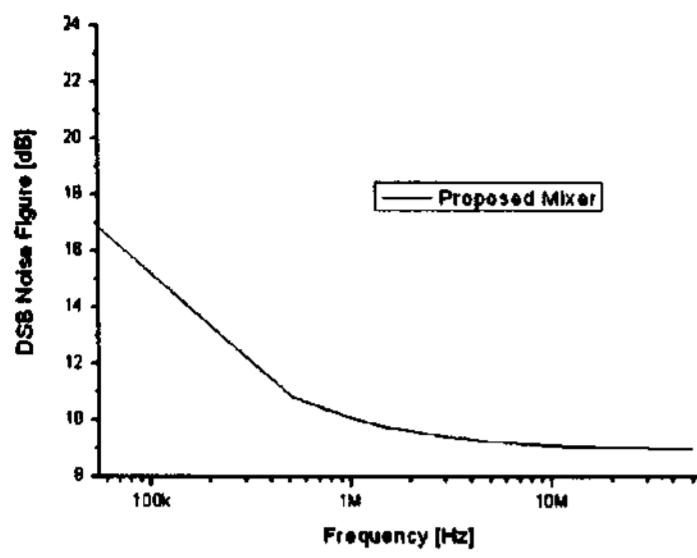


그림 6. DSB 잡음특성
Fig. 6. DSB Noise Figure.

그림 7은 LO power에 따른 Mixer의 이득을 도시한 그래프이며 LO Power에 따른 고른 이득 특성을 보이고 있음을 확인할 수 있다. 그림 8은 LO입력이 0dBm이고 RF 입력이 -40dBm일때 RF주파수의 변화에 따른 변환 이득을 나타낸 그래프이다. RF입력 주파수가 2~3GHz의 범위 내에서 10dB이상의 이득을 갖는 것을 확인할 수 있다.

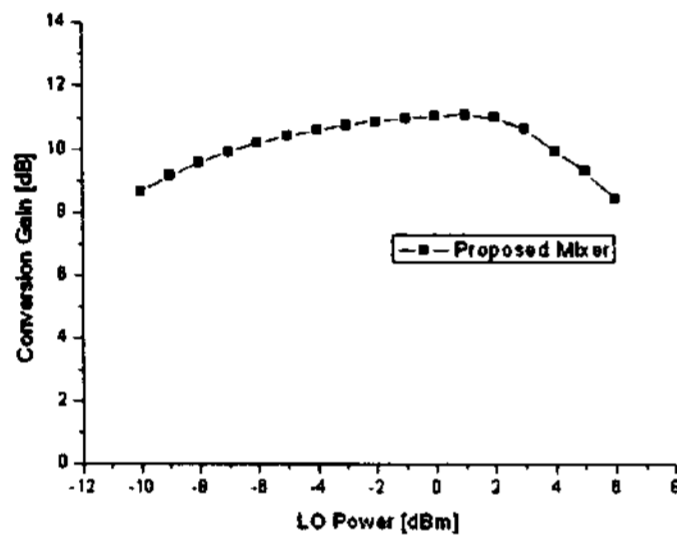


그림 7. LO 전력에 따른 이득 변화
Fig. 7. Conversion gain variation as a function of LO power.

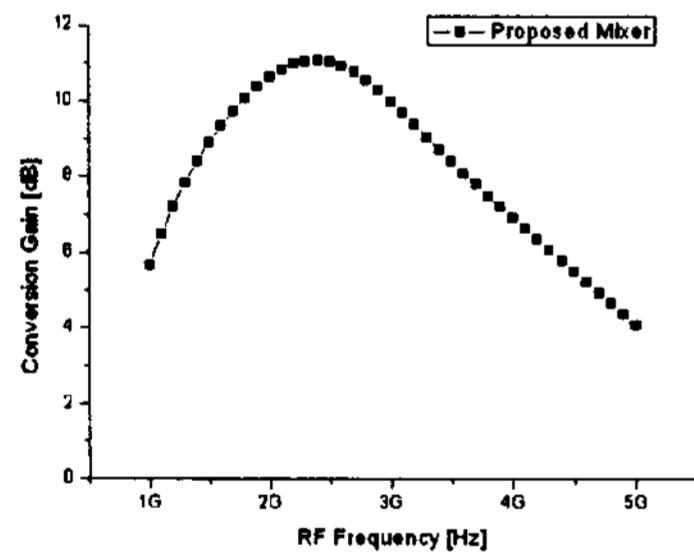


그림 8. RF 주파수에 따른 이득 변화
Fig. 8. Conversion gain variation as a function of RF frequency.

표 2는 제안된 Mixer의 모의실험 결과를 정리한 결과이다. Flicker Noise에 큰 영향을 미치는 IDC의 경우 4 mA이며 RF gain은 2~3GHz 대역에서 10dB이상의 안정된 동작을 하였고, 소비전력은 7.7mW를 나타내었다.

표 2. Mixer의 시뮬레이션 결과
Table 2. Simulation results of Mixer

구조	IDC(mA)	Conv. Gain	Flicker Noise corner Freq.	Power Consumption
Proposed Mixer	4	11dB	510kHz (10.8dB)	7.7mW

3. Balun설계

차동형 발룬의 동작은 일반적으로 입력에 Unbalanced 신호가 들어가게 되면 두 개의 Balanced된 신호가 출력된다. 즉 저잡음 증폭기의 Unbalanced 된 신호가 차동형 발룬의 입력으로 들어오게 되어 차동 모드 발룬을 통과한 후 출력 단에서 Balanced 된 두 개의 신호가 Mixer의 입력으로 들어가게 되어 Mixer가 동작하게 된다. 이때 Balun 출력단의 두 개의 신호는 크기는 같고 위상이 180도 차이가 나야 한다. [4]

LNA_Mixer연결을 위한 Balun설계를 위해 먼저 게이트단의 바이어스 전압을 결정하여 바이어스 회로를 구성 하였다. 이때 게이트 단의 바이어스 전압은 최대의 이득과 최소의 소비전력을 만족하도록 하였다. TSMC 0.18um 공정을 이용하여 설계하였으며 bias 회로를 포함한 Balun의 회로도 그림 9에 나타내었다.

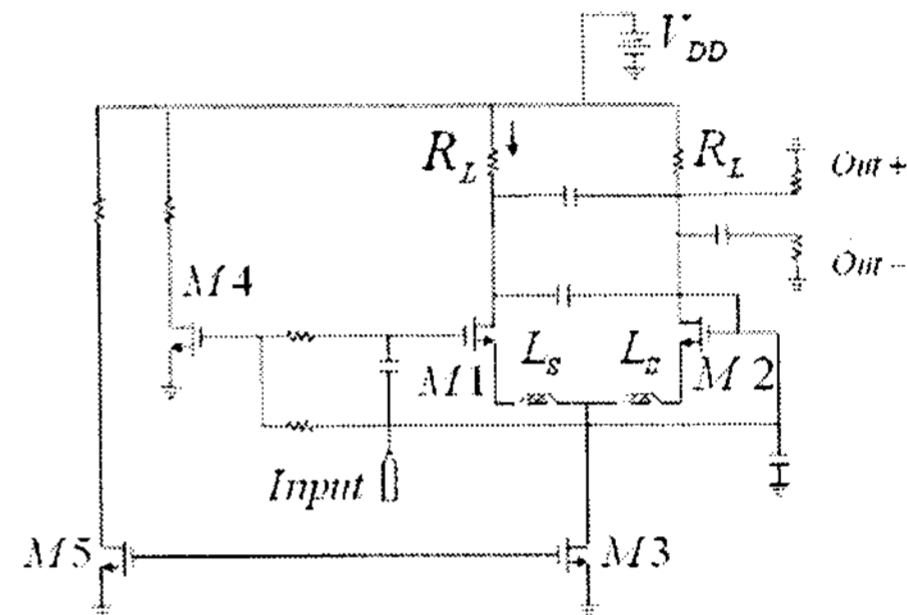


그림 9. Bias 회로를 포함한 Balun 회로도
Fig. 9. Schematic of the balun with its bias circuit.

모의실험 결과 *Out+* 단의 phase 는 약 -171.7° 이며 *Out-* 단의 phase 7.47 으로 출력의 위상 차는 179.1° 이며, 출력 신호의 크기는 *Out+* 에서 0.092, *Out-* 에서 0.069 로서 약 0.023 의 차이를 보였다.

III. LNA-Mixer 설계

Mixer와 LNA를 각각 설계한 후 두 회로를 Balun을 연결하여 LNA-Mixer를 설계하였다. 이때 전체 회로 이득을 위해 LNA의 경우 출력 매칭을 하지 않은 상태에서의 출력 임피던스를 계산하여 이때의 임피던스가 Balun-Mixer의 입력 임피던스가 되도록 설계하였다.

설계한 LNA-Mixer의 이득은 RF Power가 -40dBm, LO Power가 0dBm, RF 주파수가 2.45GHz일때 약 35dB이며 결과를 그림 10에 도시하였다. 그리고 같은 조건에서 2-tone test결과 LNA-Mixer의 IIP3는 약 -4dBm이며 그 결과를 그림 11에 도시하였다.

설계한 LNA-Mixer의 One chip제작을 위해 TSMC 0.18um 공정을 이용하여 레이아웃 하였다. 레이아웃 시 모의 실험 결과와 측정결과의 차이를 줄이기 위해 기생소자를 최대한 고려하여 레이아웃 하였다. 크기는 2.6mm X 1.3mm이며 레이아웃 화면을 그림 12에 나타내었다.

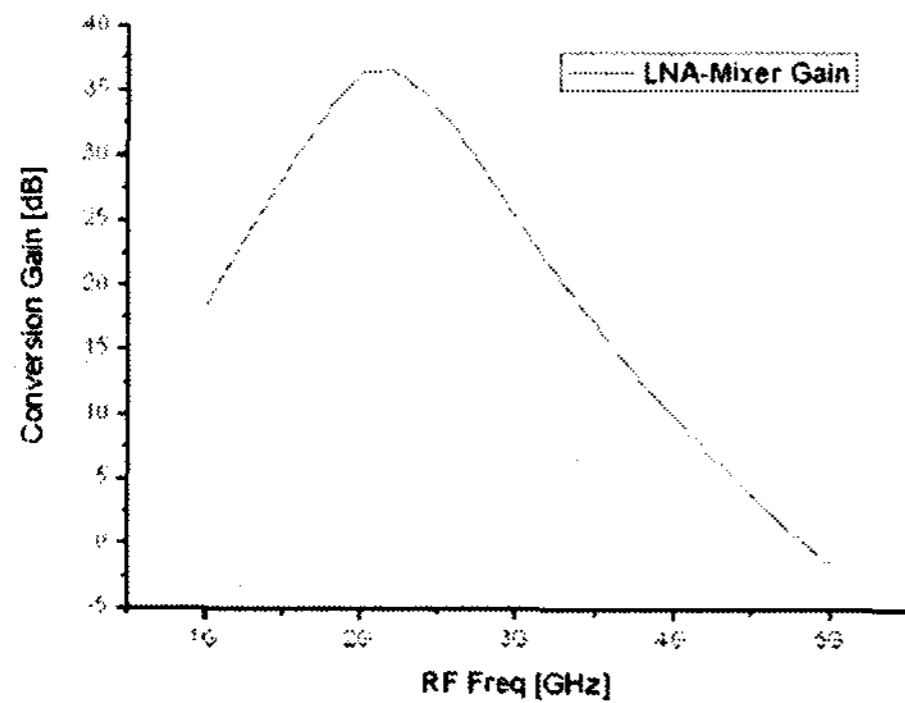


그림 10. 설계한 LNA-Mixer 의 이득
Fig. 10. Gain of the designed LNA-Mixer

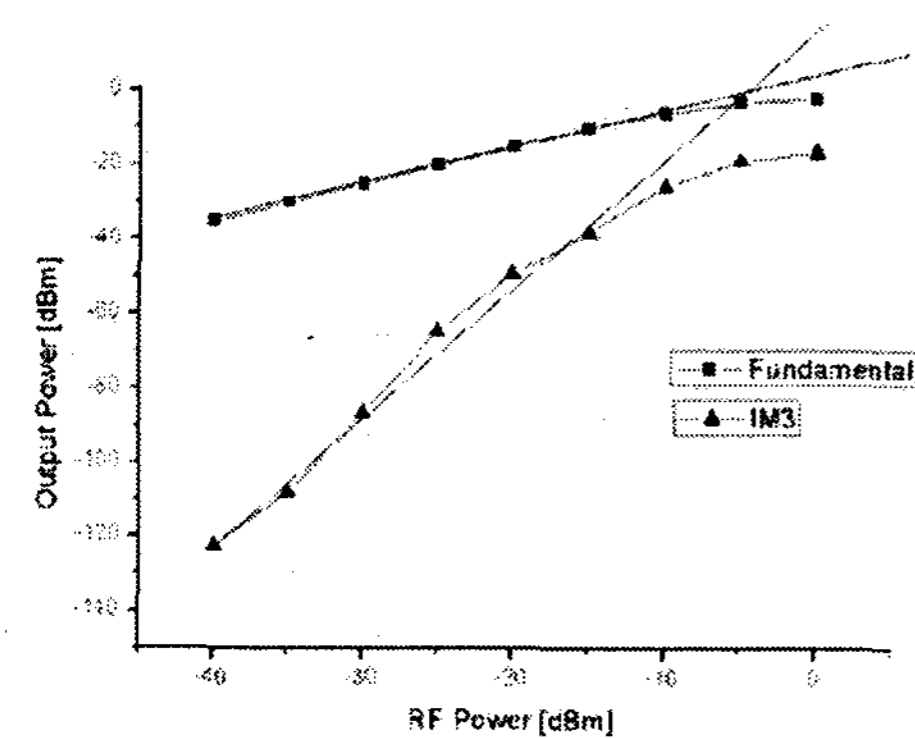


그림 11. 설계한 LNA-Mixer 의 IIP3
Fig. 11. IIP3 of the designed LNA-Mixer

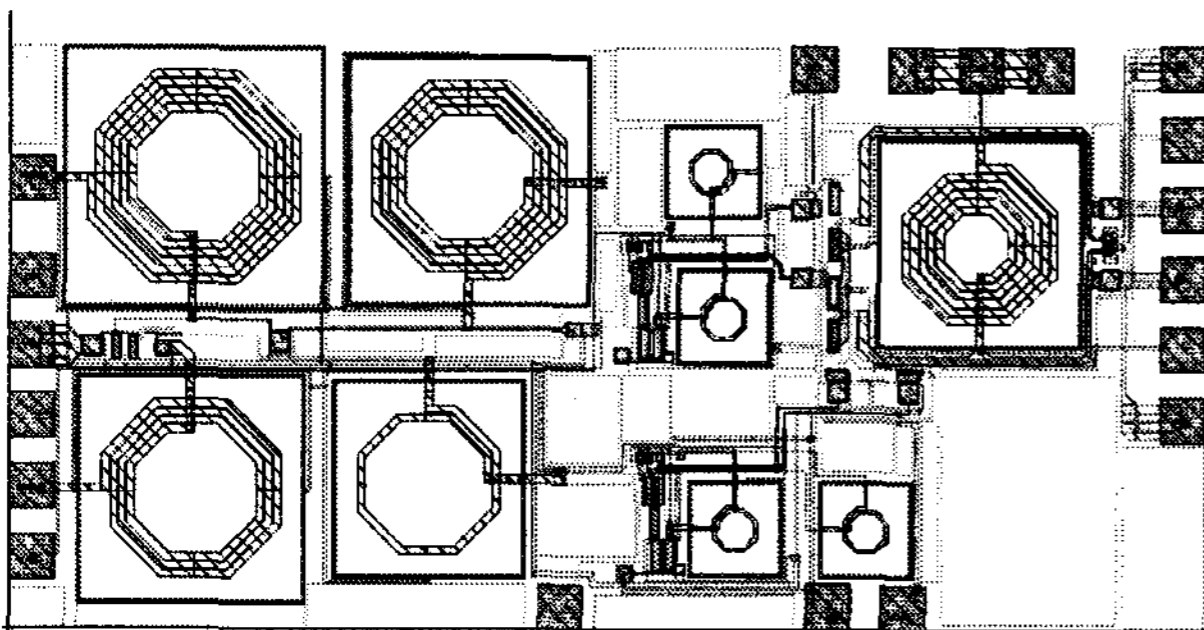


그림 12. 설계한 LNA-Mixer 의 레이아웃
Fig. 12. Layout of the designed LNA-Mixer

IV. 결론

본 논문에서는 TSMC 0.18um 공정을 이용하여 2.45GHz 대역 RFID 리더에 적용 가능한 LNA-Mixer를 설계하였다. 전력 소모를 줄이기 위해 PCSNIM방법을 이용하여 LNA를 설계하였고, 저주파 잡음특성 향상을 위해 Current Bleeding방법과 인덕터를 연결하는 방법을 사용하여 Mixer를 설계한 후 두 소자를 Active Balun을 통해 연결하여 LNA-Mixer를 설계하였다. 설계한 LNA-Mixer의 이득은 RF 주파수가 2.45GHz일 때 약 35dB이며 IIP3는 약 -4dBm을 나타내었다. 본 논문의 결과를 활용하여 wireless LNA 또는 433MHz나 912MHz 주파수 대역의 RFID 리더용 저전력 one-chip Receiver Front-End 설계에 적용 가능할 것으로 사료된다.

[감사의 글]

본 논문은 정보통신부출연금으로 ETRI, SoC 산업진흥센터에서 수행한 IT-SoC 핵심설계인력양성사업의 연구결과입니다.

참고문헌

- [1] R. Weinstein, "A technical overview and its application to the enterprise", *IT Professional*, vol. 7, no. 3, pp. 27-33, May-June, 2005.
- [2] T. K. Nguyen, V. Krizhanovskii, J. Lee, S. K. Han, S. G. Lee, "A Low Power RF Direct-Conversion Receiver/Transmitter for 2.4 GHz Band IEEE 802.15.4 Standard in 0.18-um CMOS Technology," *Microwave Theory and Techniques, IEEE Trans.*, vol. 54, no. 12, pp. 4062-4071, Dec, 2006.
- [3] J. Park, C. H. Lee, B. S. Kim, J. Laskar, "Design and Analysis of Low Flicker Noise CMOS Mixers for Direct Conversion Receivers," *IEEE Trans. on Microwave theory and techniques*, vol. 54, no. 12, pp. 4372-4380, Dec., 2006.
- [4] M. Rajachekharaiyah, P. Upadhyaya, D. Heo, "A New Gain Controllable On Chip Active Balun for 5GHz Direct Conversion Receiver" *IEEE ISCAS*, vol. 5, pp. 5115-5118, May., 2005.



임 태 서

2006년 중앙대학교 전자전기공학부 졸업. 2006년~현재 중앙대학교 전자전기공학부 석사과정 중. 관심분야는 RFIC, Active circuit.



고 재 형

2004년 중앙대학교 전자공학부 졸업. 2006년~현재 중앙대학교 전자전기공학부 석사과정 중. 관심분야는 RF 소자, IT-SoC.



김 형 석

1985년 서울대학교 전기공학 공학사. 1987년 서울대학교 전기공학 공학 석사. 1990년 서울대학교 전기공학 공학박사. 1990~2002 순천향대학교 정보기술공학부 부교수. 1997~1998 RPI 미국 방문 교수. 2002~현재 중앙대학교 전자전기공학부 교수. 관심분야는 전자장 및 수치해석, RF 및 마이크로웨이브 소자 해석 및 설계, RFID 시스템 연구, IT-SoC응용 회로, 전력 IT