

VHDL을 이용한 JPEG용 엔트로피 인코더 설계

권오성 · 김경현 · 이민수 · 손승일

한신대학교 정보통신학과

A Design of Entropy Encoder for JPEG using VHDL

Oh-sung Kwon · Kyung-hyun Kim · Min-soo Lee · Seung-il Sohn

Dept. of Information and Communication HanShin University

E-mail : tasada14@naver.com

요 약

정보화 사회가 진행되어감에 따라 카메라 센서, 디지털 카메라, 휴대폰, 영상 관련디지털 기기들이 증가하고 이로 인하여 영상정보 서비스 기술의 중요성이 크게 부각되었다. 특히 멀티미디어 응용서비스 기술에서는 영상 정보가 필수적인데, 그 영상 정보의 양이 너무 방대하여 압축 부호화를 하여 사용되고 있다. 본 논문에서는 정지영상압축 방법 중 JPEG표준에서 제시한 4가지 동작 모드 중 베이스라인을 기반으로 하는 JPEG압축 알고리즘을 연구하여 허프만 인코더의 메모리 사이즈를 줄인 엔트로피 인코더를 C언어를 통해 시뮬레이션하고 최적화된 결과를 VHDL로 구현하여 향후 디코더나 Motion JPEG연구에 응용 가능하도록 연구 및 분석, 평가 하였다.

설계결과 11-bit 한 입력 데이터가 처리되는데 5-clock이 소요 되었고 Xilinx xc3s1000 환경에서 21,962개의 게이트 수와 74.212MHz의 동작 속도를 나타내었다.

1. 서 론

정보화 사회가 진행되어감에 따라 디지털 영상의 응용 분야가 급속하게 확대되고 있다. 이러한 응용분야 중 디지털 카메라의 ExIF(Exchangeable Image File Format)는 JPEG(Joint Photographic Experts Group) 압축 기술을 이용하는 업계 표준 파일 포맷이다. 이 표준의 가장 기본적인 기능들을 포함하는 기술인 JPEG 베이스라인 기술은 단순성과 폭 넓은 지지 기반 덕분에 디지털 카메라 시스템에 있어서 핵심기술이 되었다[1].

다량의 정보를 가진 영상 신호의 효율적인 전송이나 저장에는 많은 제약이 따르게 되므로 효율적인 영상 압축 관련 기술의 개발은 필수적이다. 이러한 영상 신호의 압축과 복원은 주로 실시간 처리를 요구하므로 하드웨어로 구현할 필요가 있다.

본 논문에서는 하드웨어에 적합한 베이스라인 JPEG의 엔트로피 인코더를 연구 하였으며, DPCM, RLE 압축 Huffman 압축 알고리즘을 사용하였다. 이를 토대로 하드웨어 설계언어인

VHDL을 이용하여 회로를 모델링하여 동작을 검증하였다.

II. 엔트로피 인코더 설계

통계적인 특징을 토대로 하여 양자화 되고 지그재그 된 DCT 계수를 좀 더 컴팩트하게 인코딩 함으로써 추가적인 압축을 할 수 있다. JPEG은 산술코딩과 허프만 코딩 방법 두 가지를 사용하는데 JPEG베이스라인에서는 산술코딩보다 덜 복잡한 허프만 코딩 방법을 사용한다[2].

2.1 입출력 신호도

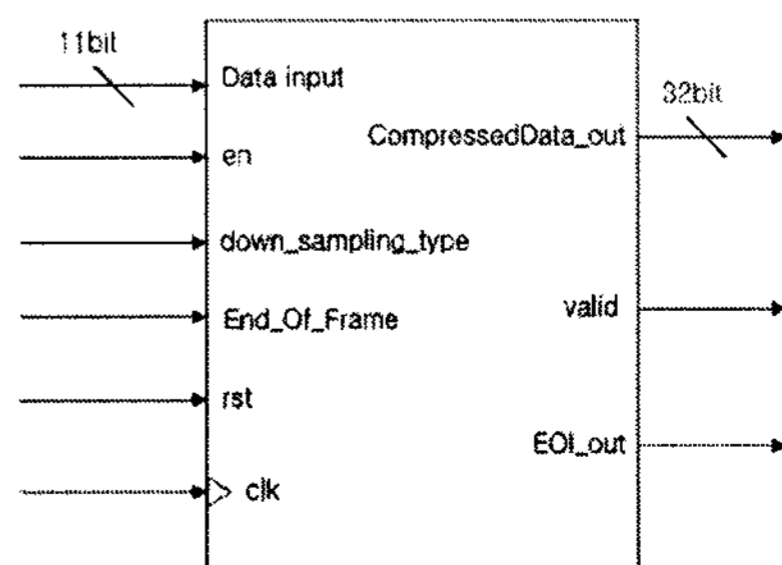


그림 1. 입출력 신호도

그림 1은 입출력 신호를 보여준다. rst가 셋팅되고 en 신호가 활성화 되면 11-bit 입력이 들어가게 되고 압축 데이터 값인 32-bit가 출력 된다.

2.2 엔트로피 인코더 전체 블록도

그림 2와 같이 전체 블록도를 보면 다음과 같은 다섯 개의 부분으로 나뉘어진다.

- 1) Zero-Runlength 코더
- 2) Category 선택 회로
- 3) ZRL 수정용 글루로직
- 4) 허프만 인코더
- 5) 데이터 패커

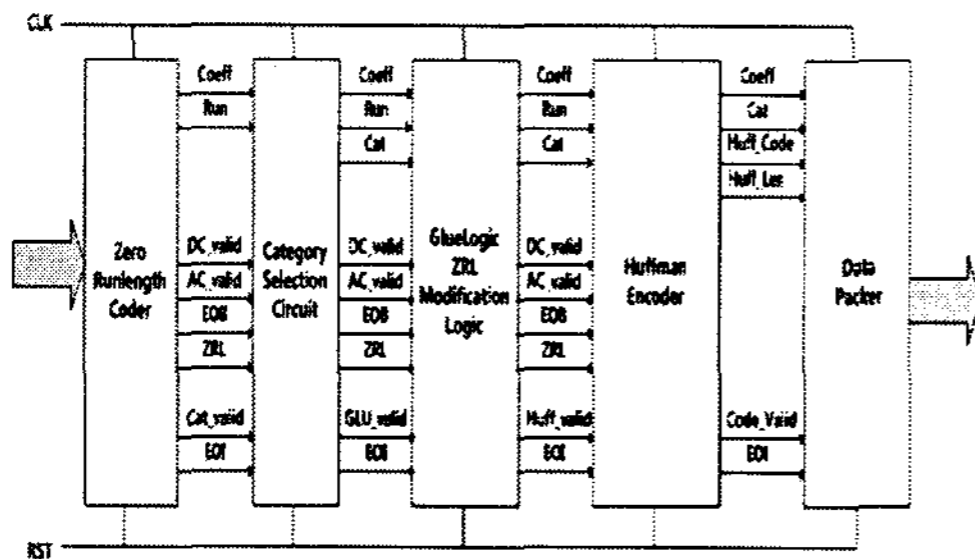


그림 2. 엔트로피 인코더 전체 블록도

2.3 Zero-Runlength 코더

양자화 된 DCT계수를 지그재그 스캔을 통하여 그림 3과 같이 DC부분과 AC부분으로 나누어서 따로 부호화를 하게 된다. DC계수는 블록 카운터를 사용하여 현재 데이터와 다음 블록의 데이터의 차이를 구할 수 있게 설계 하였다. AC계수는 RLE 압축방법을 사용하여 클럭에 한 번 동기 될 때 마다 '0'의 개수와 '0'을 제외한 정수 값을 체크하는 형식으로 구현 하였다. 이 모듈에서 한 블록의 데이터를 처리하기 위해서는 총 64-clock이 소요된다[2].

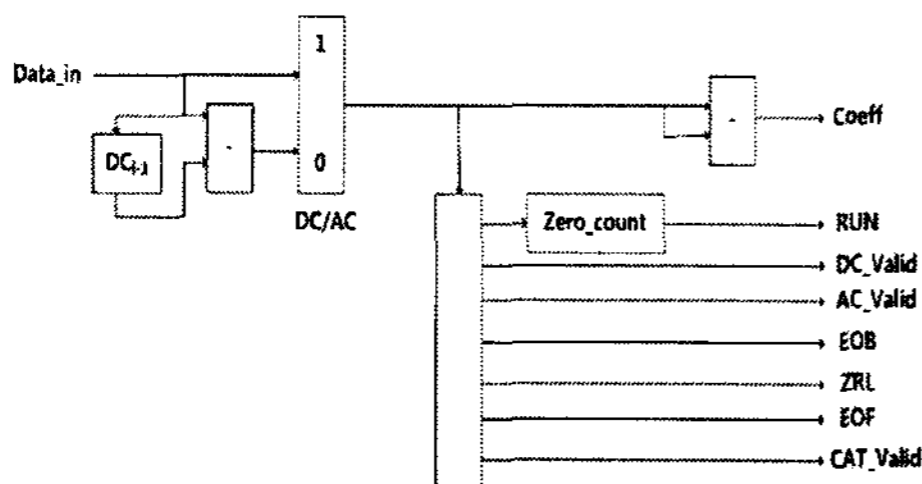


그림 3. Zero-Runlength 코더 블록도

2.4 Category 선택 회로

Category 선택은 JPEG 압축 표준에 정의 되어 있다. Zero-Runlength 코더에서 넘어온 계수 데이터가 사용하는 메모리의 크기인 Category 값을 생성하기 위해서 만들어진 모듈이다. 음수 데이터도 있기 때문에 그림 4처럼 양수화 과정을 거친 후 Category 값을 정한다[3].

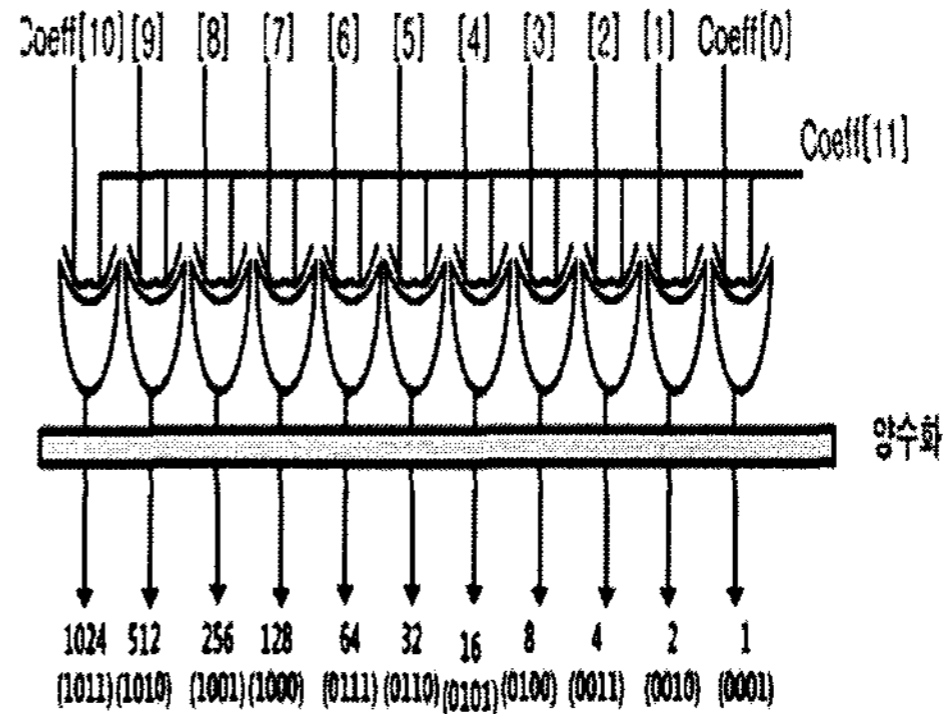


그림 4. 계수의 양수화 과정

2.5 ZRL 수정용 글루로직

ZRL은 '0'의 개수가 16개 일 때 쓰는 특수코드이다. 이 코드가 3번 연속으로 나온다면 ZRL을 없애고 바로 EOB를 띄워야 한다. 본 논문에서는 클럭 딜레이를 줄이기 위해 그림 5처럼 파이프라인을 사용하여 Category 선택 회로에서 오는 데이터 중 ZRL이 세 번 연속으로 있을 경우 ZRL을 없애고 EOB 신호를 활성화 되게 설계 되었다[4].

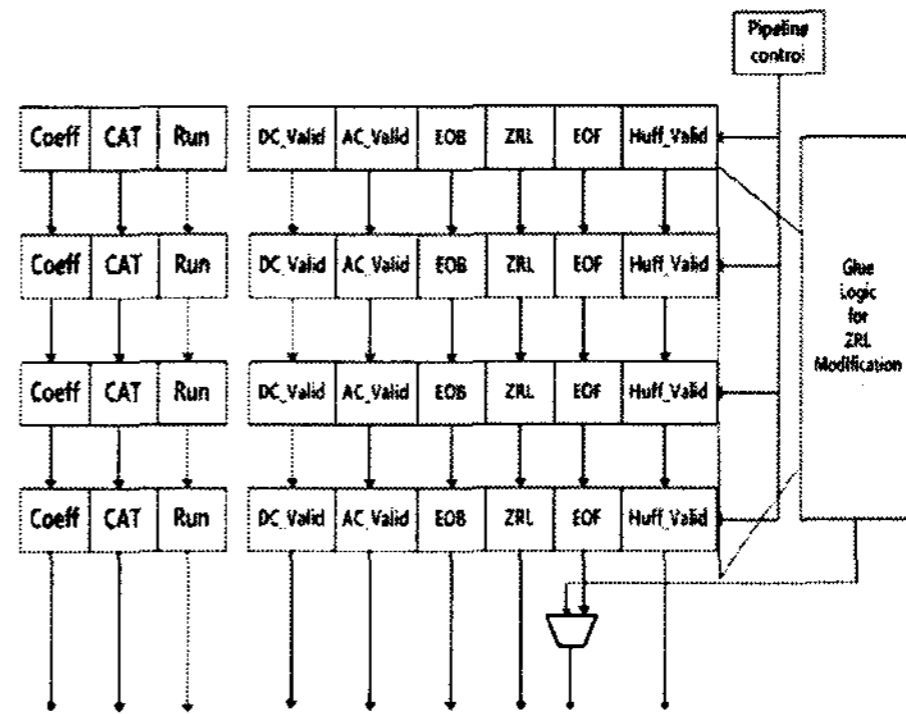


그림 5. ZRL 수정용 글루로직 블록도

2.6 허프만 인코더

허프만 인코더에서는 룬에 Huffman code와 codelength를 저장해 놓고 불러오는 방식으로 설계하였다. 기존 JPEG 표준에 나와 있는 Huffman code table을 이용하여 Huffman Encoder를 설계한다면 16-bit용 Luma/Chroma code 룬 2개와 4-bit용 Luma/Chroma codelength 룬 2개를 사용하여야 하지만 본 논문에서는 Huffman code를 분석하여 코드 중 변동이 있는 LSB 7-bit만을 Huffman code의 룬으로 만들어 메모리의 사용량을 줄였다[3].

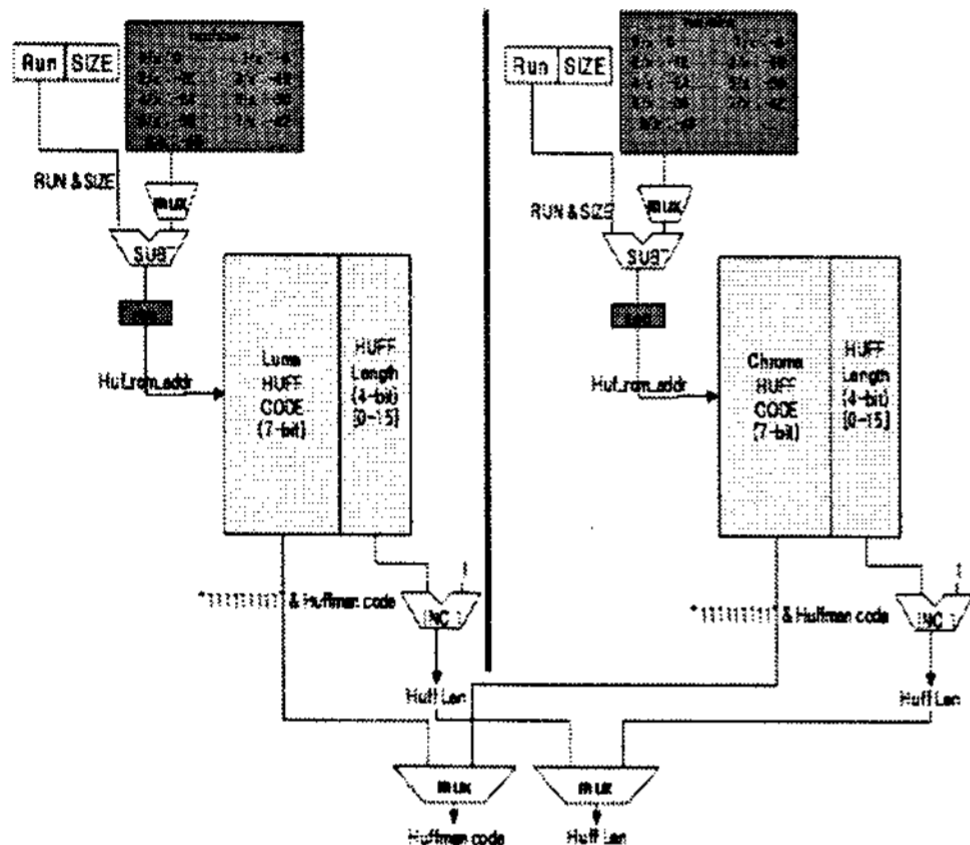


그림 6. 허프만 인코더 블록도

2.7 데이터 패커

가변적으로 들어오는 허프만 코드를 고정 길이로 변환시켜 압축 데이터를 출력하는 모듈이다. 가변적으로 들어오는 길이는 Codelength와 Category에서 제어를 한다. 허프만 인코더에서 전송된 Codeword와 계수 데이터를 정렬하여 Reg_A에 저장한 뒤 Reg_C나 Reg_D에 있던 데이터와 결합되고 Reg_C에 32 Bit가 채워졌을 때 유효한 비트열을 예외 처리 모듈인 Exception 모듈로 출력한다. 이 때 32bit 출력 중 'FF'성분 데이터는 헤더의 마커코드 정보이기 때문에 실제 영상 데이터에서는 'FF'가 들어 갈 시 오류가 생길 수 있다. 이 오류를 방지하기 위해서 Data Packer 안의 예외처리 모듈로 'FF'가 생성 되었을 때 예외처리를 함으로써 영상의 오류를 방지 하였다[4][5].

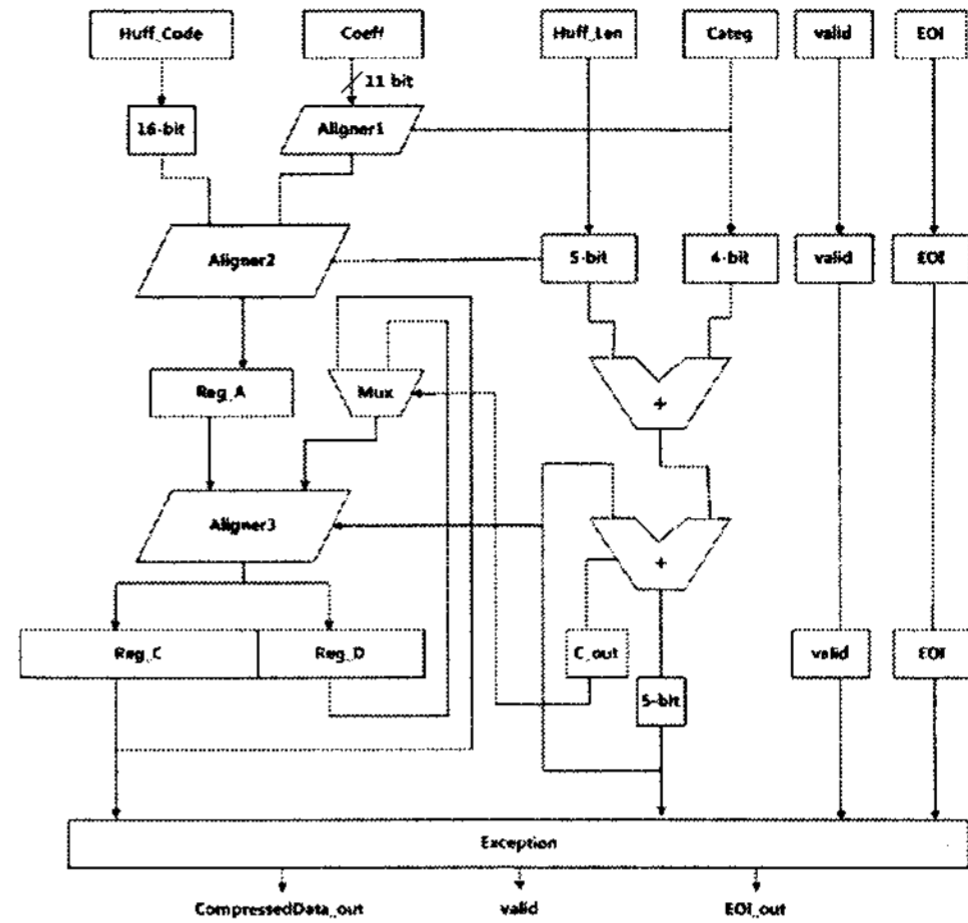


그림 7. 데이터 패커 블록도

III. 출력 파형

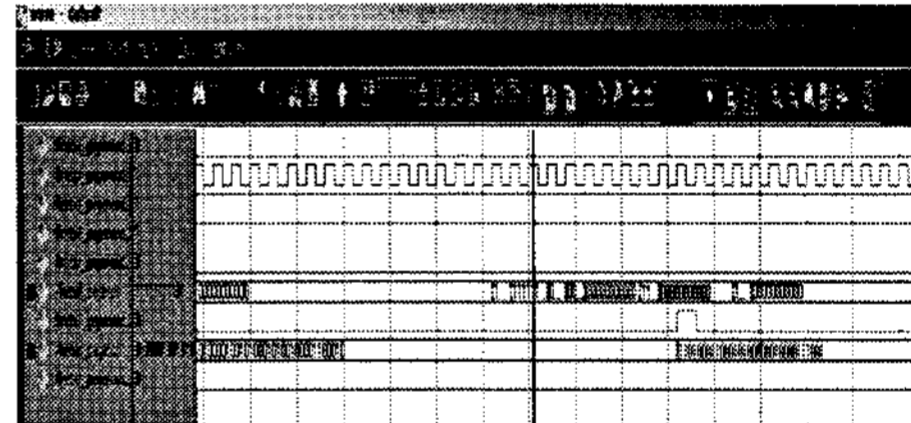


그림 8. 입력값 파형

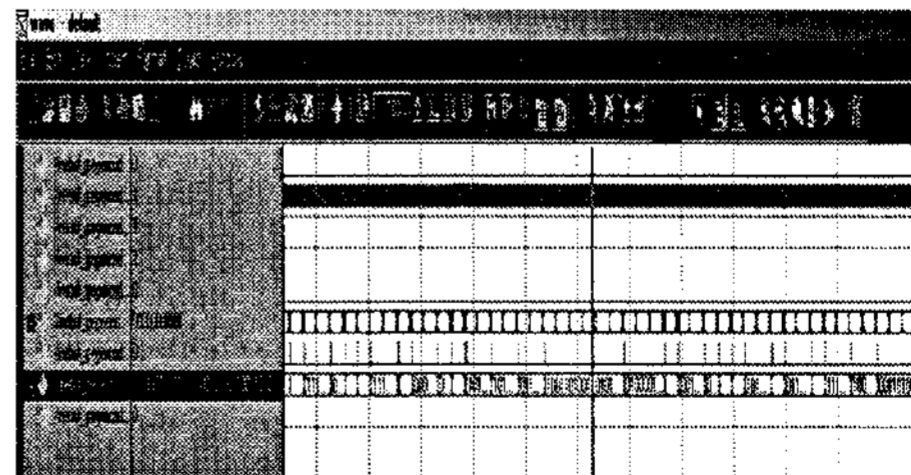


그림 9. 출력값 파형

IV. 설계 결과

설계된 JPEG용 엔트로피 인코더 모듈은 8*8 블록 단위로 변환, 양자화 과정을 거쳐 지그재그 스캔을 통하여 얻은 11-bit 데이터를 가지고 각 모듈을 수행하고 32-bit 데이터를 출력한다.

그림 8을 지그재그과정까지 거친 11-bit 데이터

로 생성한 후 엔트로피 인코더의 각 모듈을 수행한 결과 그림 9가 출력 되었다.

표 1. 엔트로피 인코더 설계 결과

분류	내용
FPGA	Xilinx xc3s1000 fg676
Tools	Xilinx ISE 7.1i
Total equivalent gate	21,962
Maximum Frequency	74.212MHz



그림 10. 320x240 RAW 영상



그림 11. 320x240 출력 영상

V. 결 론

본 논문에서 정지영상 압축 알고리즘으로 사용되고 있는 JPEG용 엔트로피 인코더를 클럭 지연을 줄이기 위한 ZRL 수정용 글루로직에서 파이프라인의 사용과 허프만 인코더에서 허프만 코드를 표현하기 위해서 16-bit용 룬이 필요하지만 여기서는 공통적인 특징을 찾아서 7-bit용 룬을 사용하는 방법을 사용하였다. 위 내용을 토대로 VHDL로 구현 시뮬레이션 한 결과 최대 동작 주파수는

74.212MHz 이고, 유효 게이트 수는 약 21,962 게이트를 사용하였고, 각 모듈 별로 Zero_Runlength 코더, Category 선택 회로, ZRL 수정용 글루로직에서 각각 1clock씩의 지연이 있고 데이터 패커에서 2-clock의 지연되어 총 5-clock의 지연 후 입력된 11-bit의 한 데이터가 처리된다. 또한 VHDL로 시뮬레이션 한 결과와 C언어로 시뮬레이션 한 결과가 동일 한 것을 검증 하였다. 설계한 엔트로피 인코더의 예외 처리 부분에서 발생하는 클럭 지연을 줄이는 방법을 연구해보고 JPEG용 디코더를 설계하여 기존의 JPEG프로세서와 비교 해보는 것보다 더 나아가 Motion JPEG에 대해 응용 할 수 있도록 연구 할 예정이다.

참고문헌

- [1]Arun N. Netravali, Barry G. Haskell, *Digital Pictures*, PLENUM Press, 1994.
- [2]James Rosenthal, "JPEG Image Compression Using an FPGA, December 2006.
- [3] ITU-CCITT, *Information Technology Digital Compression and Coding of Continuous-Tone Still Images Requirements and Guideline*, CCITT, 1993.
- [4] Mario Kovac, N.Ranganathan, "A High Speed VLSI Chip for JPEG Image Compression Standard", IEEE, 1995.
- [5] Mohammed Elbadri, Raymond Peterkin, voicu Groza, Dan Ionescu, and Abdulmotaleb El Saddik "HADWARE SURPPORT OF JPEG", IEEE, 1995.