

플라즈마 디스플레이의 새로운 프라이밍 방전 기술 (Novel Priming Discharge Technology for Plasma Display Panel)

염정덕*, 곽희로
(Jeongduk Ryeom, Hee-Ro Kwak)

송실대학교 전기공학부

요 약

단일 구동회로를 사용하여 패널전체를 동시에 방전시킬 수 있는 새로운 priming 방전기술을 고안하였다. 그리고 이 기술을 사용하여 1080개의 수평주사선수를 가지는 full-HDTV PDP를 고휘도로 구동할 수 있는 새로운 고속 구동방식을 제안하였다. 이 priming 방전기술을 사용하면 구동방식에 상관없이 priming 기간을 sustain 기간에 중첩시키고 ramp 파형을 가지는 priming pulse를 인가하는 것이 가능하다. 실험결과로부터 sustain 방전이 없는 경우에만 priming 방전이 일어났다. 그리고 sustain 방전은 priming 펄스의 영향을 거의 받지 않는다는 것이 확인되었다. 새로운 PDP 구동기술로 0.7 μ s의 address 펄스폭을 가지는 고속 address를 실현하였다. 그리고 40V의 넓은 address 동작마진을 얻었다. 이 기술들은 상용의 driver IC를 사용할 수 있도록 설계되어있으므로 상용화 가능성도 높다.

1. 서 론

Full-HDTV를 만족시키기 위한 조건은 1080개의 수평주사선수와 12bit 이상의 계조표현 능력을 지녀야 한다고 알려져 있다.[1] 그러나 싱글스캔을 기준으로, 상용화된 PDP는 768개의 수평주사선과 8bit의 계조표현력을 가지고 있어, LCD에 비해 화질이 열세이다. 고해상도 PDP의 구동이 어려운 주된 이유는 상용화된 PDP에 적용되고 있는 ADS 구동방식의 근본적인 문제점에 있다.[2][3]

이 구동기술은 하나의 화면이 구성되는 시간단위인 1TV-field를 화상의 각 bit정보에 대응되는 밝기를 가진 복수개의 subfield로 나눈다. 각각의 sub-field에는 address 기간, 표시방전의 sustain 기간과 reset 기간들이 각각 시간적으로 분리하여 설치되어 있다.[3] 초기화기간에 패널은 전기적으로 초기화되고 어드레스 기간에는 화면상의 화소에 벽전하를 축적시켜 화상정보를 기억시킨다. 표시유지기간에는 화상정보가 기억된 화소만을 방전시키고 표시방전이 유지된다. reset 기간에는 동화상의 응답속도를 향상시키기 위한 priming 방전기간이 포함되어 있다.[4]

이 ADS 구동방식은 펄스구조가 단순하여 구동회로의 설계가 쉽고 안정적이다. 그러나 수평주사선수나 계조를 증가시키면, 밝기가 감소한다.[5] 휘도의 감소가 없이 고해상도 PDP를 구동하기 위해

서는 address 펄스의 폭을 매우 좁게 하여 address 기간을 단축시키고 상대적으로 sustain 기간을 늘이는 것이 바람직하다. 그러나 ADS 구동기술은 address 방전의 시간지연이 커서 전체 패널에 균일한 sustain 방전을 유도하기 위해서는 벽전하가 충분히 축적될 수 있을 정도로 address 펄스의 폭이 넓어야 한다.[6] ADS 구동기술에서는 double scan을 하거나 계조 품질을 결정하는 sub-field의 개수를 가변시켜 고해상도 PDP의 휘도저하를 보완하고 있다.[7] 최근에는 address 방전 지연시간을 단축하기 위한 많은 연구들이 수행되고 있다. 그리하여 1 μ s 수준의 address 펄스폭을 가진 XGA급 PDP가 개발되었다.[8][9] 그러나 ADS 구동기술로 full-HDTV급 PDP를 구동할 수 있도록 address 펄스의 폭을 1 μ s 이하로 좁히는 것은 여전히 어렵다.

ADS구동방식 이외의 고속구동기술로는 AWD 구동방식이 있다. 이 방식은 Y, X 전극들에 인가된 sustain 펄스들의 휴지기에 address 펄스를 삽입하는 방식이다.[10] AWD 구동방식은 폭이 좁은 펄스로도 신뢰성이 있는 address가 가능하다.[11] 그러나 이 방식은 address 방전과 priming 방전을 발생시키는 펄스 전압들을 각 주사전극마다 각각 다른 타이밍에 인가하여야 한다. 그 결과 구동회로가 증가하여 실제적으로는 프라이밍 방전 펄스를 사용하기가 어렵다. PDP가 동화상을 안정적으로

표시하기 위해서는 priming 방전은 반드시 필요하다.[4] 본 연구에서는 새로운 priming 방전 기술을 제안하였다. 이 기술은 상용의 driver IC를 사용할 수 있도록, 하나의 구동회로로 PDP 전체에 동시에 ramp priming 방전을 일으킬 수 있다. 이 기술을 적용하여 휘도저하가 없이 full-HDTV PDP를 구동할 수 있는 새로운 고속구동방식을 제안하였다. 그리고 이 아이디어들에 대한 타당성을 실험을 통하여 검증하였다.

2. POD (Priming Overlapping with Display) 기술의 원리

그림1은 POD 구동방식의 1TV-field의 구조를 보인 것이다. 그림에서 보면 각 수평주사 라인의 address 기간은 address line을 따라 시간 순차적으로 설치되며 어드레스 기간에 이어서 sustain 기간이 설치된다. 이들 address 기간과 sustain 기간으로 하나의 sub-field가 구성된다. 1TV field는 표현하고자하는 계조 bit의 밝기에 대응한 sustain 기간을 가지는 다수의 sub-field들로 구성되어 있다. 그리고 이 sustain 기간과 중첩하여 일정한 시간간격을 두고 priming 기간을 설치하였다. 이 priming 기간에 ramp 형태의 펄스를 인가하여 패널전체에 동시에 프라이밍 방전을 일으킨다.

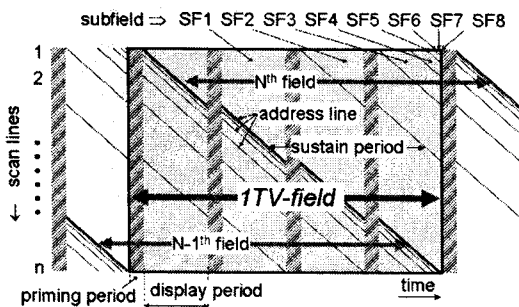


그림 1. 새로운 프라이밍 방전 기술의 1TV-field 구조

연구에 사용된 PDP의 전극구조는 다음과 같다. 패널의 상판에는 가로방향으로 수평주사선수와 같은 수의 Y전극들이 설치된다. 그리고 Y전극들과 평행하면서 쌍을 이루는 X전극들이 설치된다. 하판유리에는 이들 X, Y 전극과 수직방향으로 D전극들이 설치된다.[2]

그림2는 POD 구동기술의 자세한 구동타이밍도이다. 그림에서 보이는 것과 같이, 두개의 서스테인 펄스가 X와 Y의 전극에 연속적으로 인가된 후에 하나의 휴지기가 설치된다. 어드레스 기간은 이

휴지기 동안에 삽입된다. 이 address 기간에 Y전극에는 scan 펄스들을 인가하고, D전극에는 scan 펄스와 동기해서 data 펄스들을 인가한다. 이 scan 펄스와 data 펄스는 폭이 같으며 이들 두 펄스 전압의 합으로 address 방전이 일어난다. 하나의 어드레스 기간에 scan 펄스를 여러 개 인가하는 이유는 불필요한 타이밍을 최소화하고, shift register로 이루어진 상용의 scan driver IC의 사용을 고려하였기 때문이다.

이 구동방식은 그림과 같이 scan 펄스와 sustain 펄스가 수 μs 이내로 인접하여 있으므로 address 방전에서 축적된 벽전하 뿐만 아니라 이때 발생된 공간전하들도 sustain 방전의 유도에 사용할 수 있다. 그러므로 폭이 좁은 scan 펄스를 사용할 때, address 방전에 의한 벽전하가 다소 불충분해도 공간전하의 도움으로 안정적인 sustain 방전을 개시시킬 수 있다. sustain 방전이 일정기간 유지된 후에는 erase 펄스에 의한 약방전으로 벽전하를 소거시켜 sustain 방전을 종료시킨다.

ramp 형상의 프라이밍 펄스는 프라이밍 기간에 모든 X전극에 동시에 인가된다. Y전극인 Y_m 과 Y_{m+1} 를 sustain 방전이 일어나고 있지 않은 경우라고 가정하면, 프라이밍 기간에는 벽전하가 쌓여 있지 않으므로 priming 방전이 일어난다. 이후 scan pulse에 의해 address가 시작된다. 한편 Y_k 를 sustain 펄스가 방전을 지속하고 있고 그사이에 priming 기간이 삽입되어 있는 경우라고 가정하면, sustain 방전에 의한 벽전하가 프라이밍 펄스의 극성과 반대 방향이 되므로 priming 방전은 일어나지 않는다. 이후 erase pulse에 의해 sustain 방전이 정지하고 일정시간 후에 인가되는 scan pulse에 의해 다음 address가 시작된다. 이때 priming 방전은 일어나지 않았지만 sustain 방전이 일어났으므로 방전공간에 충분한 하전입자가 존재하여 priming 작용을 한다.

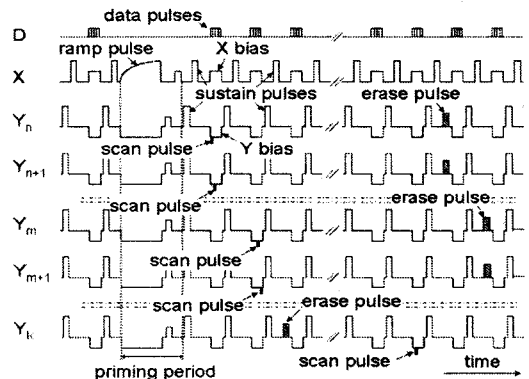


그림 2. 새로운 프라이밍 방전 기술의 펄스 타이밍도

이와 같이 sustain 기간과 중첩하여 패널의 전체에 동시에 priming 펄스를 인가하면, sustain 방전이 일어나고 있지 않은 화소만 priming 방전을 하게 되어 방전공간은 항상 하전입자가 존재할 수 있도록 한다. 그러므로 sustain 방전 횟수가 아주 작은 매우 어두운 동영상에서도 공간전하량의 부족으로 인한 address 방전의 지연이나 실패를 방지할 수 있다.

3. 실험 결과 및 토론

그림3은 POD 구동기술의 ramp priming 펄스, sustain 펄스 및 address 펄스의 타이밍을 자세하게 보인 것이다. priming 기간에, X전극에 ramp 펄스가 인가되고 Y전극에는 부의 전압이 인가된다. 이어서 Y, X 전극에는 1st sustain 펄스와 2nd sustain 펄스가 교대로 인가된다. 실험에서는 ramp 펄스가 sustain 방전에 미치는 영향을 알기 위해 priming 기간의 폭 T_p 을 바꾸면서 sustain 방전의 방전지연시간, 상대적인 방전강도 및 방전 전압마진 등을 측정하였다. 또한 고속구동의 가능성을 검증하기 위하여, sustain 방전이 유지되는 address 펄스폭의 한계를 도출하였다.

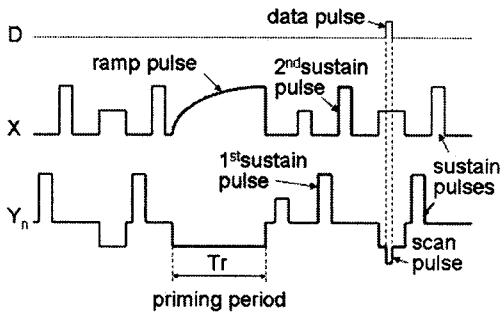


그림 3. 실험에 사용된 구동펄스의 자세한 타이밍도

그림4는 실험용 PDP 구동시스템의 블록 다이어그램이다. 실험용 PDP는 대각선 크기 6인치 그리고 화소수는 80x80x3(RGB)이며 330um의 피치 사이즈를 갖는다. 패널구조는 상용의 PDP와 같고 패널 안은 가스로 채워져 있다. 펄스 로직은 컴퓨터에 의해서 펄스 제어부에 있는 FPGA안에 프로그래밍된다. 펄스 제어부는 제어펄스를 각 전극에 연결되어 있는 고전압 구동 회로에 보낸다. 오실로스코프와 828nm 근처에서 최대감도를 가지는 하마마쓰의 광센서 및 증폭기 C6386을 사용하여 광출력은 측정되었다. 이 패널의 X전극들은 모두 공통으로 하나의 구동회로에 연결되어 ramp 펄스

및 sustain 펄스들이 동시에 인가된다. Y전극에는 각 Y전극에 scan 펄스 및 erase 펄스를 개별적으로 인가하는 구동회로들과 모든 전극에 공통으로 sustain 펄스를 인가하는 회로들이 연결되어 있다.

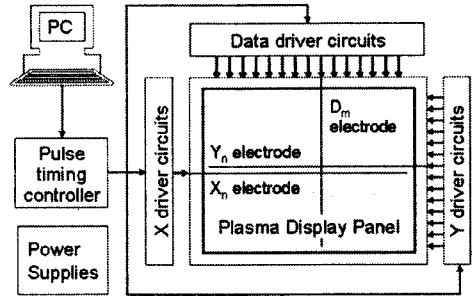


그림 4. PDP 구동실험 장치의 블록도

그림5는 POD구동기술을 사용하여 고속 구동 실험을 한 결과이다. 이 화상은 0.7us의 폭을 가지는 scan 펄스에 의한 고속 address방전으로 구동시킨 것이다. 그림에서부터 PDP의 화소가 선택적으로 발광하고 있는 것과 priming 방전의 영향을 받지 않고 sustain 방전이 안정적으로 일어나고 있는 것을 볼 수 있다.

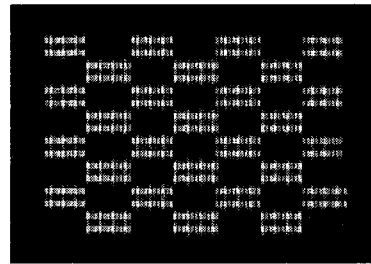


그림 5. Test PDP의 구동실험 결과

그림6은 전체 펄스의 방전의 광출력을 oscilloscope로 측정한 것으로 300us의 간격으로 ramp priming 펄스를 인가하였다. ramp1과 ramp3의 기간은 sustain 방전이 일어나지 않은 기간으로 priming 방전이 일어나고 있다. ramp2의 기간은 address 방전에 의해 sustain 방전이 일어나는 기간으로 이때에는 priming 방전이 일어나지 않는다. 그림5와 그림6으로부터 제안된 새로운 POD구동기술은 설계한대로 올바르게 동작한다는 것을 알 수 있다.

그림7은 address 방전과 sustain 방전의 광출력을 측정한 것이다. 그림10은 스캔 펄스의 폭이 0.7us일 때의 어드레스 방전의 광출력이다. 이 그

림에서부터 폭이 $0.7\mu\text{s}$ 의 address 방전으로도 sustain 방전이 안정적으로 일어나고 있는 것을 볼 수 있다. 이 그림에서 보면 scan 펄스의 폭이 address 방전의 폭과 거의 같다. 그러므로 축적된 벽전하의 양은 작지만, 공간전하가 서스테인 방전을 안정되게 유도하도록 돕는 것으로 보인다. 또한 스위칭 속도가 좀 더 빠른 FET를 사용한다면 폭이 $0.5\mu\text{s}$ 의 펄스로도 안정적인 addressing이 가능할 것으로 생각된다.

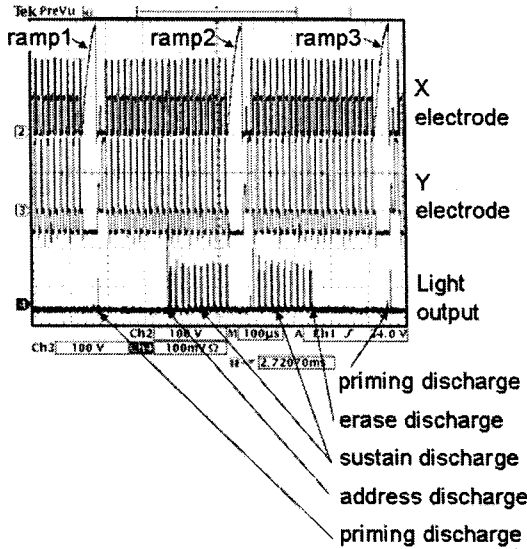


그림 6. POD 방전기술의 광출력 파형

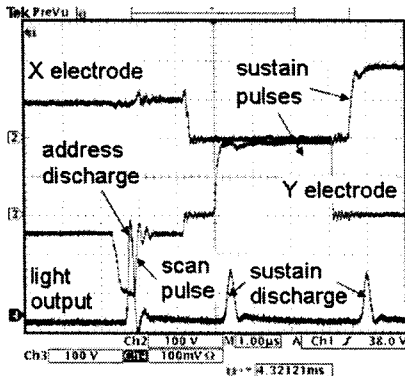


그림 7. $0.7\mu\text{s}$ 의 고속 어드레스 방전 측정결과

그림 8은 priming 기간의 폭의 변화에 의한 제1과 제2 서스테인 방전의 상대적인 방전강도와 방전지연시간의 측정결과이다. 1st sustain 펄스의 경우는 T_p 의 증가에 따라 방전지연시간은 증가하고 상대적인 방전강도는 감소한다. T_p 기간 동안 벽전하하는 거의 감소하지 않을 것이므로 priming 기간 이전의 sustain 방전에서 발생한 공간전하의

감소가 1st sustain 방전에 영향을 미치고 있는 것으로 추측된다. 2nd sustain 펄스의 경우는 방전지연시간이나 상대적 방전강도가 거의 일정하다. 이것으로부터 priming 주기가 어느 정도까지 증가하더라도 첫 번째 sustain 방전에서 충분히 벽전하가 축적된다면 2nd sustain 방전은 정상상태로 회복될 수 있다는 것을 알았다.

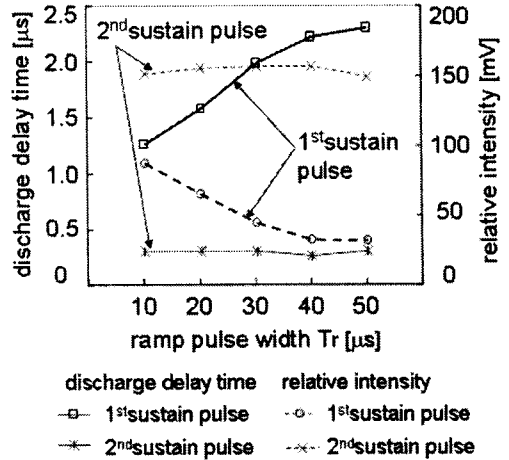


그림 8. Priming 주기변화에 따른 sustain 방전특성

그림9는 priming 기간 T_p 의 변화에 의한 sustain 방전의 동작전압 마진을 측정한 것이다. 여기서 최소전압은 일정 면적의 sustain 방전이 모두 안정적으로 ignition되는 것을 의미한다. 최대전압은 일정 면적의 sustain 방전이 모두 안정적으로 유지되는 것을 의미한다. 측정 결과로부터 priming 기간의 폭에 무관하게 10V 정도의 일정한 동작마진을 얻었다.

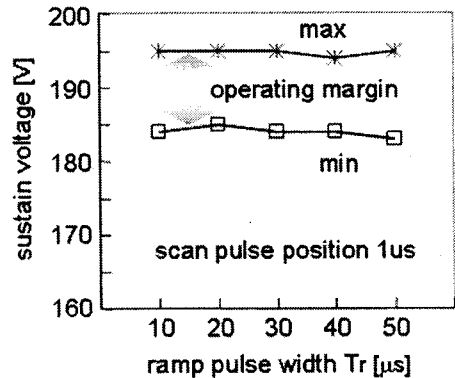


그림 9. priming 기간의 폭의 변화에 의한 sustain 동작 마진

그림10은 address 방전의 동작전압 마진이다. 여

기서 최소와 최대는 address 방전으로 안정적인 sustain 방전이 유도되는 최소와 최대의 data 전압이다. 실험결과로부터 priming 기간의 폭에 무관하게 40V의 넓은 동작마진을 얻었다. 그림 8, 9와 10에서 보인 것과 같이, sustain 기간에 중첩하여 삽입된 ramp priming 펄스는 sustain 방전에 영향을 미치지 않으므로, 새로운 priming 방전기술을 가지는 고속구동기술은 그 아이디어가 타당하다고 판단할 수 있다.

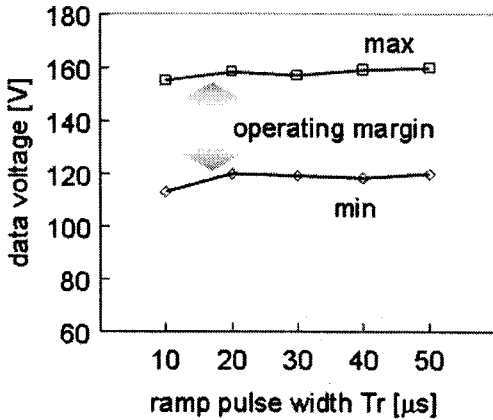


그림 10. priming 기간의 폭의 변화에 의한 address 동작 마진

4. 결론

본 연구에서는 새로운 POD (Priming Overlapping with Display) 구동기술을 개발하였다. 이 기술은 sustain 기간에 중첩하여 ramp priming 펄스를 패널전체에 동시에 인가할 수 있다. POD 구동기술은 공간전하의 도움을 받아 1 μ s 이하의 폭이 매우 좁은 address 방전으로 sustain 방전을 안정적으로 유도할 수 있다. 실험 결과, 0.7 μ s의 scan 펄스폭을 가지는 고속 addressing과 40V의 address 동작마진을 달성하였다. 이는 1080개의 수평주사선수와 12개의 subfield를 갖는 full-HDTV PDP를 휘도감소 없이 구동할 수 있는 수준이다. 만약 이 조건을 주사선수 1080라인의 HDTV급 PDP에 적용하면, 2400개의 서스테인 펄스와 12개의 서브필드를 설계하는 것이 가능하다. 또한 단일 회로로 모든 전극의 priming 방전을 구동할 수 있고, 하나의 address 기간에 여러개의 address 펄스를 삽입할 수 있어, 상용의 driver IC를 사용할 수 있다. 프라이밍 방전에 ramp 펄스를 사용할 수 있으므로 불필요한 배면광을 줄여 contrast ratio를 향상시킬 수가 있다.[12][13] 다음

연구에서는, 공간전하와 어드레스 방전특성과의 관계를 더 이론적으로 해석할 필요가 있다.

참고 문헌

- [1] T. Kurita, "Desirable Performance and Progress of PDP and LCD Television Displays on Image Quality", SID 03 Digest, pp.776-779, 2003.
- [2] T. Shinoda, M. Wakitani, T. Nanto, T. Kurai, N. Awaji, M. Suzuki, "Improvement of Luminance and Luminous Efficiency of Surface-Discharge Color ac PDP", SID 91 Digest, pp.724-727, 1991.
- [3] S. Kanagu, Y. Kanazawa, T. Shinoda, K. Yoshikawa, T. Nanto, "A 31-in.-Diagonal Full-Color Surface Discharge ac Plasma Display Panel", SID 92 Digest, pp.713-716, 1992.
- [4] Y. Sano, T. Okajima, N. Koyama, T. Yoshioka, K. Nunomura, "A Full-Color Surface-Discharge ac Plasma TV Display", SID 91 Digest, pp.728-731, 1991.
- [5] E. Mizobata, K. Toki and T. Nakamura, "Development of a New Gray Scale Driving Method by Controlling Wall Voltage of Addressing Step", SID 02 Digest, pp.944-947, 2002.
- [6] N. Uemura, Y. Yajima, M. Shibata, Y. Kawanami and F. Namiki, "Improvement of the Speed of Address Discharges in Ne-Xe-He Discharge Gases for ACPDPs", SID 03 Digest, pp.784-787, 2003.
- [7] V. Nagorny, "Fast Addressing of Plasma Display Panels", SID 06 Digest, pp.60-63, 2006.
- [8] S. Nagano, K. Sano, K. Hirose and S. Makino, "Improvement in Address Discharge Response with Stripe Ribs and Discharge Deactivation Films", IDW '04, pp.879-882, 2004.
- [9] K. Sakata, T. Tokunaga, M. Nishimura, S. Iwaoka and N. Saegusa, "Driving of High Contrast and High Speed Discharging PDP", IDW/AD '05, pp.1433-1436, 2005.
- [10] H. Homma, K. Totoki, K. Igarashi, S. Mikoshiba, H. Asai, N. Kikuchi, "Luminance Improvement of PDPs by an Extension of Light-Emission Duty to 90% with an HDTV Capability", Conference record of 1997 IDRC, pp.285-288, 1997.
- [11] M. Ishii, T. Shiga, K. Igarashi, S. Mikoshiba, "Driving of PDPs with 208 Sub-Fields Using a Grouped Address-While-Display Scheme", SID 01 Digest, pp.1134-1137, 2001.
- [12] L. F. Weber, "Plasma Display Device Challenges", Proc. International Display Research Conference, pp.15-27, 1998.
- [13] V. Nagorny P. Drallos and L. F. Weber, "Stability of Positive Resistance Discharges for AC PDPs", SID 00 Digest, pp.114-117, 2000.