

0.35 μm CMOS 공정을 이용한 32×32 IRFPA ROIC용 Folded-Cascode Op-Amp 설계

김소희, 이효연, 정진우, 김진수, 강명훈, *박용수, 송한정, 전민현

인제대학교 나노공학부, e-mail : hi1213@naver.com

*충청대학 전기전자공학부

Folded-Cascode Operational Amplifier for 32×32 IRFPA Readout Integrated Circuit using the 0.35 μm CMOS process

So Hee Kim, Hyo Yeon Lee, Jin Woo Jung, Jin Su Kim,
Myung Hoon Kang, *Yong Soo Park, Han Jung Song, Min Hyun Jeon
School of Nano engineering, Inje University
*Chung Cheong University

Abstract

The IRFPA (InfraRed Focal Plane Array) ROIC (ReadOut Integrated Circuit) was designed in folded-cascode Op-Amp using 0.35 μm CMOS technology. As the folded-cascode has high open-loop voltage gain and fast settling time, that used in many analog circuit designs. In this paper, folded-cascode Op-Amp for ROIC of the 32×32 IRFPA has been designed. HSPICE simulation results are unit gain bandwidth of 13.0 MHz, 90.6 dB open loop gain, 8 V/ μm slew rate, 600 ns settling time and 66 ° phase margin.

I. 서론

일반적으로 Infrared-focal-plane-array(IRFPA)는 미약한 열 신호를 감지하여 전기적 신호를 발생시키는 장치로서 적외선 검출기, 검출기에서 발생된 전기적 신호를 처리하는 readout회로, 그리고 영상 구현을 위한 신호처리 시스템 등으로 구성된다.^[1-3] 미소한 열 신호의 변화를 감지하기 위해 ROIC의 고이득과 저 잡음 구현이 필수적인데, 특히 folded-cascode Op-Amp는

빠른 settling time과 고이득을 얻는데 적합하여 많은 CMOS 아날로그 회로설계에서 쓰이고 있다.^[4-5]

본 논문에서는 0.35 μm CMOS공정을 이용하여 32×32 IRFPA ROIC를 위한 folded-cascode OP-AMP의 설계에 대해서 기술하였다.

II. Folded-cascode Op-Amp 회로설계

본 논문에서 설계한 IRFPA의 ROIC는 적외선 신호를 읽어내기 위하여 높은 전압 이득과 주파수 특성을 동시에 얻을 수 있는 folded-cascode Op-Amp 방식이다. 출력단의 reset clock의 펄스폭을 1 μs (pixel time의 1/4)에 맞추어 리셋작업이 원활하게 이루어지기 위해선 적어도 1 μs 이하의 settling time을 보이는 output driver의 설계가 필요하고 slew rate을 2 V/ μs 이상으로 해야 한다. 이 경우 출력단 증폭기의 단위 이득 주파수와 개방 이득은 각각 1 MHz, 60 dB 이상이어야 하며 출력 전류가 20 μA 이상이 훌려야만 한다. 여기서 양자화 에러를 고려하여 settling의 오차는 0.1%로 하였다.

그림 1은 IRFPA신호를 받아들여 출력하는 바이어스 단과 출력단의 블록도를 나타낸 것이며 그림 2는 출력 단 folded-cascode Op-Amp의 스키마이다.

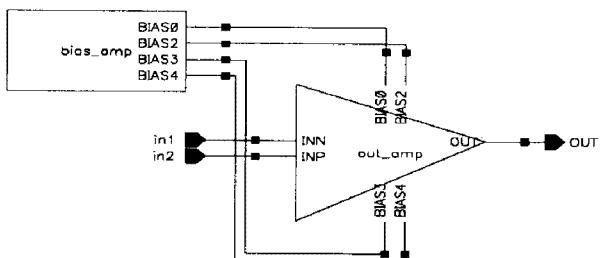


그림 1. Bias and output stage block diagram

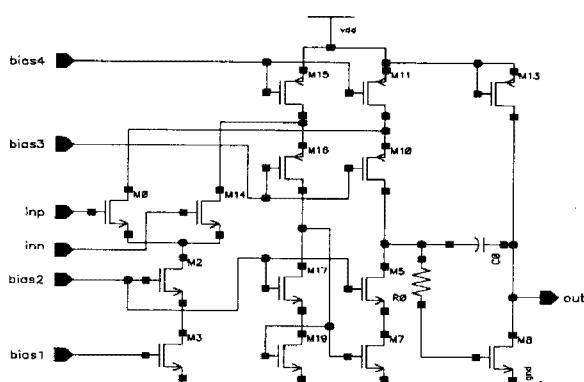


그림 2. Schematic of designed output stage

출력단의 저항 r_{out} 은 cascode형태의 두 전류원 경로의 출력 저항을 병렬로 연결한 folded-cascode에 대한 것으로 연산증폭기의 전압 이득은

$$A_o(0) = \frac{V_{out}}{\Delta V_{in}} = g_{m1} \cdot r_{out} = g_{m1} \cdot \left[\frac{g_{m6}}{g_{o6}g_{o8}} \parallel \frac{g_{m4}}{g_{o4}(g_{o2} + g_{o10})} \right] \quad (1)$$

으로 나타난다.

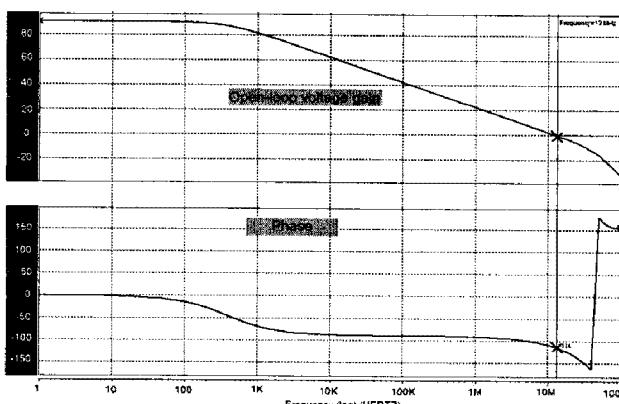


그림 3. Open-loop voltage gain and phase margin

그림 3은 설계한 내용을 바탕으로 회로 동작에 대한 출력단 증폭기를 HSPICE를 이용해 시뮬레이션 한 결과이다. 전압이득은 90.6 dB이며 위상여유는 66 °으로 결과가 원하는 특성을 모두 만족하였다.

표 1에서는 요구되는 연산증폭기 설계 사양과 시뮬레이션으로 구현된 연산증폭기의 성능을 나타내었다.

Table 1. The Specifications of designed OP-AMP

parameter	simulation 결과
공급 전압	3.3 V
출력 부하 용량	10 pF
Vout range	0.5 ~ 3 V
출력 전류 ($C_{load} \times S.R.$)	20 μ A
전압이득	90.6 dB
단위이득주파수	13.0 MHz
위상 여유	66°
slew rate ($\Delta V_{out}/t_{settling}$)	8 V/ μ s
0.1% settling time	600 ns

III. 결론

본 논문에서는 $0.35 \mu m$ n-well CMOS 공정을 이용하여 32×32 IRFPA의 적외선 신호를 읽어내기 위한 folded-cascode Op-Amp ROIC 설계를 실시하였다. ROIC는 고이득과 저 잡음구현이 필수적이므로 Op-Amp는 folded-cascode방식으로 설계되었다. 제안된 Op-Amp의 전압이득은 90.6 dB이며 위상여유는 66°으로 시뮬레이션을 통해 원하는 특성을 만족함을 알 수 있었다. 따라서 본 논문에서 제시된 연산증폭기는 보다 진보된 IRFPA의 ROIC로 사용될 수 있을 것이다.

감사의 글

본 논문은 IDEC (IC Design Education Center)의 CAD tool 지원으로 이루어졌습니다.

참고문헌

- [1] H. W. Neal and R. Kyle, "Texas instruments uncooled infrared system", *TI Technical Journal*, p. 11, Sept.-Oct., 1994.
- [2] Uncooled Infrared Imaging Arrays and Systems, Academic Press, 1997.
- [3] J. F. Belcher and R. A. Owen, "Uncooled infrared detector processing", *TI Technical Journal*, p. 27, Sept.-Oct., 1994.
- [4] W. W. Sue, Z. M. Lin, C. H. Huang, "A High DC-Gain Folded-Cascode CMOS Operational Amplifier", *IEEE*, 1998.
- [5] S. Li, Q. Yulin, "Design of a Fully Differential Gain-Boosted Folded-Cascode Op Amp with Settling Performance Optimization", *IEEE*, 2005.